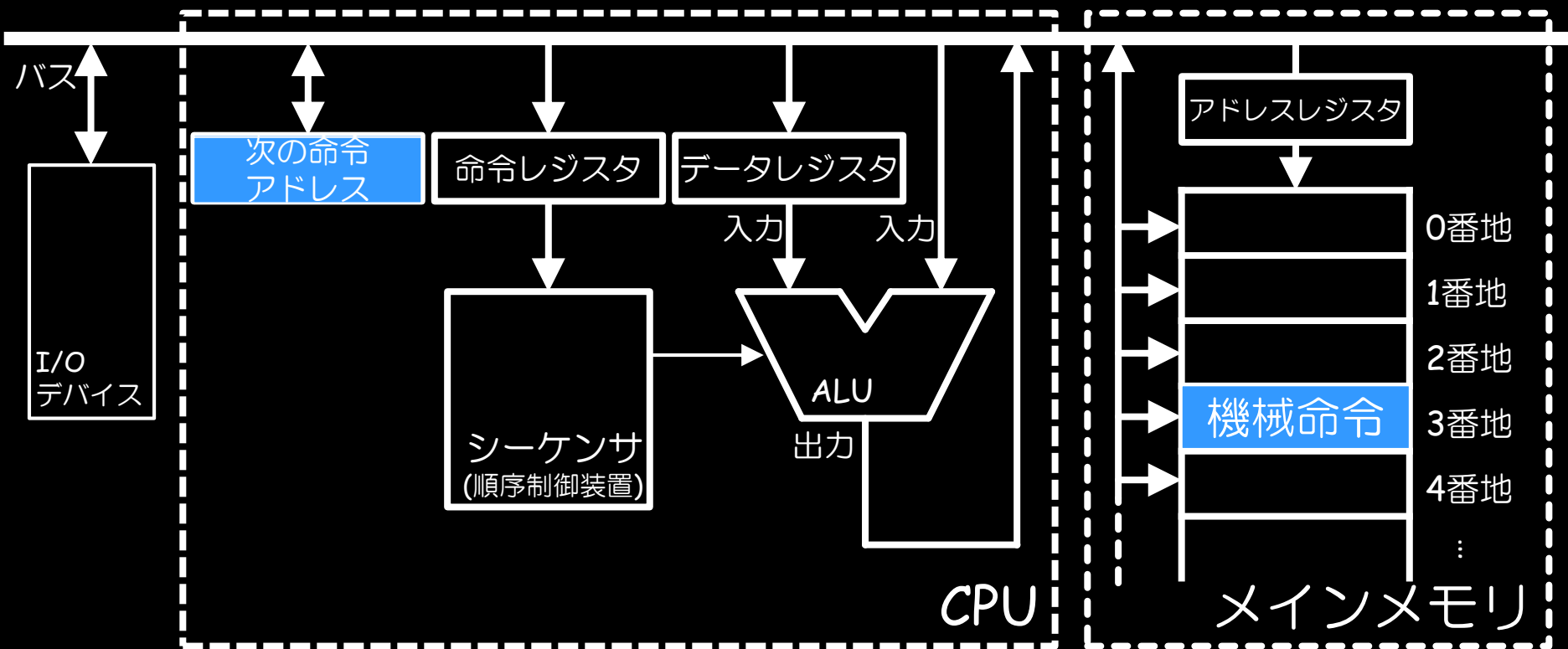


命令処理のサイクル①

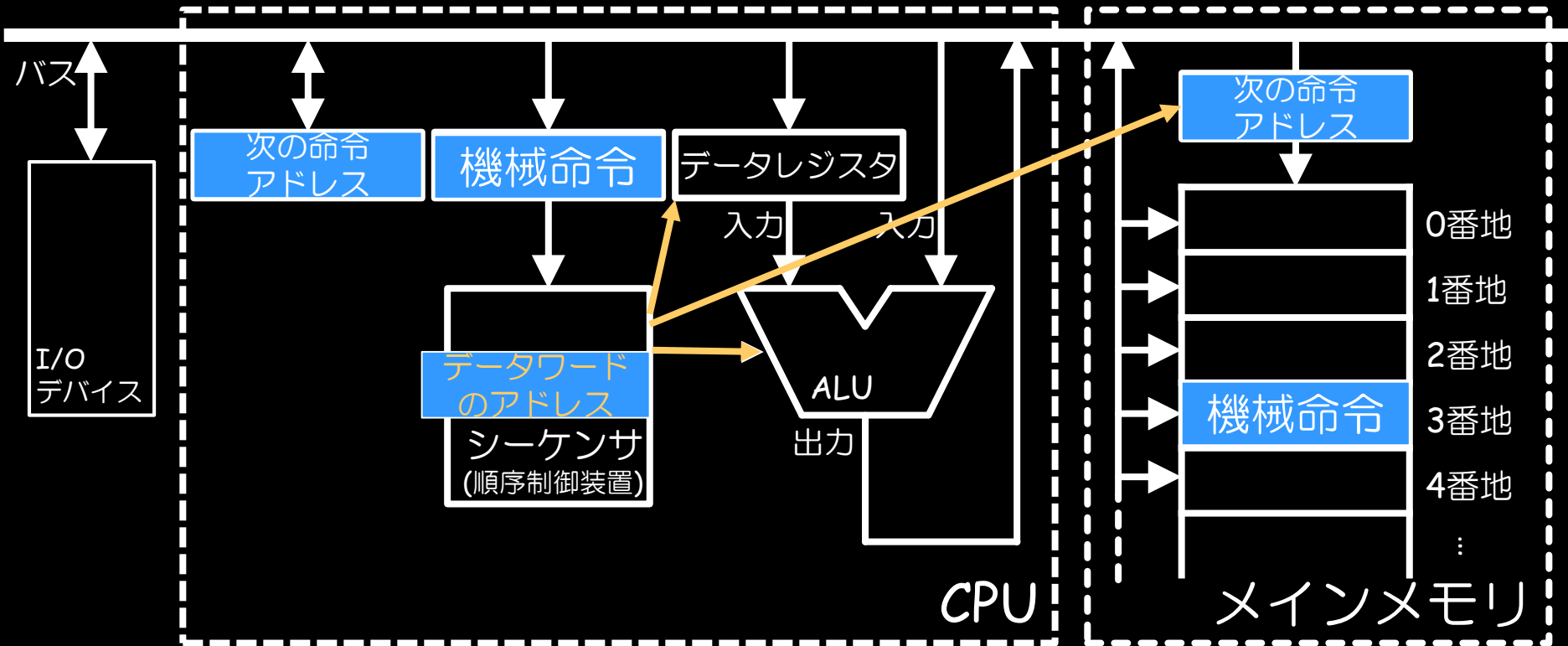
- 命令読み出し (フェッチ; fetch)
 - 命令アドレスレジスタに保持されているアドレスから機械命令ワードを取り出して、命令レジスタに格納する



命令処理のサイクル②

- 命令デコード

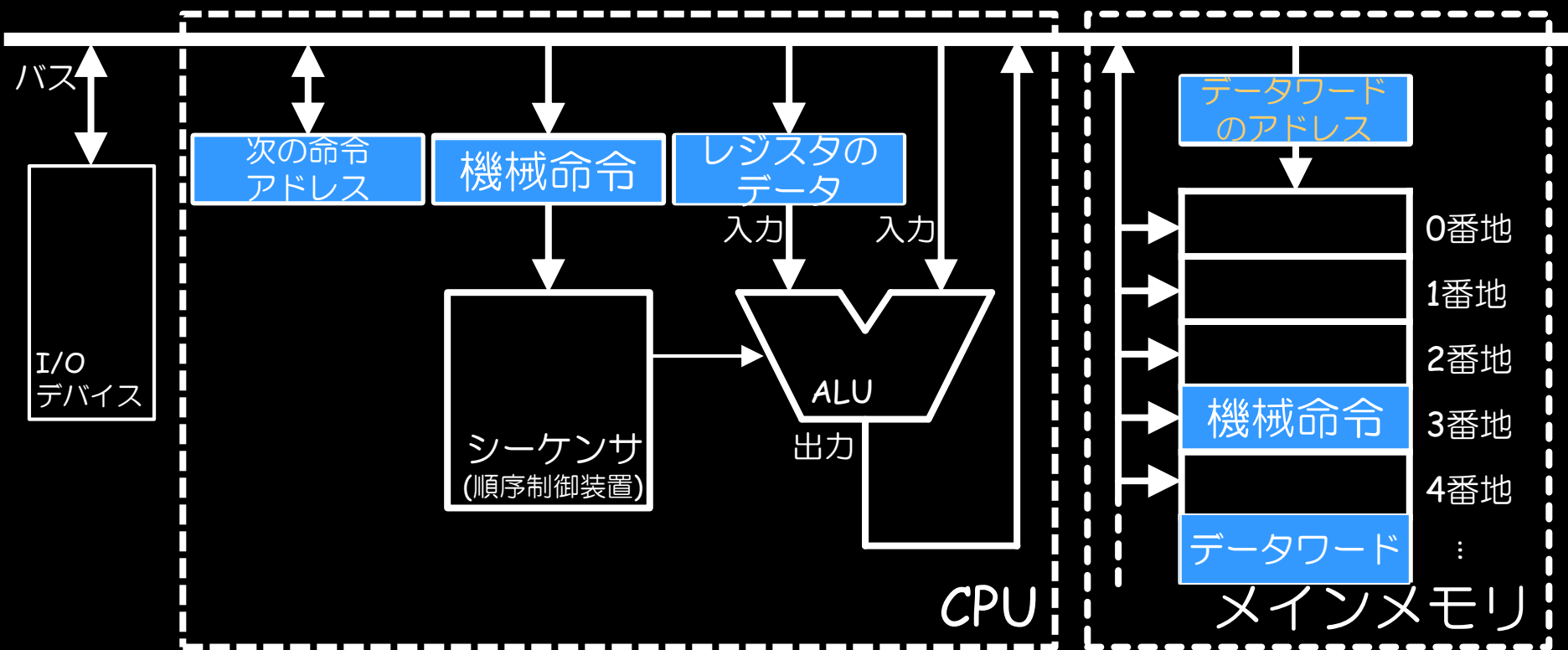
- 命令レジスタに格納された機械命令をシーケンサで解釈し、CPU内部の制御信号やデータレジスタの番号、データワードを格納しているメモリアドレスを生成する



命令処理のサイクル③

- データ読み出し

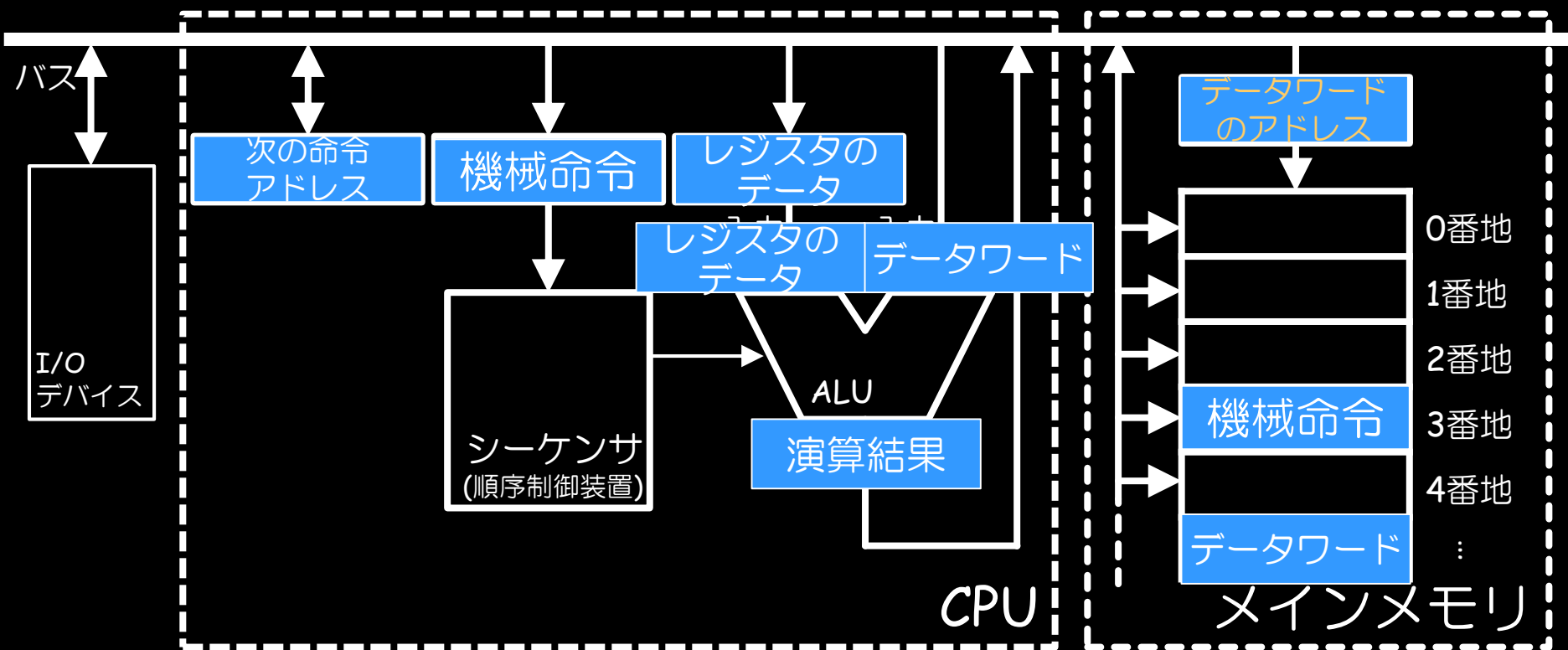
- データレジスタ(汎用レジスタ) またはメインメモリから処理対象のデータワードをバスへ読み出す



命令処理のサイクル④

● 演算実行

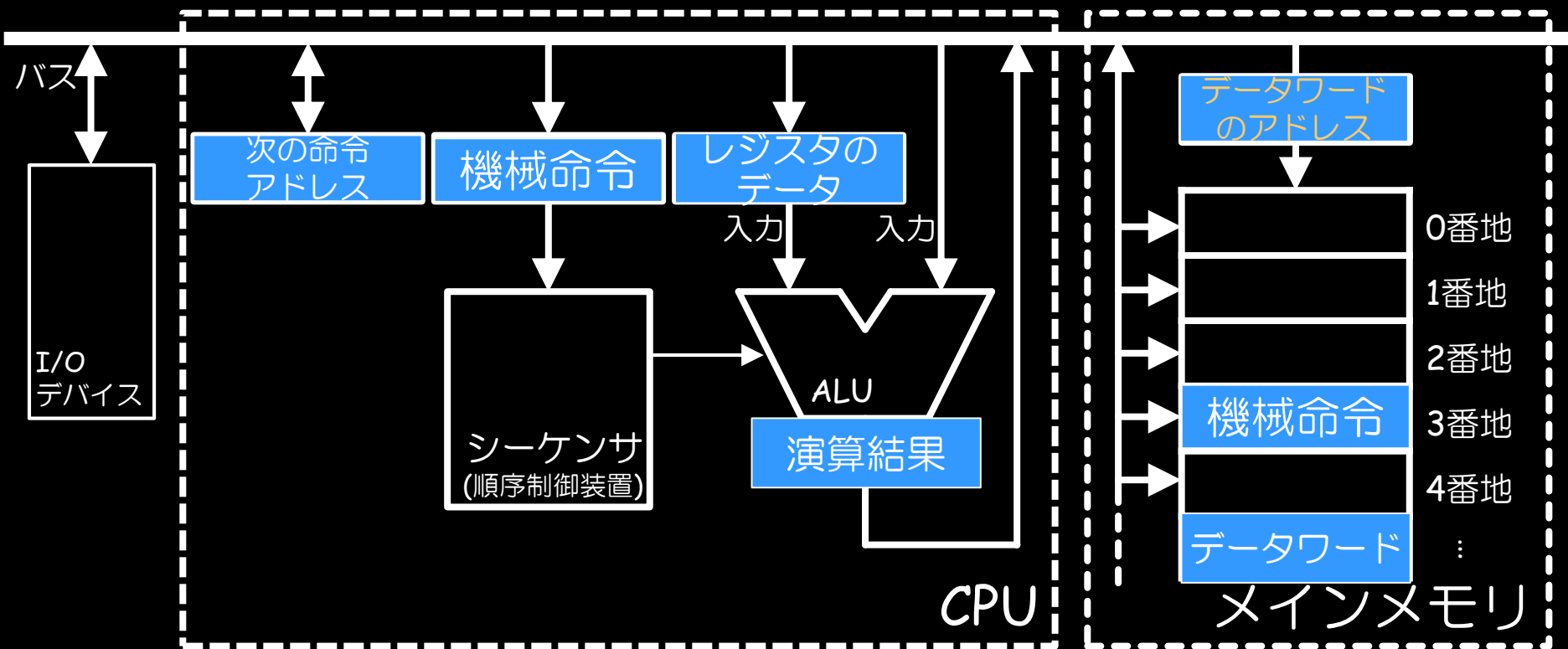
- データワードをALUに入力し、デコードした機械命令で指定している演算を実行する



命令処理のサイクル⑤

- 演算結果の格納

- ALUから出力される演算結果のデータワードをバスを經由してデータレジスタ（汎用レジスタ）に格納する



命令処理のサイクル⑥

- 次の命令アドレスの決定

- 現在実行している機械命令の次に実行する機械命令が格納されているメインメモリのアドレスを決定し、命令アドレスレジスタに格納
 - 通常は、命令アドレスレジスタの1増加
 - 分岐命令の時は、指定されたアドレスを命令アドレスレジスタに格納

