



SISTEMAS DIGITALES
LABORATORIO CALIFICADO Nº 4
(Previo)

Estilo Estructural en VHDL

Preparar los siguiente códigos en VHDL

- a. Divisor de frecuencia: La única entrada recibirá una señal de reloj de 50MHz. A partir de esta entrada, la salida deberá ser una señal cuadrada de 1Hz.
- b. Contador sexagesimal: Tiene los siguientes puertos:
 - i. Entrada reloj: 1 bit
 - ii. Entrada reset: 1 bit
 - iii. Salida decena: 4 bits
 - iv. Salida unidad: 4 bits
 - v. Salida superior: 1 bit

El funcionamiento es así: La entrada reset pone el contador a cero. Un flanco de subida en reloj incrementa el contador. El contador va a de 0 a 59 y es cíclico. El valor de la cuenta se debe convertir a BCD (dos digitos); p.e. si la cuenta es 38 en las salidas deben aparecer: decena=0011, unidad=1000. Cuando el contador pasa de 59 a 0 se envia un pulso a través de superior; el pulso debe durar 1 segundo (pasa de 0 a 1, dura 1 por un segundo y luego cae a 0).

- c. Contador horario: Tiene los siguientes puertos:
 - i. Entrada reloj: 1 bit
 - ii. Entrada reset: 1 bit
 - iii. Entrada formato: 1 bit
 - iv. Salida decena: 4 bits
 - v. Salida unidad: 4 bits

El funcionamiento es así: La entrada reset pone el contador a cero. Un flanco de subida en reloj incrementa el contador. El contador va de 0 a 23 y es cíclico. El valor de la cuenta se debe convertir a BCD (dos digitos); p.e. si la cuenta es 15 en las salidas deben aparecer: decena=0001, unidad=0101. La entrada formato transforma el valor de la cuenta. Cuando formato es 1, si la cuenta es 13 o más, restará 12 y el resultado se reflejará en la salida. P.e. si formato es 1 y la cuenta es 15, la salida sera 03.