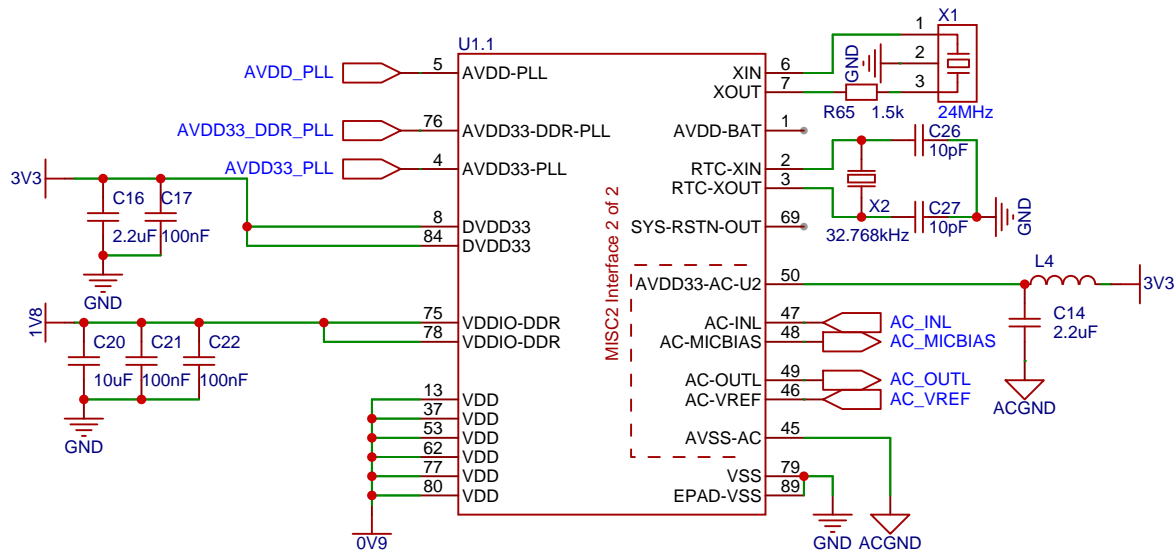
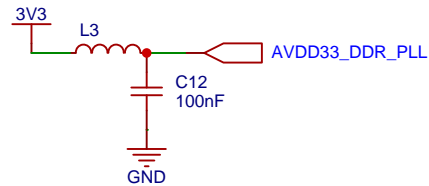
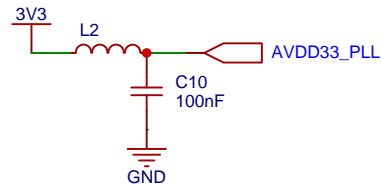
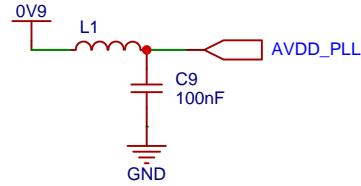
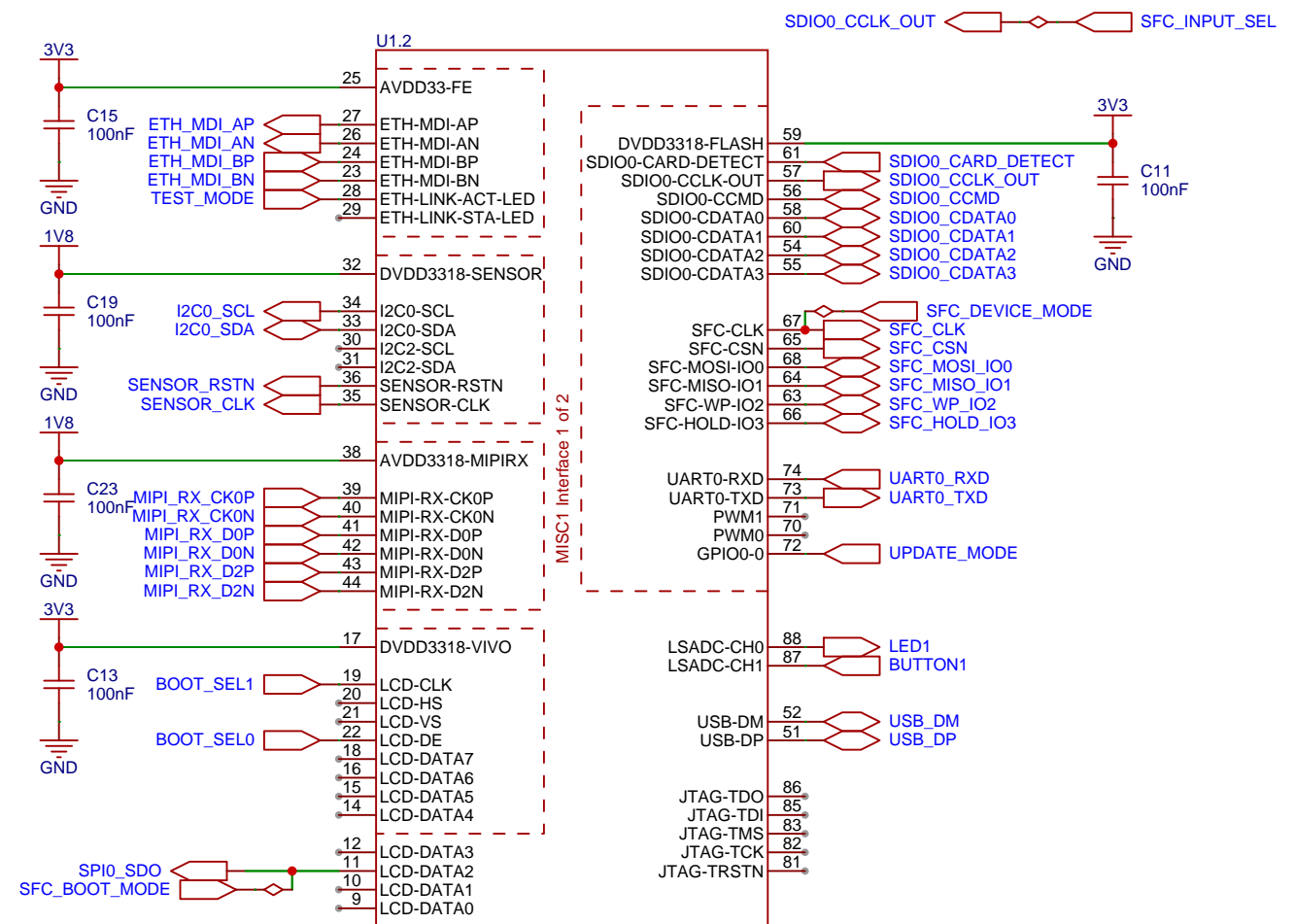


从海思官方PCB来看，10uF电容相对来说比较靠近0.9V电源输出端
13脚附近2.2uF
37脚附近0.1uF
53脚附近0.1uF，2.2uF
62脚附近0.1uF
77，80脚附近两颗2.2uF并联
海思手册要求电源部分PCB布局完全照搬官方PCB
受布局设计所限只能做到尽可能接近



SD卡电源可以用SDIO0_CARD_POWER_EN进行控制，
这里改为持续供电，不使用引脚控制供电



| | | | | |
|-----------|------------|----------------|-------------|-------------|
| Schematic | Schematic1 | | Update Date | 2023-10-19 |
| | | | Create Date | 2023-10-19 |
| Page | main | | Part Number | JLPCB-001 |
| Drawn | kunlin | openipc-hi3516 | | |
| Reviewed | kunlin | | | |
| | | VER | SIZE | PAGE 1 OF 5 |
| 立创EDA | | V1.1 | A3 | |

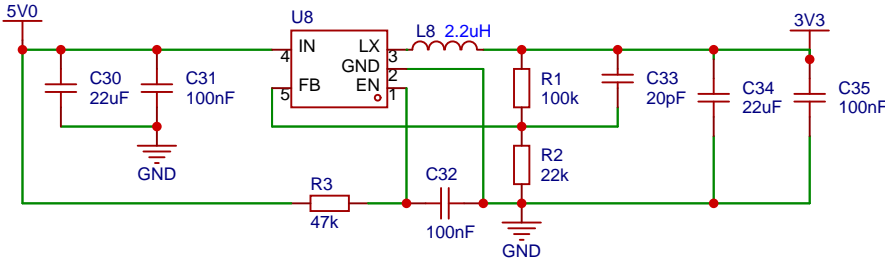
上电延迟计算公式
Vcc电源电压，V0电容初始电压，Vt为t时刻电压
t=RC*ln((Vcc-V0)/(Vcc-Vt))

SY8032 SY8088 SY8089 完全兼容，输出电流不同
EN有效电压不同

3.3V和0.9V的电流比较大，特别是0.9V，峰值电流可能达到1A以上
这里视情况替换大功率芯片

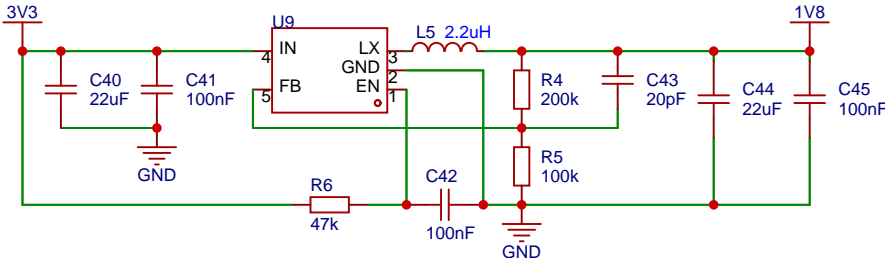
降压VOUT=(R1*0.6)/R2+0.6
R1=150k R2=33k VOUT=3.327
R1=68k R2=15k VOUT=3.32
R1=100k R2=22k VOUT=3.327

上电延迟
CE最低有效电压1.2V
47k*0.1u*ln(5.0/3.8)=1.67ms



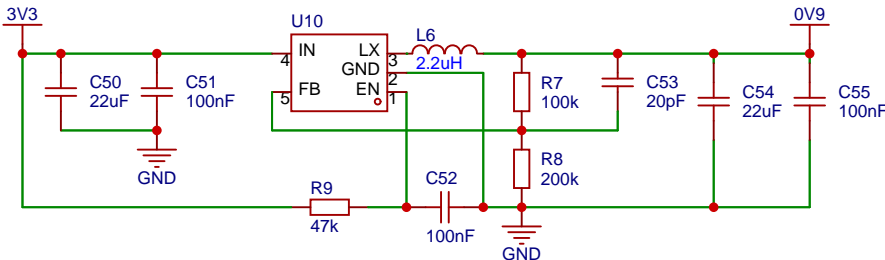
降压VOUT=(R1*0.6)/R2+0.6
R1=20k R2=10k VOUT=1.8

上电延迟
CE最低有效电压1.2V
20k*0.1u*ln(3.3/2.1)=0.9ms



降压VOUT=(R1*0.6)/R2+0.6
R1=10k R2=20k VOUT=0.9

上电延迟
CE最低有效电压1.2V
47k*0.1u*ln(3.3/2.1)=2.12ms

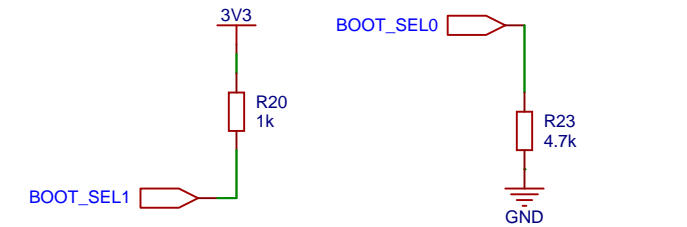


PWM0输出的信号经过RC滤波叠加到FB的反馈
用于内核动态调压，这部分照抄海思原理图

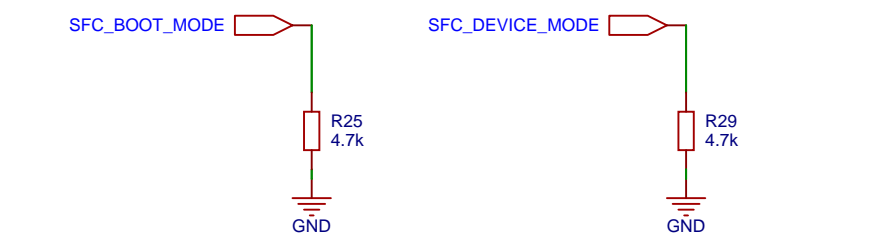
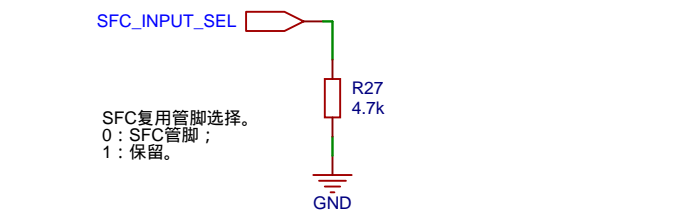
实测这部分电路有问题，
按照海思原理图连接后输出电压1.4V，芯片发热严重，不能正常工作，
猜测需要设置相关寄存器，但没有在手册中找到如何设置动态调压的内容
因此贴片时不要焊接R10；想偷懒可以R10、R11、R12、C56都不焊

| | | | | |
|-----------|------------|----------------|-------------|-------------|
| Schematic | Schematic1 | | Update Date | 2023-10-19 |
| | | | Create Date | 2023-10-19 |
| Page | power | | Part Number | JLPCB-001 |
| Drawn | kunlin | openipc-hi3516 | | |
| Reviewed | kunlin | | | |
| | | VER | SIZE | PAGE 2 OF 5 |
| 立创EDA | | V0.1 | A3 | |

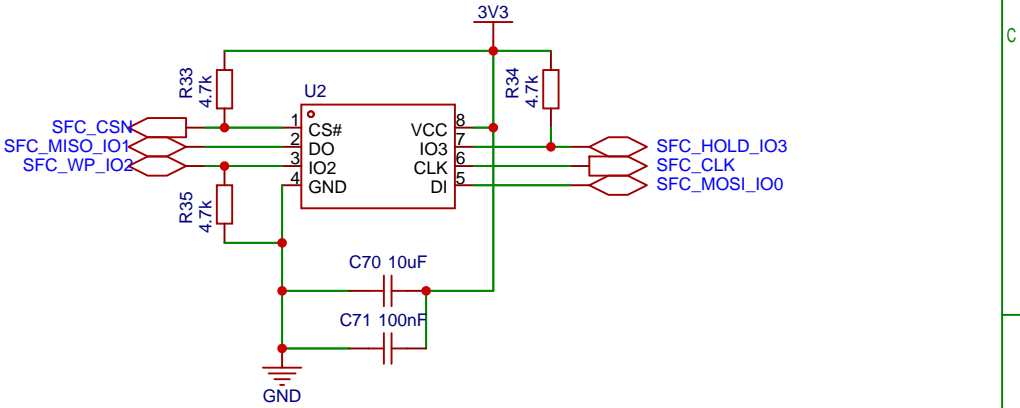
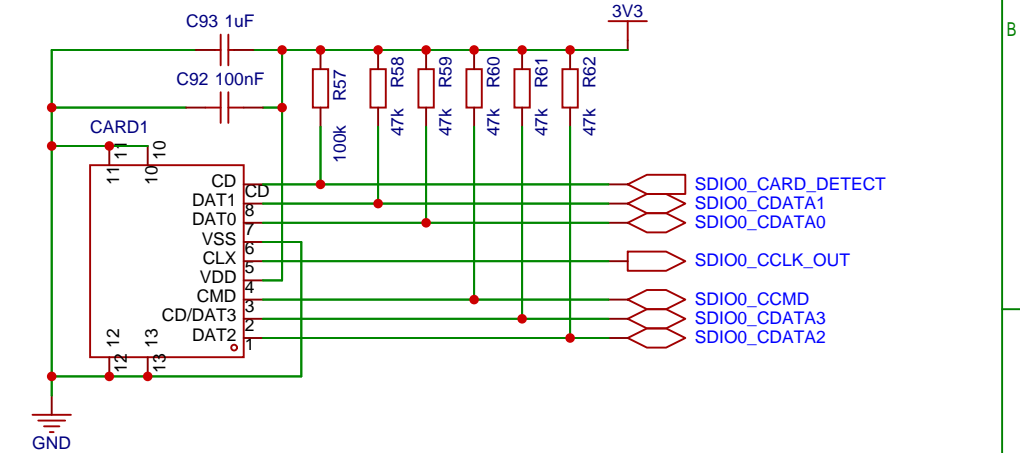
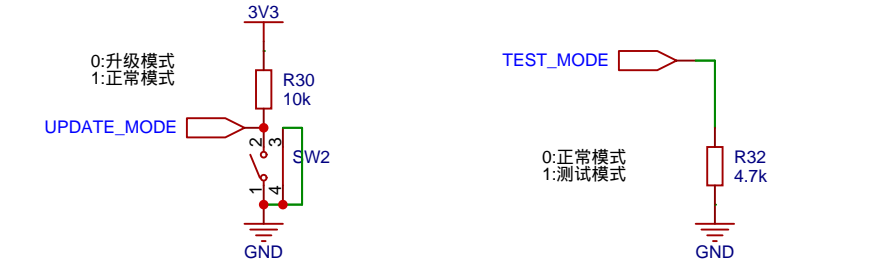
如果这些管脚和外器件的信号管脚有连接，那么必须在该信号上设计上下拉电阻来确定配置管脚的初始状态，BOOT_SEL1/SFC_INPUT_SEL/SFC_DEVICE_MODE 信号做上拉设计时电阻阻值推荐 1k，其他信号上拉电阻阻值推荐 10k，下拉电阻阻值统一推荐 4.7k。
摘自《Hi3516EV200 硬件设计用户指南》




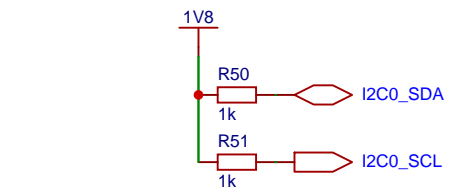
| BOOT_SEL1 | BOOT_SEL0 | FUNCTION |
|-----------|-----------|------------------------------------|
| 0 | 0 | BOOT FROM SPI FLASH |
| | 1 | BOOT FROM EMMC |
| 1 | 0 | FASTBOOT,UPDATE SPI FLASH(default) |
| | 1 | FASTBOOT,UPDATE EMMC |



| SFC_DEVICE_MODE | SFC_BOOT_MODE | FUNCTION |
|-----------------|---------------|----------------|
| 0 | 0 | SPI NOR FLASH |
| | 1 | SPI NOR FLASH |
| 1 | 0 | SPI NAND FLASH |
| | 1 | SPI NAND FLASH |

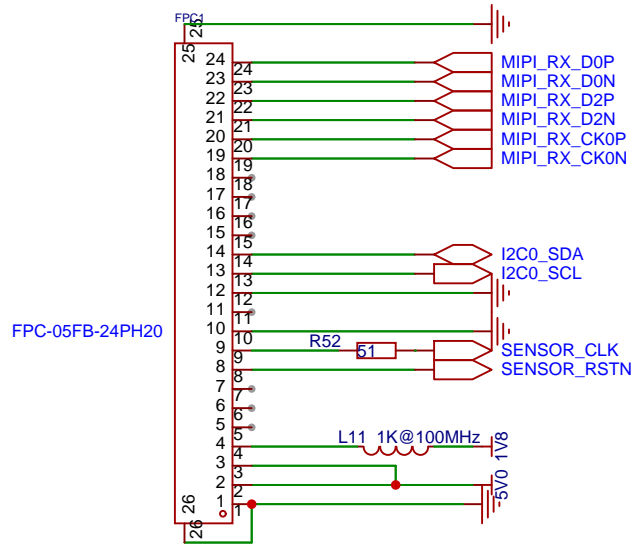
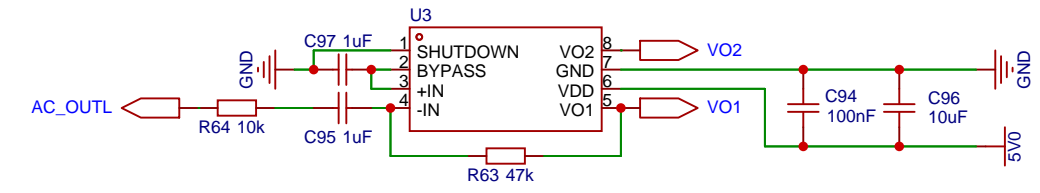


| | | | | | |
|---|--------------|----------------|------|-------------|------------|
| Schematic | Schematic1 | | | Update Date | 2023-10-19 |
| | | | | Create Date | 2023-10-19 |
| Page | storage_boot | | | Part Number | JLPCB-001 |
| Drawed | kunlin | openipc-hi3516 | | | |
| Reviewed | kunlin | | | | |
| | | | | | |
| | | VER | SIZE | PAGE | 3 OF 5 |
|  | | V0.1 | A3 | | |

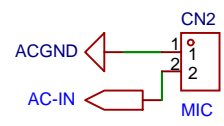
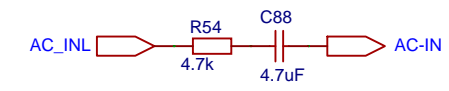
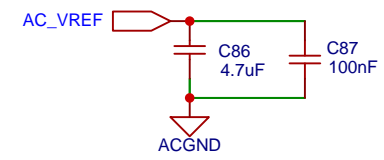


模拟地和数字地在外部点单接地

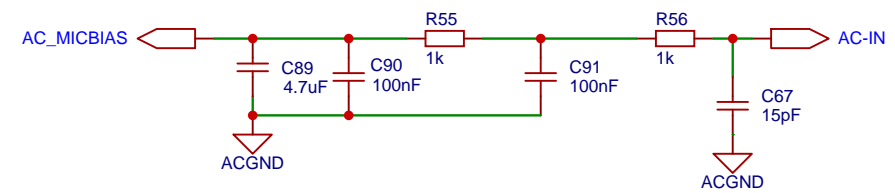
OV5640的1.8V工作电流持续峰值可以达到140mA
L11,L12,L13 备选替换型号
C86090
C131082
C139243
C295681



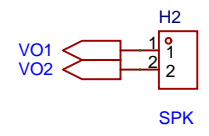
1. 所有音频信号(输入输出以及 MICBIAS)以 GND 作为参考，音频信号的回流路径不会与其他信号公用；不管是音频信号还是其回流路径，均远离数字信号；
 2. 音频信号的地，直接打 GND 过孔到系统地，不与其他模块的 GND 连接在一起并公用一个 GND 过孔；
 3. 音频模块的 GND 不用与系统地分割并单点接地，要求音频模拟地有一个完整的地平面，且有足够的 GND 过孔。
- 摘自海思官方文档



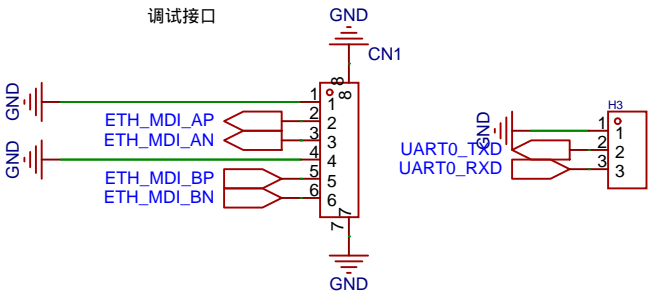
4.7u电容略靠近芯片，pai型滤波靠近mic



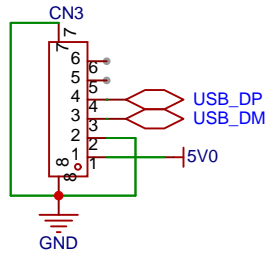
为了节约PCB面积，这里加大了硅麦的焊盘面积
驻极体麦要焊接R56，引脚焊接在硅麦的OUT和GND
硅麦不用焊接R56，正常焊接即可



| | | | | |
|-----------|-------------|----------------|-------------|-------------|
| Schematic | Schematic1 | | Update Date | 2023-10-19 |
| | | | Create Date | 2023-10-19 |
| Page | video_audio | | Part Number | JLPCB-001 |
| Drawn | kunlin | openipc-hi3516 | | |
| Reviewed | kunlin | | | |
| | | VER | SIZE | PAGE 4 OF 5 |
| 立创EDA | | V0.1 | A3 | |



这个连接器故意选择这个封装，因为他的焊盘比较大，开发调试期间完全可以不焊接器件直接从焊盘上飞线，如果想要焊接连接器也可以，开发完成后记得拆掉，因为它比较高，装入外壳后会占据电池空间



| | | | | |
|-----------|------------|----------------|-------------|-------------|
| Schematic | Schematic1 | | Update Date | 2023-10-20 |
| | | | Create Date | 2023-10-19 |
| Page | other | | Part Number | JLCPCB-001 |
| Drawed | kunlin | openipc-hi3516 | | |
| Reviewed | kunlin | | | |
| | | VER | SIZE | PAGE 5 OF 5 |
| 立创EDA | | V0.1 | A3 | |