**ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỒ CHÍ MINH**

**TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN**

**KHOA KỸ THUẬT MÁY TÍNH**

**TỔ CHỨC VÀ CẤU TRÚC MÁY TÍNH II (IT012)**

**A blue logo with a planet and text

Description automatically generated**

**Sinh viên: Trần Nguyễn Thái Bình**

**MSSV: 23520161**

**Giảng viên hướng dẫn: Nguyễn Thành Nhân**

**Bài thực hành 1: IT012.O21.1 - Lab01**

**MỤC LỤC**

[1. Lý thuyết 3](#_Toc160921596)

[2. Thực hành 3](#_Toc160921597)

[**2.1.** **Mô phỏng chức năng các cổng luận lý** 3](#_Toc160921598)

[**2.1.1.** **NOT** 3](#_Toc160921599)

[**2.1.2.** **AND** 3](#_Toc160921600)

[**2.1.3.** **NAND** 3](#_Toc160921601)

[**2.1.4.** **OR** 4](#_Toc160921602)

[**2.1.5.** **NOR** 4](#_Toc160921603)

[**2.1.6.** **XOR** 4](#_Toc160921604)

[**2.1.7.** **XNOR** 6](#_Toc160921605)

[**2.2.** **Mô phỏng chức năng các thiết bị lưu trữ** 8](#_Toc160921606)

[**2.2.1.** **D-latch** 8](#_Toc160921607)

[**2.2.2.** **D-Flipflop** 9](#_Toc160921608)

[**2.2.3.** **Thanh ghi** 11](#_Toc160921609)

[3. Bài tập 11](#_Toc160921610)

[**3.1.** **Mô phỏng mạch tổng hợp** 11](#_Toc160921611)

[**3.2.** **Mô phỏng mạch tổ hợp** 13](#_Toc160921612)

# **Lý thuyết**

* Giảng viên hướng dẫn sinh viên sử dụng phần mềm Logisim dựa theo tài liệu: **Hướng dẫn sử dụng Logisim**

# **Thực hành**

## **Mô phỏng chức năng các cổng luận lý**

### **NOT**

* Cổng NOT là cổng nhận một ngõ vào và một ngõ ra. Tín hiệu ngõ ra là sự phủ định của tín hiệu ngõ vào.

A green arrows with black circles and black circles

Description automatically generated

### **AND**

* Cổng AND là cổng nhận nhiều ngõ vào và có một ngõ ra duy nhất. Nếu tất cả các ngõ vào đều có giá trị “1” thì ngõ ra cũng mang giá trị “1”. Ngược lại, nếu có ít nhất một ngõ vào nhận giá trị “0” thì ngõ ra mang giá trị “0”.

A screenshot of a computer

Description automatically generated

### **NAND**

* “NAND” nghĩa là “NOT AND”, nghĩa là sự phủ định của cổng AND. Cổng NAND chỉ đưa tín hiệu “0” đến ngõ ra khi và chỉ khi nhận được tất cả các tín hiệu ngõ vào là “1”.

A screenshot of a computer generated image

Description automatically generated

* + 1. **OR**
* Cổng OR là cổng nhận nhiều ngõ vào và có một ngõ ra duy nhất. Nếu tất cả các ngõ vào đều có giá trị “0” thì ngõ ra cũng mang giá trị “0”. Ngược lại, nếu có ít nhất một ngõ vào nhận giá trị “1” thì ngõ ra mang giá trị “1”. Dưới đây là hình ảnh minh họa cho cổng OR có hai ngõ vào.

**A screenshot of a computer

Description automatically generated**

* + 1. **NOR**
* “NOR” nghĩa là “NOT OR”, nghĩa là sự phủ định của cổng OR. Cổng NOR chỉ đưa tín hiệu “1” đến ngõ ra khi và chỉ khi nhận được tất cả các tín hiệu ngõ vào là “0”.

A group of green squares with green lines

Description automatically generated with medium confidence

* + 1. **XOR**
* XOR là cổng kết hợp của các cổng NOT, AND và OR. Cổng XOR nhận tín hiệu nhiều ngõ vào và có một ngõ ra.
* Đối với cổng XOR hai tín hiệu ngõ vào, kết quả trả về là “1” khi hai tín hiệu ngõ vào khác nhau. Ngược lại, khi hai tín hiệu ngõ vào giống nhau, tín hiệu ngõ ra là “0”.

A diagram of a circuit

Description automatically generated

*(bên trái là cổng XOR, bên phải là mô phỏng cổng XOR bằng các cổng NOT, AND và OR)*

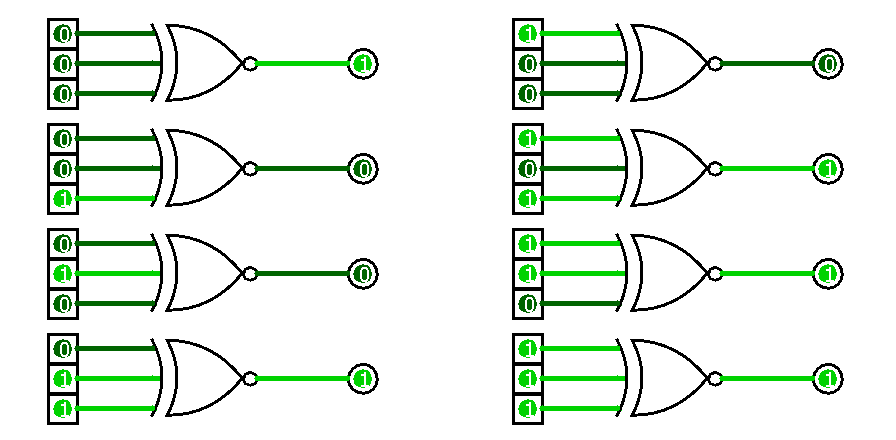
* A screenshot of a computer

  Description automatically generatedĐối với cổng XOR có nhiều ngõ vào hơn, cổng chỉ trả về tín hiệu “1” khi và chỉ khi có duy nhất một tín hiệu ngõ vào “1”. Nếu có không hoặc nhiều hơn một tín hiệu ngõ vào “1”, tín hiệu ngõ ra sẽ là “0”.
  + 1. **XNOR**
* “XNOR” là “NOT XOR”, nghĩa là sự phủ định của cổng XOR. Cũng như cổng XOR, XNOR là cổng tổ hợp của NOT, AND và OR.
* Đối với XNOR hai ngõ vào, tín hiệu ngõ ra là “0” khi có hai tín hiệu ngõ vào khác nhau. Ngược lại, tín hiệu ngõ ra là “1”.

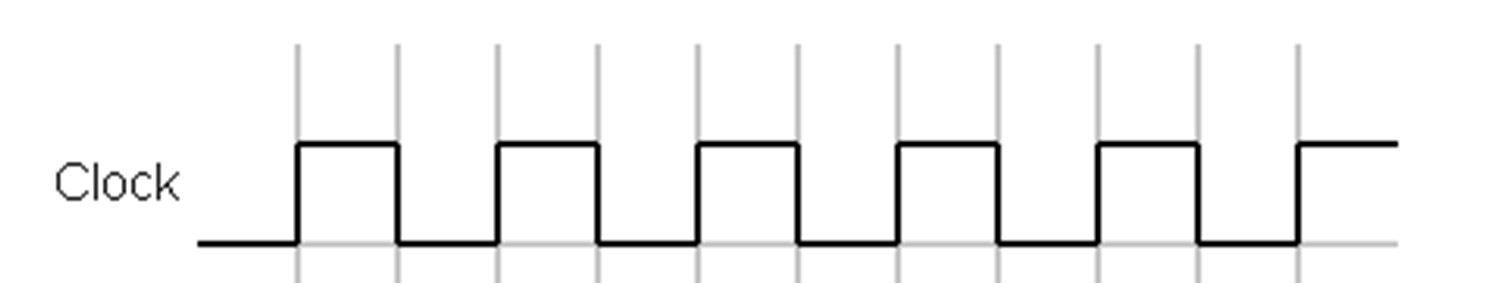
A diagram of a computer

Description automatically generated

* Đối với XNOR nhiều hơn hai ngõ vào, tín hiệu ngõ ra sẽ ngược với cổng XOR nhiều ngõ Đối với XNOR nhiều hơn hai ngõ vào, tín hiệu ngõ ra sẽ ngược với cổng XOR nhiều ngõ vào.



* 1. **Mô phỏng chức năng các thiết bị lưu trữ**
* Clock



* + Xung tín hiệu clock được truyền vào ngõ CLK là xung chữ nhật như trên hình vẽ. Mỗi chu kì gồm có 4 xung. Thứ tự đọc xung là thứ tự theo chiều mũi tên màu đen. Đối với cạnh ngang ở dưới (màu đỏ) là xung mức thấp (Low level), cạnh ngang ở trên (màu xanh lá) là xung mức cao (High level). Cạnh dọc đi lên từ mức Low 🡪 High (màu tím) là cạnh lên (Rising edge). Cạnh dọc đi xuống từ mức High 🡪 Low là cạnh xuống (Falling edge).
    1. **D-latch**
* Trong máy tính, dữ liệu được đưa vào theo các xung. Máy tính không thể ghi dữ liệu liên tục mà chỉ có thể ghi dữ liệu theo chu kì. D-Latch là thiết bị lưu trữ chỉ ghi nhận dữ liệu tích cực theo mức cao hoặc thấp, tùy theo cài đặt trên nó. Nhìn chung, D-Latch có các ngõ: E (Clock, nhận xung), ngõ vào D, ngõ ra Q (trước) và Q+ (sau).

|  |  |
| --- | --- |
| **E** | **Q+** |
| 0 | Q |
| 1 | D |

* Dưới đây là mô phỏng hoạt động của D-Latch tích cực mức cao (D Flip-Flop, trigger = High level, có 2 output, output thứ nhất chính là kết quả phụ thuộc đầu vào, output thứ 2 là NOT của kết quả)
  + 1. CLK: Low Level. Input = 1. Output = 0. Giả sử hiện tại ngõ E đang nhận xung ở mức thấp, nên dữ liệu dù được đưa vào D-Latch cũng sẽ không được ghi lại.

A computer graphic with green and blue lines

Description automatically generated with medium confidence

* + 2. CLK: High Level. Input = 1. Output = 1. Tiếp theo ngõ E nhận xung ở mức cao, D-Latch ghi nhận dữ liệu. Ngõ ra trả về kết quả giống với dữ liệu đầu vào. A diagram of a computer

    Description automatically generated with medium confidence
  + 3. CLK: High Level. Input = 0. Output = 0. Trong thời gian ngõ E nhận xung ở mức cao, kết quả đầu ra sẽ luôn giống với dữ liệu đầu vào.

A logo of a computer

Description automatically generated

* + Bảng chân trị cho ví dụ minh hoạ trên:

|  |  |  |  |
| --- | --- | --- | --- |
| **STEP** | **INPUT** | **CLK** | **OUTPUT** |
| 1 | 1 | 0 | 0 |
| 2 | 1 | 1 | 1 |
| 3 | 0 | 1 | 0 |

* + 1. **D-Flipflop**
* Tương tự với D-Latch, D-Flipflop cũng là thiết bị lưu trữ dữ liệu theo xung. Cũng có các ngõ: CLK (Clock, nhận xung), ngõ vào D, ngõ ra Q (trước) và Q+ (sau). Nhưng thay vì tích cực theo mức, DFlipflop tích cực theo cạnh lên hoặc cạnh xuống.

|  |  |
| --- | --- |
| **CLK** | **Q+** |
| - | Q |
| ↑ | D |

* Dưới đây là mô phỏng hoạt động của D-Flipflop tích cực cạnh lên (D Flip-Flop, trigger = Rising Edge, có 2 output, output thứ nhất chính là kết quả phụ thuộc đầu vào, output thứ 2 là NOT của kết quả)
  + 1. CLK: Low Level. Input = 1. Output = 0. Mức xung đang thấp, không có cạnh lên nên kết quả đầu ra không thay đổi theo dữ liệu đầu vào.

A computer graphic of a circuit board

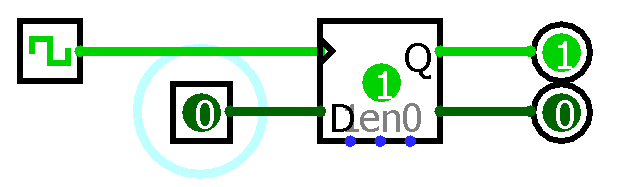
Description automatically generated with medium confidence

* + 2. CLK: High Level. Input = 1. Output = 1. Thay đổi xung lên mức cao, xuất hiện cạnh lên, lúc này kết quả đầu ra thay đổi giống như dữ liệu đầu vào.

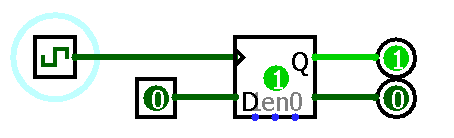
A diagram of a diagram

Description automatically generated with medium confidence

* + 3. CLK: High Level. Input = 0. Output = 1.



* + 4 . CLK: Low Level. Input = 0. Output = 1. Thay đổi xung xuống mức thấp, không xuất hiện cạnh lên, kết quả không thay đổi.



* + Bảng chân trị cho ví dụ mô phỏng trên:

|  |  |  |  |
| --- | --- | --- | --- |
| **STEP** | **INPUT** | **CLK** | **OUTPUT** |
| 1 | 1 | 0 | 0 |
| 2 | 1 | ↑ | 1 |
| 1 | 1 | 1 |
| 3 | 0 | 1 | 1 |
| 4 | 0 | ↓ | 1 |
| 0 | 0 | 1 |

* + 1. **Thanh ghi**
* Thanh ghi là sự kết hợp của nhiều D-Flipflop vào một thiết bị duy nhất, dùng chung một ngõ CLK. Tương tự với D-Flipflop, thanh ghi cũng có ngõ vào D, ngõ ra Q và ngõ CLK (Enable/E). Khác với D-Flipflop chỉ lưu trữ được 1-bit dữ liệu, thanh ghi lưu trữ được nhiều hơn thế.
* Mô phỏng tại phần **3.2**.

# **Bài tập**

* 1. **Mô phỏng mạch tổng hợp**

**A black line with a circle in the middle

Description automatically generated**

* Mạch tổ hợp này gồm có 1 cổng AND, 1 cổng OR, 3 ngõ vào, 1 ngõ ra trung gian và 1 ngõ ra chính. Hoạt động của mạch này được minh họa bởi bảng chân trị sau (A, B, C là các ngõ vào của mạch theo thứ tự từ trên xuống dưới, D là ngõ ra):

|  |  |  |  |
| --- | --- | --- | --- |
| **A** | **B** | **C** | **D** |
| x | x | 1 | 1 |
| 1 | 1 | x | 1 |
| 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 |

* Trong đó:
  + **Dòng 1:** C = 1, D = 1. Vì C đi qua cổng OR nên bất kể A, B là giá trị gì.

**A green line with a circle on a white background

Description automatically generated**

**A green line with black dots

Description automatically generated**

* + **Dòng 2:** A = B = 1, D = 1. Vì A và B cùng đi qua cổng AND nên giá trị ra tức giá trị vào cổng OR đã nhận 1, cho nên D = 1.

**A green line with a circle on a white background

Description automatically generated**

* + **Dòng 3, 4:** A hoặc B có giá trị 0, đầu ra của cổng AND sẽ có giá trị 0, kết hợp với C = 0 nên D = 0.

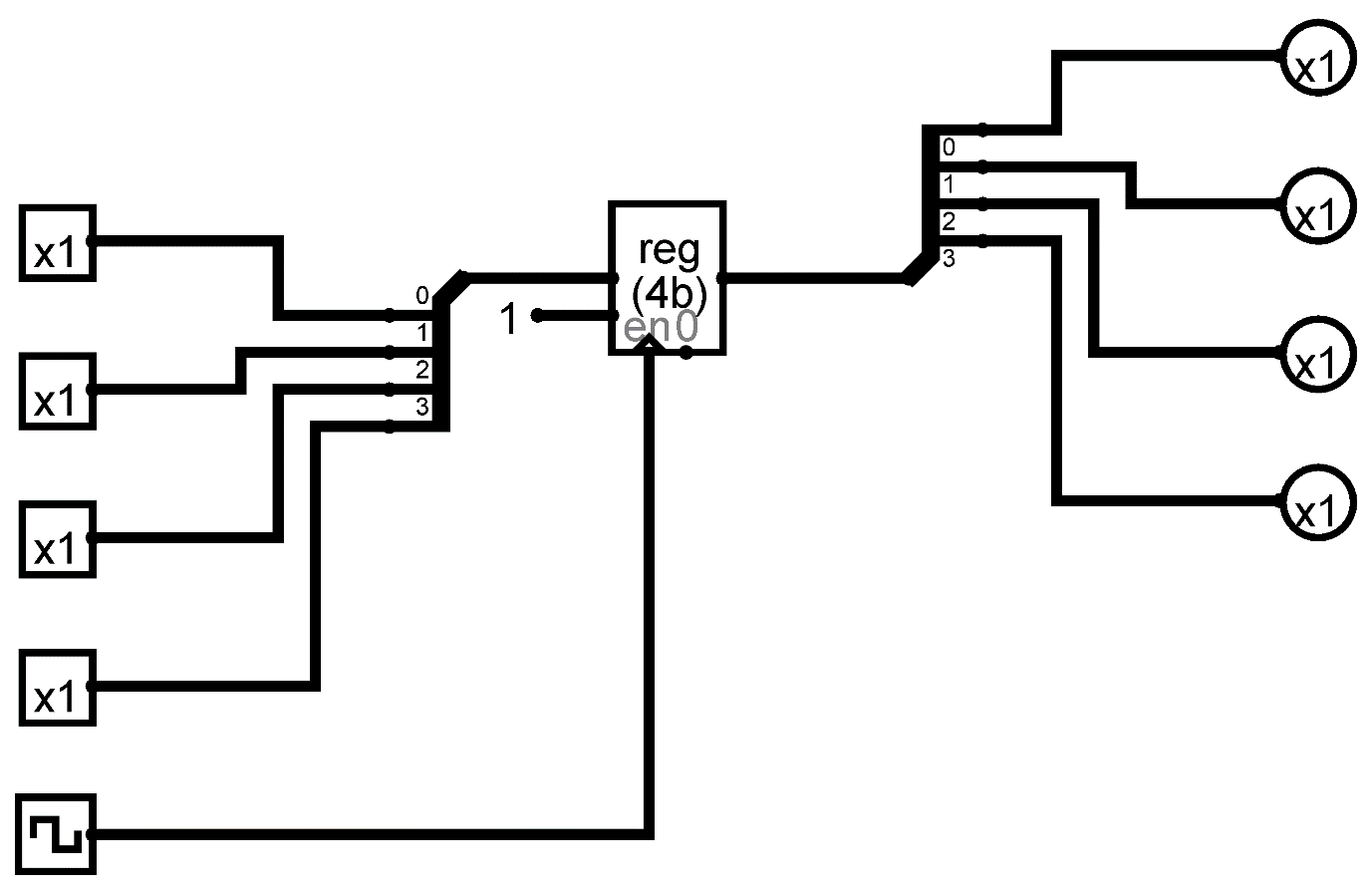
**A green line with a circle and a black arrow

Description automatically generated with medium confidence**

**A green line with black arrows

Description automatically generated**

* 1. **Mô phỏng mạch tổ hợp**
* Bộ tách bus và gộp bus có các thuộc tính **Fan Out: 4** và **Bit Width In: 4**
* Thanh ghi có thuộc tính **Data Bits: 4**

****

* Đây là mạch của thanh ghi Register: Kết hợp bởi nhiều D-Flipflop.
* Register Trigger: Rising Edge.
* Output sẽ thay đổi theo input khi CLK ở Rising Edge.
* Ngược lại, ouput sẽ giữ nguyên khi CLK ở Falling Edge, Low Level, High Level.
* Ví dụ minh hoạ:
  + 1. CLK: Low Level.

A computer screen shot of a circuit

Description automatically generated

* + 2. Thay đổi input, output không thay đổi.

A computer screen shot of a circuit

Description automatically generated

* + 3. CLK: High Level. Tức vừa trải qua giai đoạn Rising Edge. Ouput đã được thay đổi.

A screenshot of a computer

Description automatically generated

* + 4. Thay đổi input, output không thay đổi.

A screenshot of a computer

Description automatically generated

* + 5. CLK: Low Level. Tức vừa trải qua giai đoạn Falling Edge. Output vẫn không thay đổi.

A screenshot of a computer

Description automatically generated

* + Bảng chân trị cho ví dụ trên:

|  |  |  |  |
| --- | --- | --- | --- |
| **STEP** | **INPUT** | **CLK** | **OUTPUT** |
| 1 | 0000 | 0 | 0000 |
| 2 | 0101 | 0 | 0000 |
| 3 | 0101 | ↑ | 0101 |
| 0101 | 1 | 0101 |
| 4 | 1100 | 1 | 0101 |
| 5 | 1100 | ↓ | 0101 |
| 1100 | 0 | 0101 |