**ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỒ CHÍ MINH**

**TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN**

**KHOA KỸ THUẬT MÁY TÍNH**

**TỔ CHỨC VÀ CẤU TRÚC MÁY TÍNH II (IT012)**

**A blue logo with a planet and text

Description automatically generated**

**Sinh viên: Trần Nguyễn Thái Bình**

**MSSV: 23520161**

**Giảng viên hướng dẫn: Nguyễn Thành Nhân**

**IT012.O21.1 – Lab 02**

MỤC LỤC

[1. Lý thuyết 4](#_Toc162126273)

[2. Thực hành 4](#_Toc162126274)

[**2.1.** **Mô phỏng ALU sau** 4](#_Toc162126275)

[**2.2.** **Mô phỏng Register Files gồm 4 thanh ghi 8-bit sau** 4](#_Toc162126276)

[3. Bài tập 6](#_Toc162126277)

[**3.1.** **Cải tiến ALU với các phép toán: A + B, A + 1, A – B, A – 1, A AND B, A OR B, NOT A, A XOR B** 6](#_Toc162126278)

[**3.2.** **Thiết kế và mô phg lại Register Files với địa chỉ xuất riêng với địa chỉ ghi** 7](#_Toc162126279)

**Đề mục Viết tắt – Kí hiệu – Thuật ngữ**

|  |  |  |
| --- | --- | --- |
| **Kí hiệu / thuật ngữ** | **Ý nghĩa** | **Ghi chú** |
| 1/0 | Tín hiệu trong máy tính dưới hệ nhị phân |  |
| Low/High (level) | Tương tự với 1/0 |  |
| CLK | Tín hiệu của ngõ tạo xung | Clock |
| D | Ngõ vào (input) |  |
| Q | Ngõ ra |  |
| ↑ | Cạnh lên | Rising Edge |
| ↓ | Cạnh xuống | Falling Edge |
| Mux | Bộ chọn | Multiplexer |
| Decd | Bộ giải mã | Decoder / Demultiplexer |
| ALU | Đơn vị logic số học | Arithmetic & Logic Unit, bao gồm AU và LU |
| W | Ghi |  |
| En | Ngõ tín hiệu | Enable |
| Op | Mã quy định thao tác | Opcode |

1. **Lý thuyết**

* Giảng viên giới thiệu về cấu trúc của mộ bộ xử lý, trong đó tập trung vào ALU và Register Files.

1. **Thực hành**

## **Mô phỏng ALU sau**

A diagram of a circuit

Description automatically generated

* Các thành phần:
  + Hai ngõ vào 8-bits *(A, B)*
  + Một ngõ ra 8-bits
  + Một bộ cộng 8-bit
  + Một bộ trừ 8-bit
  + Một cổng logic *AND*
  + Một cổng logic *NAND*
  + Một ngõ vào 2-bit điều khiển Mux để chọn ngõ vào Mux
  + Một bộ Mux 4:1
* Hai cổng vào lần lượt đi vào các cổng: cộng, trừ, AND, NAND. Sau đó, giá trị ra sẽ đi vào bộ Mux theo thứ tự.
* Tại bộ Mux, ngõ vào điều khiển lựa chọn ngõ vào Mux tương ứng với kểt quả của các cổng trên. Từ đó xuất ra kết quả.

|  |  |
| --- | --- |
| **Ngõ vào điều khiển Mux** | **Ngõ ra** |
| 00 | A + B |
| 01 | A – B |
| 10 | A AND B |
| 11 | A NAND B |

* 1. **Mô phỏng Register Files gồm 4 thanh ghi 8-bit sau**

A diagram of a circuit

Description automatically generated

*(Trạng thái ban đầu, chưa input, chưa bật CLK)*

* Register Files gồm:
  + 4 thanh ghi 8-bits này dùng chung một ngõ vào *(A)*
  + Một xung CLK *(trigger = Rising edge)*
  + Chân tín hiệu *(W-En)* của cả 4 register nhận tín hiệu từ ngõ ra của bộ giải mã *(Decoder)* 2:4
  + Ngõ ra *(Q)* của các register trên được đấu vào một bộ Mux 4:1
  + Tín hiệu Opcode của Decoder và Mux đều dùng chung tín hiệu của W-Add
  + Một ngõ ra 8-bits
* Ở mô phỏng này CLK sẽ luôn là Rising Edge để thấy sự thay đổi.

A diagram of a computer

Description automatically generated with medium confidence

*(W-En = 0)*

* Giá trị của W-Add không quan trọng
  + Tất cả đầu ra của Decd đi vào tất cả Register.
  + Mux nhận tất cả đầu vào.
  + Tất cả giá trị tuyền đi đều giống nhau.
  + Q = A

A diagram of a circuit

Description automatically generated

*(W-En = 1)*

* W-Add sẽ quyết định đầu ra của Decd và đầu vào của Mux.

|  |  |
| --- | --- |
| **W-Add** | **Luồng qua Register thứ** |
| 00 | 1 |
| 01 | 2 |
| 10 | 3 |
| 11 | 4 |

1. **Bài tập**
   1. **Cải tiến ALU với các phép toán: A + B, A + 1, A – B, A – 1, A AND B, A OR B, NOT A, A XOR B**

**A diagram of a machine

Description automatically generated**

* Bảng chân trị:

|  |  |  |
| --- | --- | --- |
| **Input** | **Operator** | **Output** |
| A, B | 000 | A + B |
| A, 1 | 001 | A + 1 |
| A, B | 010 | A - B |
| A, 1 | 011 | A - 1 |
| A, B | 100 | A AND B |
| A, B | 101 | A OR B |
| A | 110 | NOT A |
| A, B | 111 | A XOR B |

* 1. **Thiết kế và mô phỏng lại Register Files với địa chỉ xuất riêng với địa chỉ ghi**

**A diagram of a computer

Description automatically generated**

* Thành phần của mạch giống 2.2 và có sự sửa đổi:
  + W-Add 1 điều khiển đầu ra của Decd.
  + W-Add 2 điều khiển đầu vào của Mux.
  + Mux luôn được kích hoạt *(constant 1)*
* Lúc này việc điều kiển đầu ra của Decd và đầu vào của Mux hoàn toàn không phụ thuộc nhau.
* Bảng chân trị cho W-Add 1:

|  |  |
| --- | --- |
| **W-Add 1** | **Đầu ra Decd** |
| 00 | 1 |
| 01 | 2 |
| 10 | 3 |
| 11 | 4 |

* Bảng chân trị cho W-Add 2:

|  |  |
| --- | --- |
| **W-Add 2** | **Đầu vào Mux** |
| 00 | 1 |
| 01 | 2 |
| 10 | 3 |
| 11 | 4 |