

INF1600 - TP1

Architecture du processeur

Richer Archambault : 1792473

Kevin Pantelakis : 1794745

Groupe : 02

Polytechnique Montréal

9 février 2016

Exercice 1

- (a) -86
 - (b) 51
 - (c) 2375
 - (d) 45735
 - (e) -1
- a) 6811 (le 8 en octal n'existe pas)
 - b) FB10 (L'octal n'est pas de l'hexadécimal)
- La ligne décale de 5 bits le chiffre 7 vers la gauche. Ensuite elle exécute un ou exclusif avec la variable x, ce qui inverse le 6ième, 7ième et 8ième bit pour ensuite affecter le résultat à y. Elle donne donc un écart de 32, 64 ou 128 bit entre les valeurs de x et y.
- (a) 1111 0011 1100 1001
 - (b) 0011 1100 0111 0110
 - (c) 1111 1111 1111 0110
- (a) $(76)_8 = (62)_{10}$
= 0110 0010 en BCD
 - (b) $(153)_8 = (107)_{10}$
= 0001 0000 0111 en BCD
 - (c) $(213)_8 = (139)_{10}$
= 0001 0011 1001 en BCD
- (a) BB sans débordement
 - (b) 170 avec débordement
- (a) 3051829408
 - (b) 2688083893

Exercice 2

$$\text{Scénario 1 : } S(\text{latence}) = \frac{1}{\frac{p1}{s1} + \frac{p2}{s2}} = \frac{1}{\frac{0.08}{1} + \frac{0.92}{128}} = 11.4695$$

$$\text{Scénario 2 : } S(\text{latence}) = \frac{1}{\frac{p1}{s1} + \frac{p2}{s2}} = \frac{1}{\frac{0.08}{2} + \frac{0.92}{112}} = 20.7407$$

Exercice 3

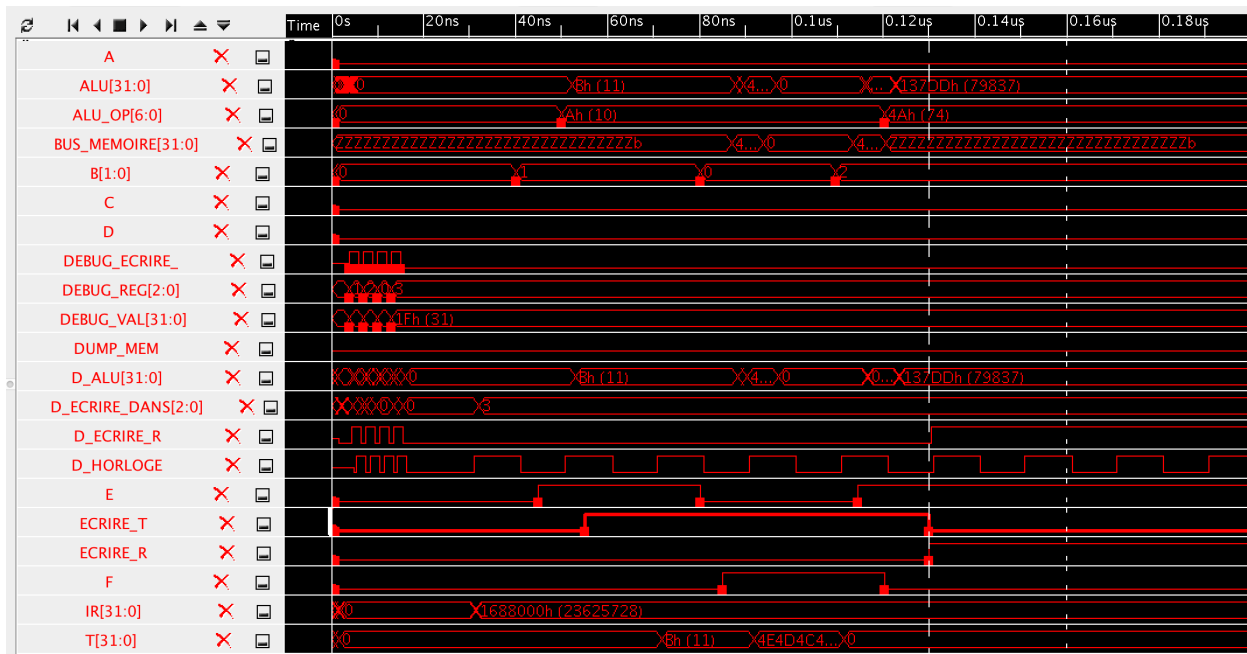
- DECRINCR Rb, Ra
(IR<31..27> = 14) -> R[IR<21..17>] <- (R[IR<21..17>] - 1);
R[IR<26..22>] <- (R[IR<26..22>] + 1);
- XORK Ra, Rb, Rc, k
(IR<31..27> = 13) -> R[IR<16..12>] <- ((R[IR<21..17>] << IR<16..0>) ^ (R[IR<26..22>]));

Exercice 4

1.

- Little endian: 00 80 68 01.
- $T \leftarrow R[IR<23..21>];$
 $T \leftarrow M2[T];$
 $R[IR<23..21>] \leftarrow T + R[IR<17..15>];$
- Les signaux de contrôle absent du tableau restent à 0.

B	E	F	UAL	ecrireT	ecrireRegistre
1	1	0	0x0A	1	0
0	0	1	0x0A	1	0
2	1	0	0x4A	0	1

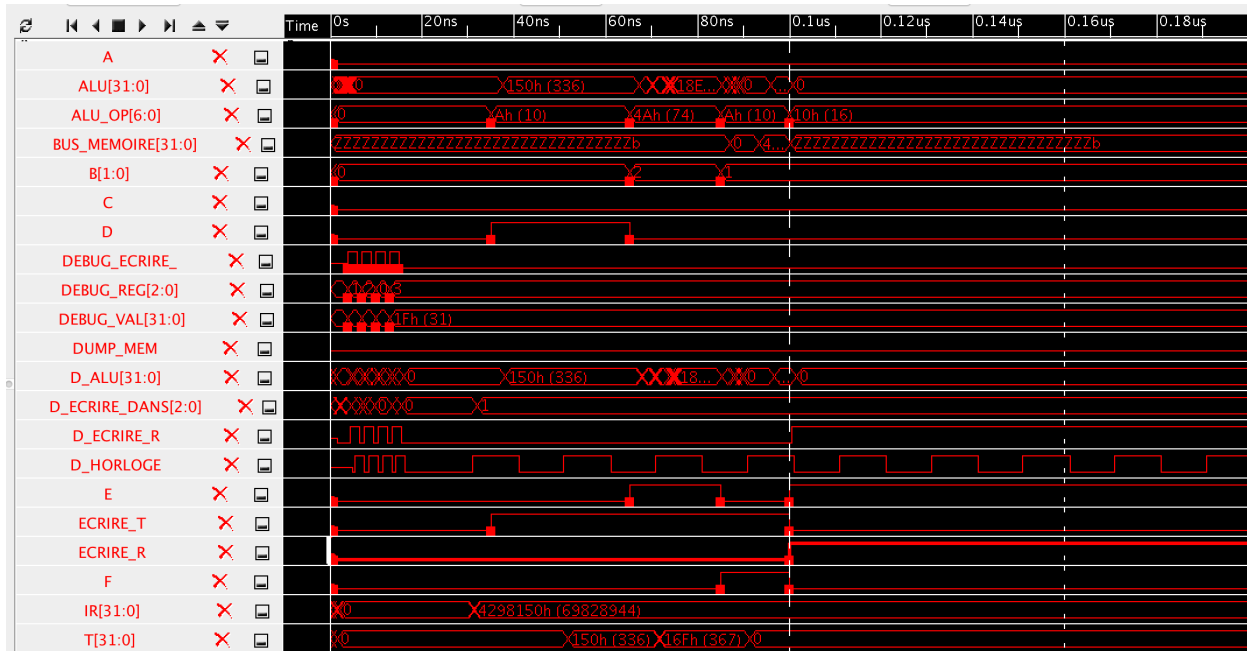


Dans la capture d'écran ci-dessus, on peut remarquer d'abord que l'instruction est bien dans le registre IR. Ensuite, lorsque le signal de contrôle de l'UAL est 0x0A et écrireT à 1, le contenu de l'UAL est transféré dans T. Aussi lorsque le signal de contrôle de l'UAL est 0x4A, on remarque le résultat de l'addition.

2.

- Little endian: 50 81 29 04.
- $T \leftarrow R[IR<12..0>];$
 $T \leftarrow R[IR<17..15>] + T;$
 $T \leftarrow M2[T];$
 $R[IR<23..21>] \leftarrow T \ll R[IR<20..18>];$
- Les signaux de contrôle absent du tableau restent à 0.

B	E	D	F	UAL	ecrireT	ecrireRegistre
0	0	1	0	0x0A	1	0
2	1	0	0	0x4A	1	0
1	0	0	1	0x0A	1	0
1	1	0	0	0x10	0	1



De même façons qu'au numéro 1, on voit d'abord que l'instruction est bien dans le registre IR. Ensuite, le signal de contrôle de l'UAL est 0x0A et écrireT à 1, le contenu de l'UAL est transféré dans T. Lorsque le signal de contrôle de l'UAL est 0x4A, on remarque le résultat de l'addition.