



MEMORIA DE DATOS.

La memoria de datos tiene una organización de 64Kx16. En esta memoria se guardan todos los datos que usamos para las variables y arreglos en un programa. Como se puede observar en la ilustración 1 la memoria de datos maneja las siguientes señales:

➤ **Bus de datos** (Do15,...,Do0). Este es un bus de salida de 16 bits. Este bus se utiliza para leer el dato contenido en la dirección indicada por el bus de direcciones.

➤ **Bus de datos** (Di15,...,Di0). Este es un bus de entrada de 16 bits. Este bus se utiliza para escribir un dato en la dirección indicada por el bus de direcciones.

➤ **Bus de direcciones** (A15,...,A0). Este es un bus de entrada de 16 bits con el cual indicamos la localidad de la memoria de datos que se va a leer o escribir. Con este bus podemos direccionar 65536 localidades del mapa de la memoria de datos.

➤ **WD**. Señal de escritura para la memoria de datos (Write Data). Cuando esta señal tiene 1, se realiza la escritura del dato colocado en el bus de datos de entrada (Di15,...,Di0) en la localidad de memoria especificada por el bus de direcciones (A15,...,A0). **Esta señal se ejecuta de forma síncrona, es decir, se ejecuta en el momento que llega un flanco de subida de la señal de reloj.**

La lectura de la memoria se realiza de forma asíncrona siempre, por lo que no depende de la señal de reloj ni de la señal de control **WD**.

Esta memoria se puede implementar con la memoria RAM distribuida con la que cuentan los LUT contenidos en los Slices dentro de los CLB's de los FPGA's de Xilinx.

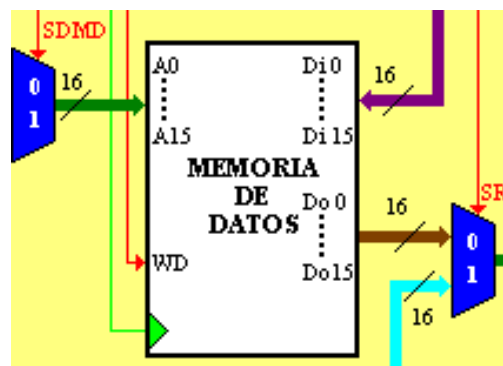


Ilustración 1 Memoria de datos.