

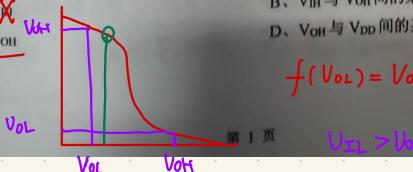
## 一、单项选择题 (2' × 5)

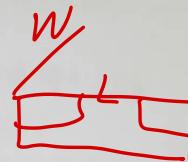
- ⑥ 1. 以下不是本课程英文教材作者或其作者的是 ( ) D  
 A. A.Chandrakasan  
 B. B.Nikolic  
 C. J.M.Rabaey  
 D. B.Razavi

2. 目前全球最大的集成电路代工厂是 ( ) D  
 A. Global Foundry  
 B. Intel  
 C. SMIC  
 D. TSMC

3. 在集成电路工艺中，多晶硅起到的作用不包括 ( ) B  
 ✓ 实现 MOS 管的栅极 ✓  
 C. 实现片上电阻 ✓ ?  
 ✓ 确定 MOS 管的类型 X  
 ✓ 实现局部互连 ✓

4. 在版图设计中，MOS 管的长宽尺寸由多晶硅与 ( ) 同决定 B  
 A. N 阱  
 B. 有源区  
 C. N+/P+注入  
 D. 接触孔

4. 对于一般的反相器电路，当静态输入电压为  $V_{IL}$  时，输出电压为 ( ) B  
 A.  $V_{OL}$  X  
 B.  $V_{OH}$  与  $V_{OH}$  间的某个电压  
 C.  $V_{OH}$   
 D.  $V_{OH}$  与  $V_{DD}$  间的某个电压  
  
 $f(V_{IL}) = V_{OL}$   
 $V_{IL} > V_{TH}$



3.C

多晶硅可以调节  
其掺杂浓度来实现  
不同的电阻

## 二、对下列英文缩写写出英文全称及对应的中文翻译 (2' × 4) 5. XOR 异或

1. CMOS

complementary metal-oxide-semiconductor

互补型金属氧化物半导体

2.

VLSI scale  
Very large semiconductor integrated circuit

超大规模半导体集成电路

exclusive OR

3. CPU

control central processing unit

中央处理单元

4. DRC

design rule checker

(版图)设计规则检查

## 三、论述题 (12')

1. 写出长沟道 NMOS 器件的一阶器件模型表达式 (3') 8

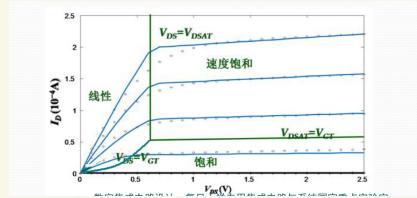
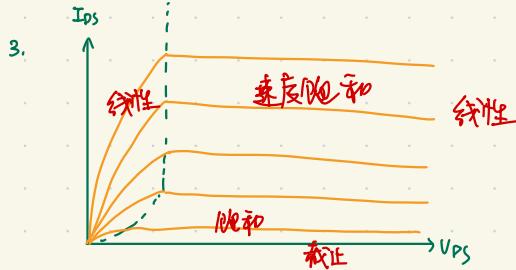
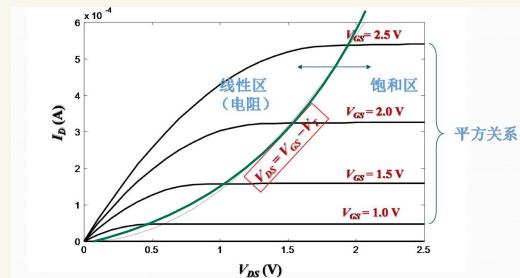
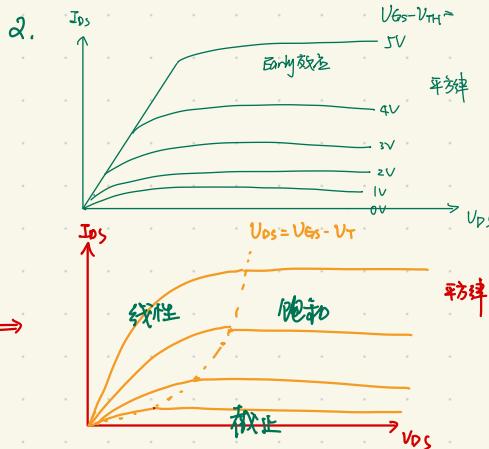
2. 画出长沟道器件模型的输出特性曲线 (3')

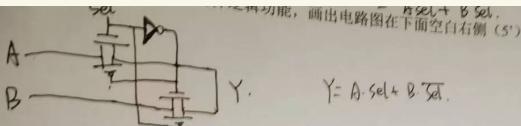
3. 对于同样宽长比的器件，若发生速度饱和，画出其输出特性曲线 (3')

说明长沟道与速度饱和与器件模型间的差异 (3')

1. 截止  $I_{DS} = 0$

$$\left\{ \begin{array}{l} \text{线性} \quad I_{DS} = \mu n C_{ox} \frac{W}{L} [ (V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 ] \\ \text{饱和} \quad I_{DS} = \frac{1}{2} \mu n C_{ox} \frac{W}{L} [ V_{GS} - V_T ]^2 \end{array} \right.$$





$$Y = A \cdot \text{sel} + B \cdot \overline{\text{sel}}$$

等，空载时的本征延时  
1. 写出节点 In 到 Out  
2. 如  $C_1$  为  $C_{g1}$  的  $n$  倍  
和  $C_{g2}$  相对于  $C_{g1}$  的倍数  
以便节点 In 到 Out 的  
3. 这时的最小延时

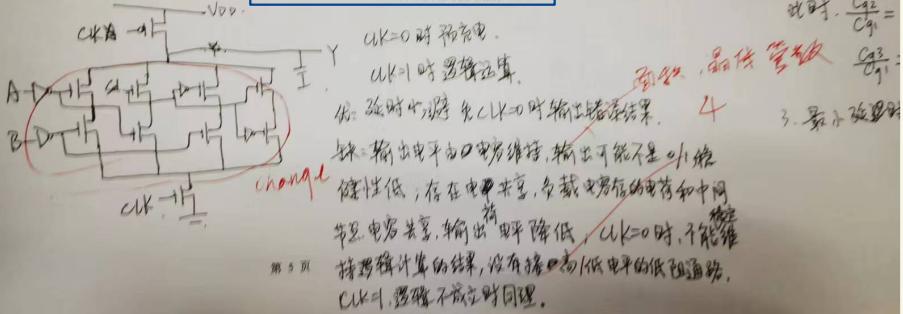
$$1. T = (1 + \frac{C_{g2}}{C_{g1}}) t_p \\ = (3 + \frac{C_{g2}}{C_{g1}}) t_p$$

$$2. T \geq (3n)^{1/2} t_p$$

$$\text{此时 } \frac{C_{g2}}{C_{g1}} = \frac{C_{g3}}{C_{g1}}$$

4. 最小延时

3. 采用基本的动态逻辑实现同样逻辑功能，画出电路图，并说明其优缺点 (5')



#### 四、论述题 (20')

1. 根据长沟道模型的 Scaling-Down 规则填写下表 (标一的格子不需要填写, 15')

参数	关系	恒定电场缩小	恒定电压缩小
$W, L, t_{ox}$	—	1/S	1/S
VDD, VT	—	1/S	1/S
单个器件面积	WL	$\frac{1}{S^2}$	$\frac{1}{S^2}$
单位面积电容 $C_{ox}$	$\frac{1}{t_{ox}}$	S	S
饱和电流 $I_D$	$Cox \frac{V_D}{L} \cdot V^2$	$S \cdot \frac{1}{S} = S$	S
单个器件负载 $C_L$	$Cox WL$	$\frac{1}{S}$	$\frac{1}{S}$
本征延时 $t_p$	$\frac{C_{ox} \cdot V_D}{I_D}$	$\frac{1}{S}$	$\frac{1}{S}$
单个器件功耗 $P_{av}$	$V_D \cdot I_D$	$\frac{1}{S^2}$	S
功率密度	$P_{av}/WL$	1	$S^2$

知识点

$$\textcircled{1} P_{av} \propto \frac{f \cdot V_D^2}{t_p}$$

\textcircled{2} 分析从 PPAC, 亚阈值分析

2. 请根据上述表格，以及其他相关知识，论述工艺节点继续演进对性能的影响及可能存在的问题 (5')

单位面积的电容比例增大 S；而本征延时不随工艺节点推进而减少，限制了最高主频。

若采用恒定电压缩小，则单个器件功耗、功率密度都将增大，又考虑到集成度变大，单位面积晶体管数量大，功耗将非常大。

恒定电场缩小使器件面积减小，功耗降低，电流低，驱动小。

#### 五、论述题 (10')

简述静态互补 CMOS 逻辑门的功耗来源及其与各电路参数的关系，必要时请用公式加以说明。

8

到集成度变大，单位面积晶体管数量大，功耗将非常大。  
恒定电场缩小使器件面积减小，功耗降低，电流低，驱动小。

### 五、论述题 (10')

简述静态互补 CMOS 逻辑门的功耗来源及其与各电路参数的关系，必要时请用公式

① 静态 {  
    亚阈值:  $I = I_0 e^{-\frac{V}{S}}$   
    反偏PN结:  $I \propto g_D \frac{n_{DOS}}{W_b} \exp(\frac{qV}{kT})$   
    隧穿电流}

② 动态 {  
    电容充放电:  $P = f C_L V_{DD} \cdot (\alpha \rightarrow)$   
    第3页 短路电流:  $P = \int_{t_0}^{t_0} i_{short} V_{DD} dt$ .

### 知识

① 静态 CMOS 功耗来源

②  $P_c = f C_L V_{DD} \cdot (\alpha \rightarrow)$

$$A \bar{sel} + B sel = \overline{A \bar{sel} + B sel}$$

①  $\overline{A \bar{sel} + B sel}$

② 反向器 CMOS 呢？

例子显示在图 5.22 中。我们只需要调整  $C_{ext}$  的表达式以考虑附加的扇出系数。

第 175 页，共 575 页

### 思考题 5.5 确定反相器网络的尺寸

确定图 5.22 电路中反相器的尺寸，使在节点  $Out$  和  $In$  之间的延时最小。可以假设  $C_L = 64 C_{g,1}$ 。

提示：首先决定使延时最小的各个器件之间的比。应当发现以下的关系必定成立：

$$\frac{4C_{g,2}}{C_{g,1}} = \frac{4C_{g,3}}{C_{g,2}} = \frac{C_L}{C_{g,3}}$$

求门的确切尺寸 ( $C_{g,3} = 2.52 C_{g,2} = 6.35 C_{g,1}$ ) 是比较容易的（注意  $2.52 = 16^{1/3}$ ）。如果直接确定反相器链的尺寸而不考虑额外的扇出，将得到尺寸系数为 4 而不是 2.52。

$$\Rightarrow C_{g,2} = 2.52 C_{g,1}$$

$$C_{g,3} = 6.35 C_{g,1}$$

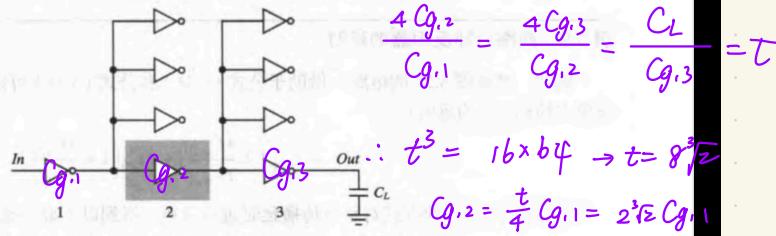


图 5.22 反相器网络。其中每个门的扇出都为 4 个门，把一个输入以树结构的形式分配给 16 个输出信号

输入信号的上升-下降时间