

一、单项选择题 (2' × 5)

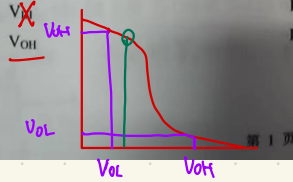
1. 以下不是本课程英文教材作者或其作者的是 ()
 A. A.Chandrakasan B. B.Nikolic
 C. J.M.Rabaey D. B.Razavi

2. 目前全球最大的集成电路代工厂是 ()
 A. Global Foundry B. Intel
 C. SMIC D. TSMC

3. 在集成电路工艺中, 多晶硅起到的作用不包括 ()
 ✓ 实现 MOS 管的栅极 ✓ B
 ✓ 实现片上电阻 ✓
 B. 确定 MOS 管的类型 X
 D. 实现局部互联 ✓

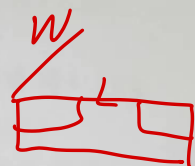
4. 在版图设计中, MOS 管的长宽尺寸由多晶硅与 () 共同决定
 A. N 阱 B. 有源区
 C. N+/P+注入区 D. 接触孔

4. 对于一般的反相器电路, 当静态输入电压为 V_{IL} 时, 输出电压为 ()
 A. V_{OH} B. V_{OH} 与 V_{OH} 间的某个电压
 C. V_{OH} D. V_{OH} 与 V_{DD} 间的某个电压



$$f(V_{OL}) = V_{OH}$$

$$V_{IL} > V_{OL}$$



3. C
 多晶硅可以调节其掺杂浓度来实现不同电阻

4. 多晶硅确定 L
 有源区确定 W

B?

二、对下列英文缩写写出英文全称及对应的中文翻译 (2' × 4)

1. CMOS

complementary metal-oxide-semiconductor
 互补型金属氧化物半导体

2. VLSI

Very large scale semiconductor integrated circuit
 超大规模半导体集成电路

3. CPU

central processing unit
 中央处理单元

4. DRC

design rule checker
 (版图)设计规则检查

5. XOR 异或
 exclusive OR

三、论述题 (12')

1. 写出长沟道 NMOS 器件的一阶器件模型表达式 (3')

2. 画出长沟道器件模型的输出特性曲线 (3')

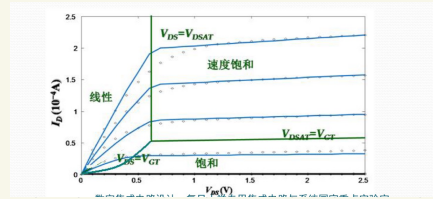
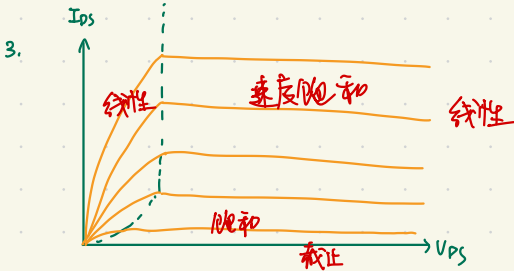
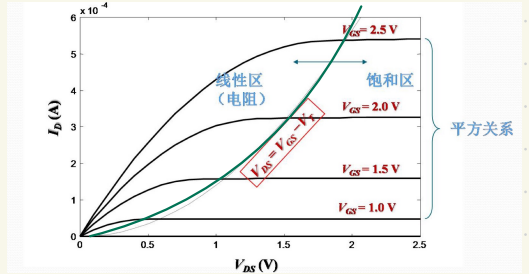
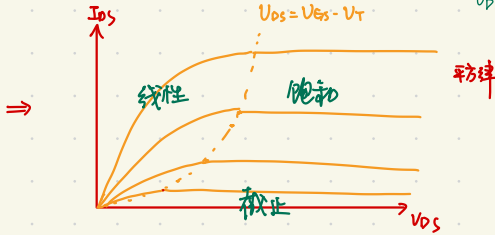
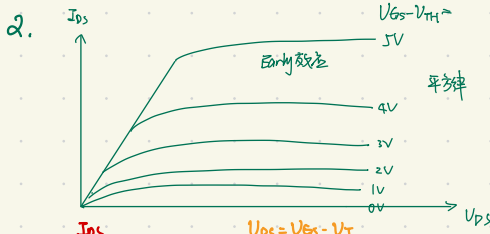
3. 对于同样宽长比的器件, 若发生速度饱和, 画出其输出特性曲线 (3')

画出长沟道与速度饱和器件模型间的差异 (3')

1. 截止 $I_{DS} = 0$

线性 $I_{DS} = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$

饱和 $I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2$



集成度变大, 单位面积晶体管数量大, 功耗将非常大.

恒定电阻缩小使器件面积减少, 功耗降低, 电压低, 驱动小.

五、论述题 (10')

简述静态互补 CMOS 逻辑门的功耗来源及其与各电路参数的关系, 必要时请用公式

① 静态

亚阈值

$$I = I_0 10^{-\frac{qV}{kT}} \quad g = n \frac{kT}{q} \ln 10$$

反漏偏 P/N 结

$$I \propto g D \frac{q \phi_0}{W_0} \exp\left(\frac{qV_{bi}}{kT}\right)$$

隧穿电流

② 动态

电容充放电

$$P = f C_L V_{DD}^2 \cdot \alpha \rightarrow 1$$

短路电流

$$P = \int_0^{T_0} i_{sc}(t) V_{DD} dt.$$

知识

① 静态 CMOS 功耗来源

② $P_c = f C_L V_{DD}^2 \cdot \alpha \rightarrow 1$

$$A_{sel} + B_{sel} = \frac{A_{sel} + B_{sel}}{A_{sel} + B_{sel}}$$

① $\frac{A_{sel} + B_{sel}}{A_{sel} + B_{sel}}$

② 反向器 CMOS 的?

例子显示在图 5.22 中。我们只需要调整 C_{ext} 的表达式以考虑附加的扇出系数。

第 175 页, 共 575 页

思考题 5.5 确定反相器网络的尺寸

确定图 5.22 电路中反相器的尺寸, 使在节点 *Out* 和 *In* 之间的延时最小。可以假设 $C_L = 64 C_{g,1}$ 。

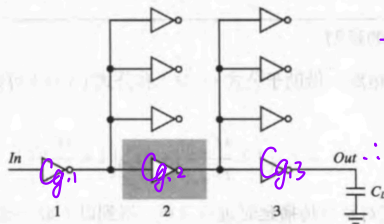
提示: 首先决定使延时最小的各个器件之间的比。应当发现以下的关系必定成立:

$$\frac{4C_{g,2}}{C_{g,1}} = \frac{4C_{g,3}}{C_{g,2}} = \frac{C_L}{C_{g,3}}$$

求门的确切尺寸 ($C_{g,3} = 2.52 C_{g,2} = 6.35 C_{g,1}$) 是比较容易的 (注意 $2.52 = 16^{1/3}$)。如果直接确定反相器链的尺寸而不考虑额外的扇出, 将得到尺寸系数为 4 而不是 2.52。

$$\Rightarrow C_{g,2} = 2.52 C_{g,1}$$

$$C_{g,3} = 6.35 C_{g,1}$$



$$\frac{4C_{g,2}}{C_{g,1}} = \frac{4C_{g,3}}{C_{g,2}} = \frac{C_L}{C_{g,3}} = T$$

$$\therefore T^3 = 16 \times 64 \rightarrow T = 8\sqrt[3]{2}$$

$$C_{g,2} = \frac{T}{4} C_{g,1} = 2^{3/2} C_{g,1}$$

$$C_{g,3} = \frac{T}{4} C_{g,2} = 2^{3/2} \cdot 2^{3/2} C_{g,1} = 4^{3/2} C_{g,1}$$

图 5.22 反相器网络。其中每个门的扇出都为 4 个门, 把一个输入以树结构的形式分配给 16 个输出信号

输入信号的上升-下降时间