

# Physical Design HW1 Report

黃博浩 107062637

	(congestion-driven, timing-driven)			
	(off, off)	(on, off)	(off, on)	(on, on)
Slack	49.77	50.71	48.37	49.15
Total cell area	367911.453619	368274.697214	368050.640392	368486.872231
Total wirelength	1160435	1141298	1135789	1147816

## The difference(s) between congestion-driven placement and timing-driven

### Placement :

**Congestion-driven**：目的在減少之後繞線時線與線間造成 violation 的機率，因此為了避免這樣的事情發生，將 congestion-driven 設為 on，雖然可能增加 total cell area，但可以大大提升繞線成功率。

**Timing-driven**：目的在減少訊號間傳遞的延遲，若設為 on 可以降低 slack 的時間，slack 的定義為：訊號預估到達的時間 - 實際到達的時間，因此我們希望 slack 大於且接近於 0，若小於 0 則失效。

### An explanation of why we insert filler cells :

為了增加晶片量產時的良率，會做一些加入 filler cell 與 dummy metal 等步驟來避免密度不均勻等問題，為了避免製程把 Layout 作成晶片時因為 standard cell 密度分布不均勻，導致量產時有良率的問題，所以一般會在沒有擺放的 cell 的地方加入 cell filler，讓 Chip 的密度比較均勻。

**best clock period**：-period 180 -waveform {0 90}

**core utilization**：0.8

**corresponding slack**：48.37

**core area**：368050.640392

**total wirelength**：1135789