



A5133 Reference code for FIFO

RC_A5133_U10

Document Title

A5133 reference code for FIFO mode

Revision History

<u>Rev. No.</u>	<u>History</u>	<u>Issue Date</u>	<u>Remark</u>
0.0	Preliminary	Jan. 20, 2020	
0.1	Merge 4Mbps,2Mbps,1Mbps,500Kbps config file	Apr. 14, 2020	
0.2	Modify DR2Mbps cfg. Addr0x20[], page0 value Modify DR1Mbps cfg. Addr0x20[], page0 value Modify DR500kbps cfg. Addr0x20[], page0 value	Nov. 1, 2021	
0.3	Modify DR4Mbps cfg file Modify DR2Mbps cfg file Modify DR1Mbps cfg file Delete DR500kbps cfg file	Dec. 6, 2021	
0.4	Add DR500kbps cfg file Modify DR 4Mbps cfg, CHGL=40, CHBH=80, Modify DR 2Mbps cfg, CHGL=40, CHBH=80, Modify DR 1Mbps cfg, CHGL=40, CHBH=80, DEVS=3, DMV=1, CHD=3	May. 17, 2022	
0.5	Add RF_TXPower setting procedure	Aug. 16, 2022	
0.6	Add delay time after enable EFSW&EFRE	Mar. 6, 2023	

Important Notice:

AMICCOM reserves the right to make changes to its products or to discontinue any integrated circuit product or service without notice. AMICCOM integrated circuit products are not designed, intended, authorized, or warranted to be suitable for use in life-support applications, devices or systems or other critical applications. Use of AMICCOM products in such applications is understood to be fully at the risk of the customer.



A5133 Reference code for FIFO

RC_A5133_U10

Table of contents

1. 簡介.....	3
2. 系統概述	3
3. 硬體.....	4
3.1 系統方塊圖.....	4
4. 韌體程式設計.....	5
4.1 應用範例概述	5
4.2 範例程式工作基本方塊.....	6

RF Chip-A5133 Reference code for FIFO mode

1. 簡介

這文件係對 A5133 FIFO mode 做一簡單的應用範例程式，供使用者能夠快速應用這 RF chip。

2. 系統概述

本範例程式主要分二個部份，一個為 master 端，另一個為 slave 端。

Master 端：power on、initial 系統及 RF chip 後，進入 TX 狀態，傳送 64 bytes 資料。之後，再進入 RX 狀態，等待接收。如收到資料，則回到 TX 傳送狀態，重新另一次的傳送循環動作。否則，50ms 之後，Master 端會自動回到 TX 傳送階段，重新另一次的傳送循環動作。

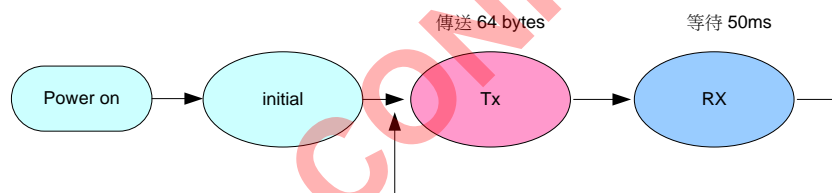


Fig1. Master 端方塊圖

Slave 端：power on、initial 系統及 RF chip 後，進入 RX 狀態等待接收。若無收到 Master 端所發送的資料，則仍在 RX 狀態，等待接收。若有收到 Master 端所發送的資料，則進入 TX 狀態，傳送 64bytes 資料。再次回到 RX 狀態等待下一次接收。

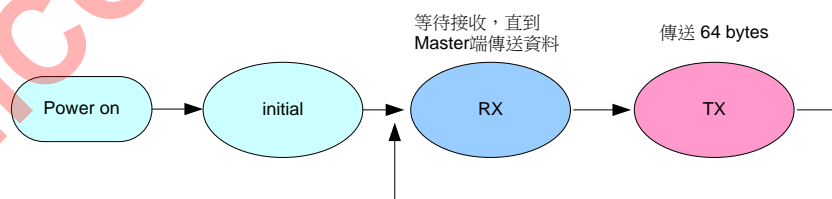


Fig2. Slave 端方塊圖

Master 端在 Power on 後，進入迴圈送出封包及等待 Slave 端所傳送合法的封包。Master 端如未收到封包，在 50ms 後，回到發送程序送出封包。一旦接收到封包，讀出資料、比對，計算 error bit，延遲 10ms 後，回到發送程序送出封包。

Slave 端在 Power on 後，進入接收狀態，等待從 master 端所發送合法的封包。Slave 端如未收到封包，則仍繼續等待接收。一旦接收到封包，讀出資料、比對，計算 error bit 後，再發送封包給 Master 端。使用者可依據簡易的計算 error bit 及傳送封包數，得出 BER(bit error rate)，作為傳輸品質的數據。

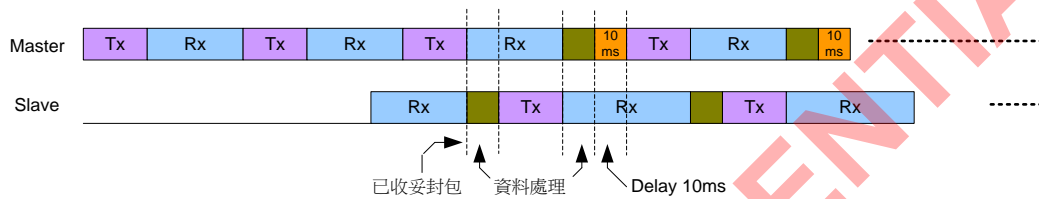


Fig3. TX/RX 時序圖

3. 硬體

3.1 系統方塊圖

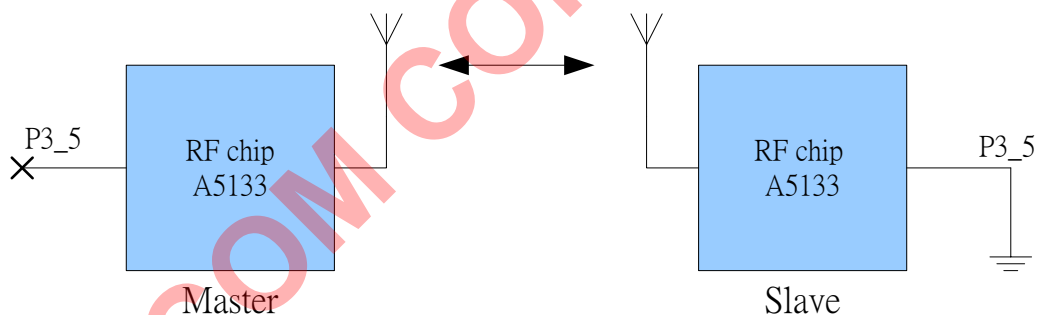


Fig4. 系統方塊圖

**MCU 使用 I/O pin 3_5 的設定，判別 Master 端或 Slave 端。

MCU I/O Pin 定義

範例程式使用的I/O:

- SCS, SCK, SDIO - 3 線串列介面存取A5133 register.
- GIO1 - 監測TX/RX 封包結束的訊號.

MCU controls A5133 RF chip I/O assign:

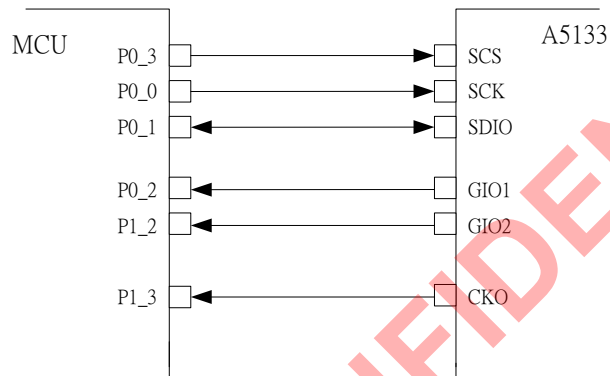


Fig5. Connections between 8051 MCU and A5133

4. 韌體程式設計:

4.1 應用範例概述

首先初始化 Timer0、Uart0 及 A5133 chip，之後判別 P3_5 =1 進入 master 端的主程式或 P3_5 =0 進入 slave 端的主程式。

Master 端：

- 1) TX FIFO 寫入 PN9 code 共 64 bytes。
- 2) 進入 TX state，傳送封包。完成傳送後，RF chip 會自動結束 TX state，回復到 PLLstate。
- 3) 等待封包傳送完成信號指示後，進入 RX 狀態。
- 4) 啟動 Timer0 計時、清除 Flag_Timeout 旗標。
- 5) 如發生 Timeout=50ms 後，程式重新進入 Tx 狀態，再一次傳送封包。
- 6) 如收到封包後，RF chip 會自動結束 RX state，回復到 PLL state。
- 7) 從 RX FIFO 讀出，並比較 PN9 code 共 64bytes，並計算 error bit 數目。
- 8) 延遲 10ms，重新回到 Step 1 動作，重新再傳送下一次封包。
- 9) 每 500ms，將所計算的 error bit 傳送至 PC。

Slave 端：

- 1) 進入 RX 狀態，等待封包收到。
- 2) 如收到封包後，RF chip 會自動結束 RX state，回復到 PLL state。
- 3) 從 RX FIFO 讀出，並比較 PN9 code 共 64bytes，計算 error bit 數目。
- 4) TX FIFO 寫入 PN9 code 共 64 bytes。
- 5) 進入 TX state，傳送封包後。完成傳送後，RF chip 會自動結束 TX state，回復到 PLL state。
- 6) 重新回到 Step 1 動作，等待下一次封包的進入。
- 7) 每 500ms，將所計算的 error bit 傳送至 PC。

4.2 範例程式工作基本方塊

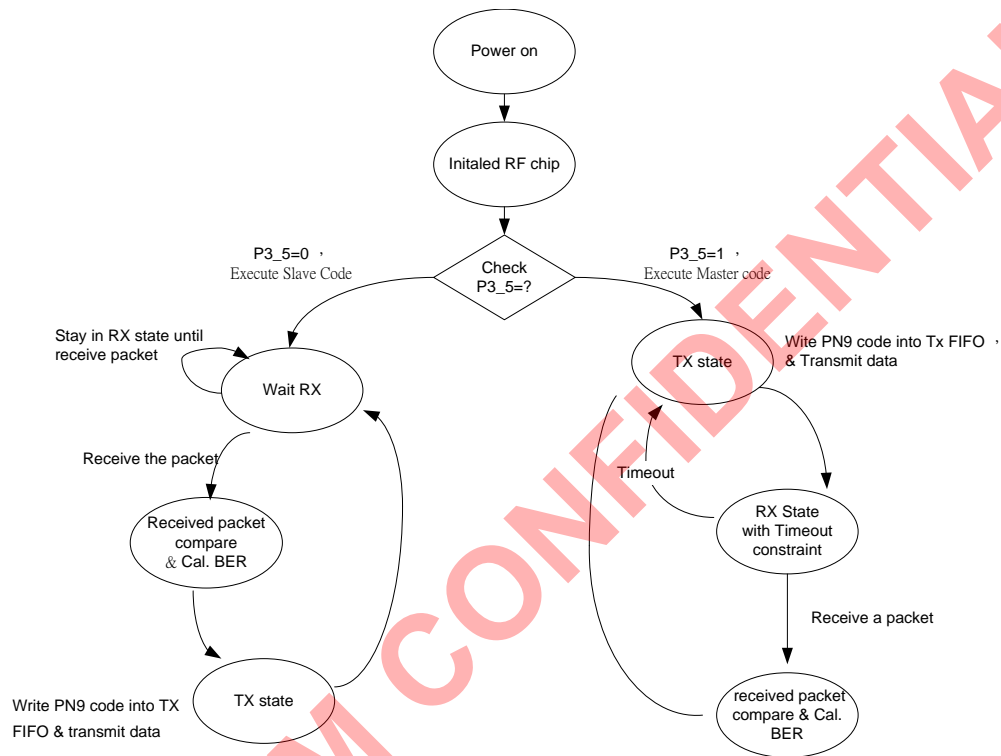


Fig6. 範例程式工作基本方塊