
PE300 用户手册

Rev. 1.0



版本记录

版本	时间	描述
Rev. 1.0	2019.12.10	第一版发布

版权声明:

XME/IME 系列核心模块、评估板及其相关知识产权由微相科技有限公司所有。

本文档由微相科技有限公司版权所有，并保留一切权利。在未经微相公司书面许可的情况下，不得以任何方式或形式来修改、分发或复制本文档的任何部分。

免责声明

产品中所提供的程序源代码、软件、资料文档等，微相科技不提供任何类型的担保；不论是明确的，还是隐含的，包括但不限于合适特定用途的保证，全部的风险，由使用者来承担。

目录

版本记录	1
版权声明:	2
免责声明	2
目录	3
第一章 PE300 简介	4
1.1 产品简介	4
1.2 资源特性	4
1.3 系统布局图	5
1.4 器件布局	6
1.5 PE300 与 XME 系列核心板搭配说明	6
第二章 功能介绍	8
2.1 千兆以太网	8
2.2 HDMI 输入接口	11
2.3 HDMI 发送接口	13
2.4 PCIe 接口	16
2.5 USB 转串口	18
2.6 SD	20
2.7 按键	21
2.8 LED	23
2.9 JTAG	24
2.10 GPIO 扩展口	25
2.11 电源	31

第一章 PE300 简介

1.1 产品简介

PE300 为用户使用微相科技的 5*6cm XME 系列 SoM（系统模块、核心板）提供测试，开发和评估的功能底板。PE300 为 XME 系列核心模块提供丰富的扩展接口，比如：HDMI 发送，HDMI 接受，千兆以太网，PCIe 2.0 x4，GPIO 扩展口，USB 转 UART 接口，SD 卡槽，电源，JTAG 等。



1.2 资源特性

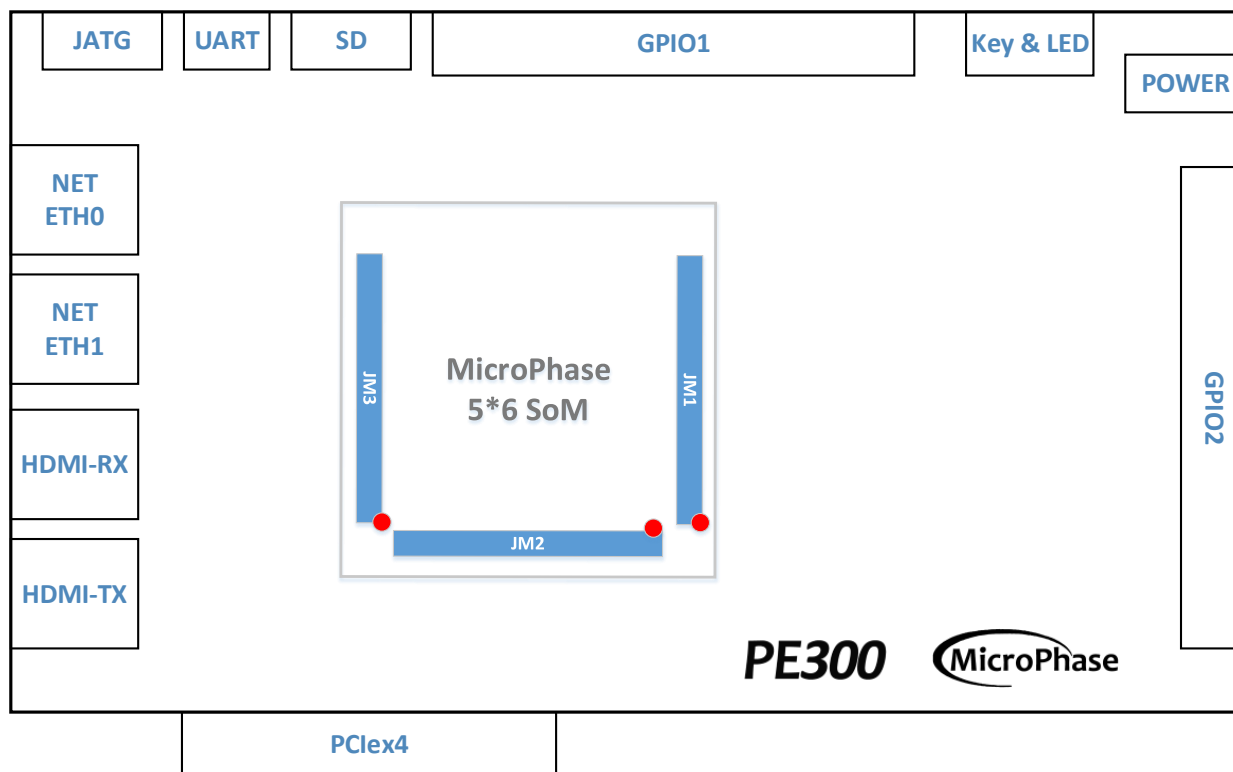
- 一路 PCIe x4 高速数据传输接口
- 二路 10/100M/1000M 以太网 RJ-45 接口
- 一路 HDMI 视频输入接口
- 一路 HDMI 视频输出接口

- 一路 USB UART 通信接口
- 一路 SD 卡，仅支持 ZYNQ 核心板
- 二路 40 针扩展口
- JTAG 调试口
- 3 个独立按键
- 2 个用户 LED

注：会因核心板不同，以上接口可能不完全支持，使用时请确认细节

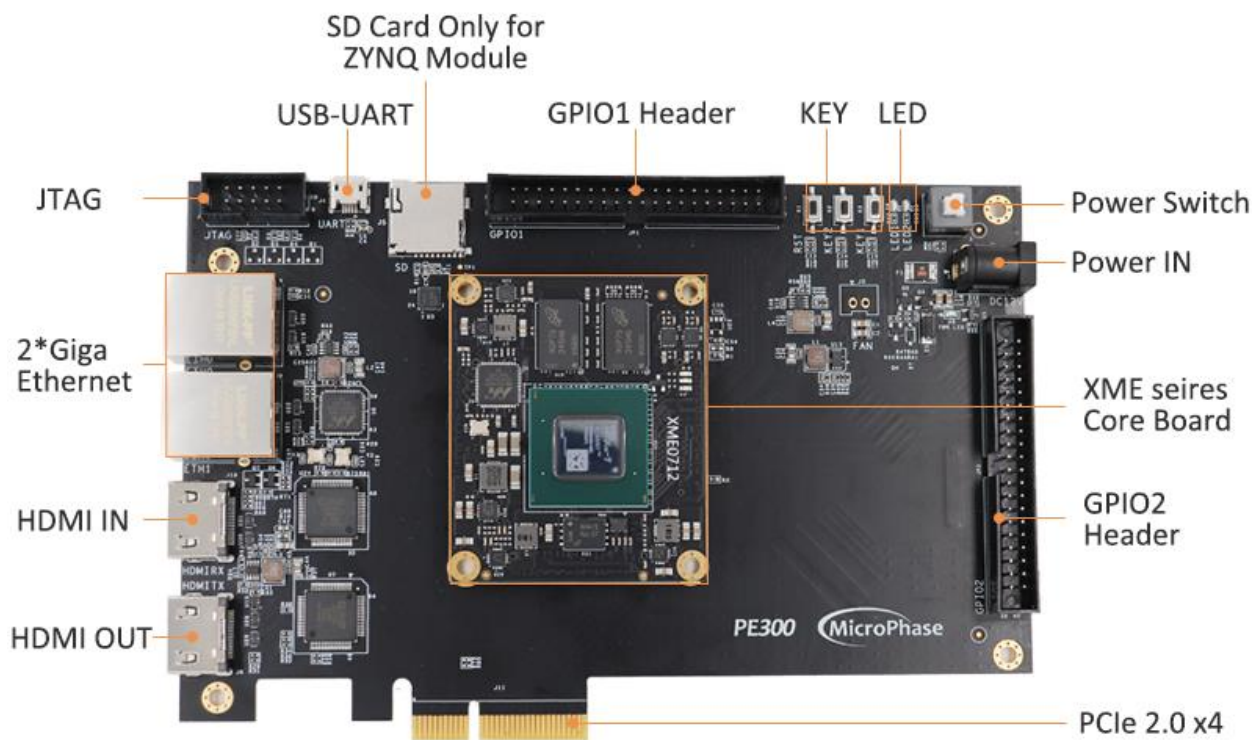
1.3 系统布局图

PE300 底板与 XME 系列核心模块搭配的布局图如下图所示



1.4 器件布局

PE300 与 XME0712-200I 的搭配的器件布局图如



1.5 PE300 与 XME 系列核心板搭配说明

✓：支持

✗：不支持

⚠：使用注意

★：有限支持，即不完全支持

PE300	XME0712-35T	XME0712-75T/ 100T/200T	XME0715	XME0720
PCIe x4	✓	✓	✓	✗
ETH0	✗	✓	✓ 处于 PS 侧	✓ 处于 PS 侧
ETH1	✓	✓	✓	✓

HDMI TX	✓	✓	✓	✓
HDMI RX	✓	✓	⚠:	✓
USB-UART	✓	✓	✓ 处于 PS 侧	✓ 处于 PS 侧
SD	✗	✗	✓	✓
GPIO1	✓	✓	✓	✓
GPIO2	★	✓	★	✓

第二章 功能介绍

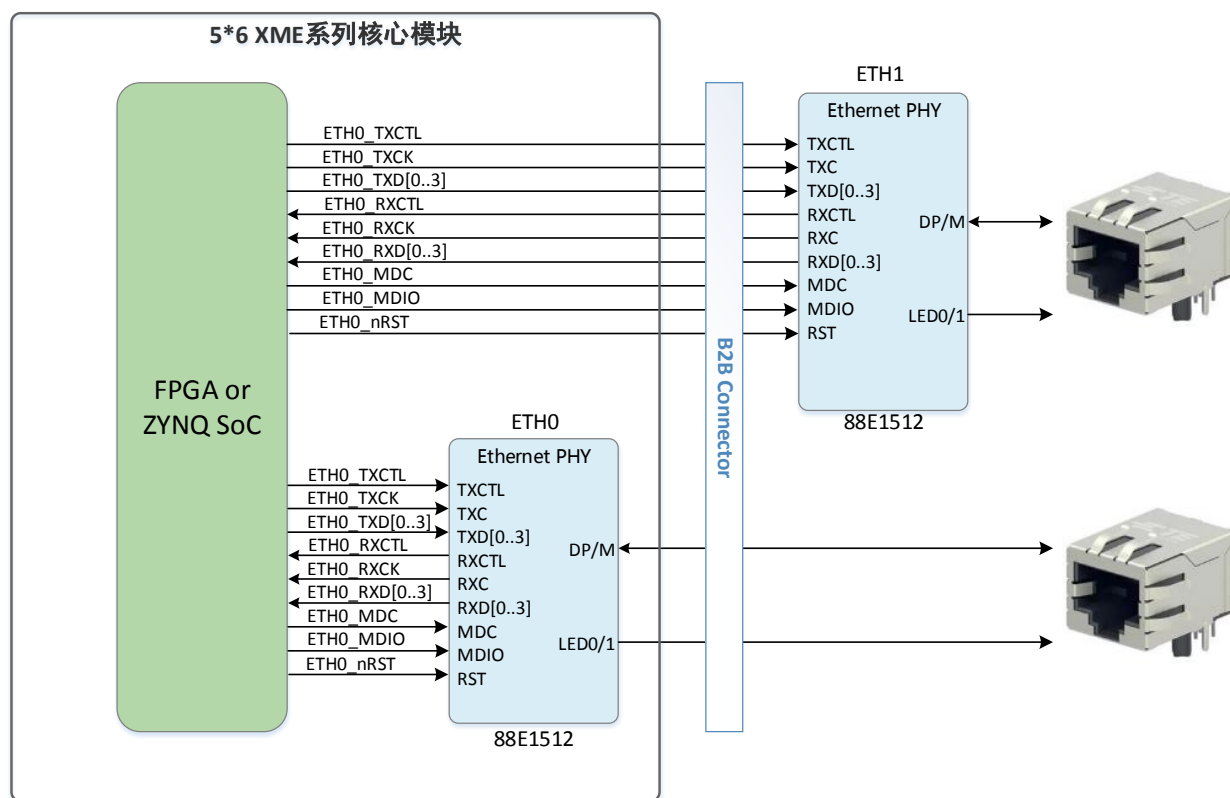
2.1 千兆以太网

PE300 提供了两个千兆以太网接口，其中 ETH0 的 PHY 芯片集成在核心板上，ETH0 通过 MDI 信号与核心板相连接，ETH0 的 PHY 的相关信息可以参考相应核心板的文档。

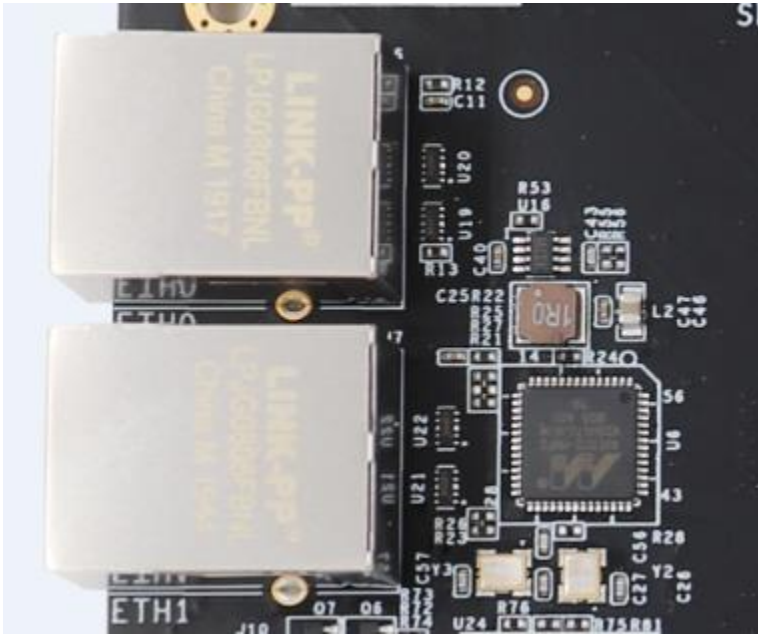
（注：ETH0 对于 XME0712-35I 是 NC 的）

ETH1 的 PHY 芯片采用的是 Marvell Alaska 88E1512，以太网 PHY 芯片通过 RGMII 接口与核心板 FPGA/SOC 的 IO 连接。88E1512 的功能非常强大，支持 RGMII 到铜缆线（RJ45 网线），SGMII 到铜缆线，RGMII 到光纤或 SGMII 等，支持 MDI/MDIX 自适应，三速度 10/100/1000M 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

MicroPhase 5*6 XME 系列核心模块与 2 片以太网 PHY 芯片连接示意图



以太网的实物图如下图：



ETH0 与 XME0712 的 FPGA 管脚连接分配表如错误!未找到引用源。:

Signal	FPGA Pin	Description
ETH0_nRST	Y17	PHY 复位信号
ETH0_RXCTL	AA11	接受控制信号，数据信号有效
ETH0_RXC	W11	RGMII 接收时钟
ETH0_TXCTL	AB11	发送控制信号，数据使能控制
ETH0_TXC	Y11	RGMII 发送时钟
ETH0_RXD0	V10	RGMII 接受数据位 0
ETH0_RXD1	W10	RGMII 接受数据位 1
ETH0_RXD2	Y12	RGMII 接受数据位 2
ETH0_RXD3	W12	RGMII 接受数据位 3
ETH0_TXD0	AB12	RGMII 发送数据位 0
ETH0_TXD1	AA9	RGMII 发送数据位 1
ETH0_TXD2	AB10	RGMII 发送数据位 2
ETH0_TXD3	AA10	RGMII 发送数据位 3
ETH0_MDC	AA13	MDIO 管理时钟

ETH0_MDIO	AB13	MDIO 管理数据
-----------	------	-----------

Table 二-1 ETH0 信号说明

ETH1 与 XME0712 的 FPGA 管脚连接分配表如下：错误!未找到引用源。：

Signal	FPGA Pin	Description
ETH1_nRST	K22	PHY 复位信号
ETH1_RXCTL	J14	接受控制信号，数据信号有效
ETH1_RXC	J19	RGMII 接收时钟
ETH1_TXCTL	G13	发送控制信号，数据使能控制
ETH1_TXC	G15	RGMII 发送时钟
ETH1_RXD0	H14	RGMII 接受数据位 0
ETH1_RXD1	J15	RGMII 接受数据位 1
ETH1_RXD2	H15	RGMII 接受数据位 2
ETH1_RXD3	H19	RGMII 接受数据位 3
ETH1_TXD0	H17	RGMII 发送数据位 0
ETH1_TXD1	H18	RGMII 发送数据位 1
ETH1_TXD2	G16	RGMII 发送数据位 2
ETH1_TXD3	H13	RGMII 发送数据位 3
ETH1_MDC	J22	MDIO 管理时钟
ETH1_MDIO	H22	MDIO 管理数据

Table 二-2 ETH1 信号说明

ETH1 与其它 XME 模块的芯片引脚连接请参考文档

《XME_PE300_Pinout_Table_Revx.x》，其中 Revx.x 是版本号，请查看最新版本。

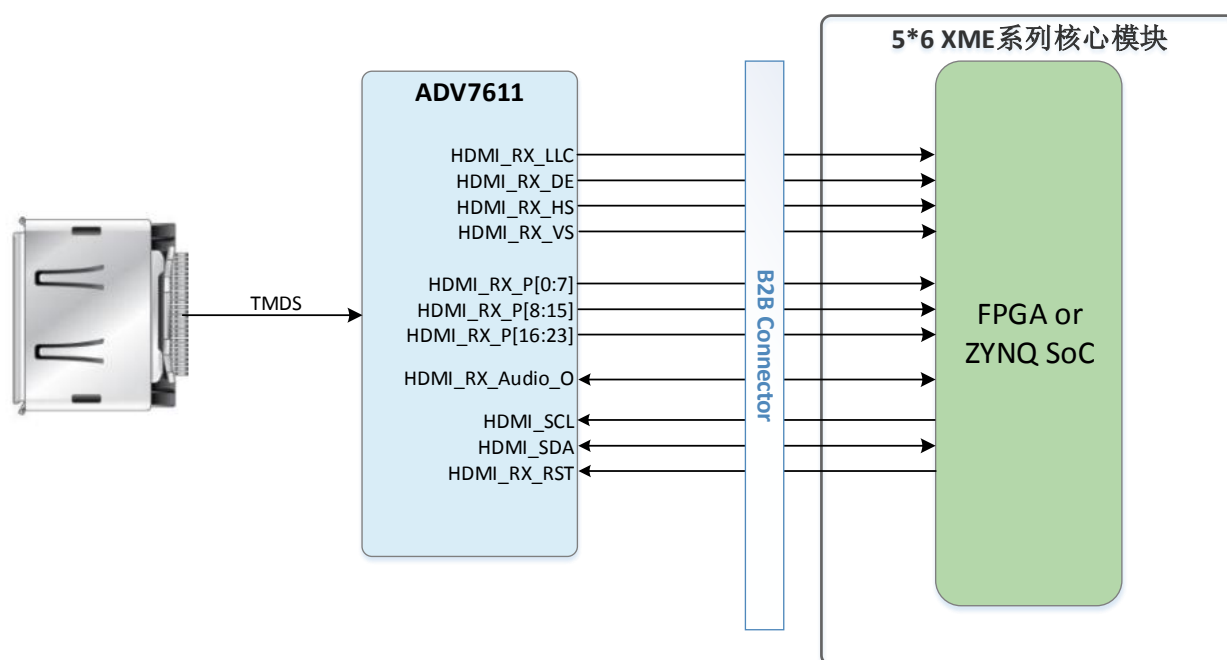
2.2 HDMI 输入接口

PE300 上采用 Analog 公司的 ADV7611 解码芯片，ADV7611 是一款高质量、单输入 HDMI® 接收器，内置 HDMI 兼容型接收器，支持 HDMI 1.4a 规定的所有强制性 3D 电视格式，和支持 1080P/60HZ，UXGA 60 Hz。

ADV7611 具有一个音频输出端口，用于输出从 HDMI 流提取的音频数据。HDMI 接收器具有高级静音控制器，可消除音频输出中的外来声频噪声。

数字音视频接口与 FPGA 的 IO 相连，同时芯片的配置管理 I2C 接口也与 FPGA 的 IO 相连，FPGA 可以通过 I2C 接口编程，对 ADV7611 进行初始化与寄存器配置操作。

ADV7611 视频输入接口硬件连接示意图如下：



HDMI 输入接口在扩展板的实物图如下图



HDMI 输入信号与 XME0712 管脚分配，如下表：

Signal	FPGA Pin	Description
HDMI_RX_DE	U18	数据使能（有效像素数据）信号
HDMI_RX_HS	V17	水平同步输出信号
HDMI_RX_VS	W17	垂直同步输出信号
HDMI_RX_CLK(LLC)	Y18	像素数据的行锁定输出时钟
HDMI_RX_RST	M18	系统复位输入
HDMI_RX_D0	U17	视频像素输出端口数据 0
HDMI_RX_D1	P16	视频像素输出端口数据 1
HDMI_RX_D2	R17	视频像素输出端口数据 2
HDMI_RX_D3	P14	视频像素输出端口数据 3
HDMI_RX_D4	R14	视频像素输出端口数据 4
HDMI_RX_D5	L14	视频像素输出端口数据 5
HDMI_RX_D6	L15	视频像素输出端口数据 6
HDMI_RX_D7	N13	视频像素输出端口数据 7
HDMI_RX_D8	N14	视频像素输出端口数据 8
HDMI_RX_D9	P15	视频像素输出端口数据 9
HDMI_RX_D10	R16	视频像素输出端口数据 10
HDMI_RX_D11	U20	视频像素输出端口数据 11
HDMI_RX_D12	V20	视频像素输出端口数据 12
HDMI_RX_D13	P19	视频像素输出端口数据 13

HDMI_RX_D14	R19	视频像素输出端口数据 14
HDMI_RX_D15	T21	视频像素输出端口数据 15
HDMI_RX_D16	U21	视频像素输出端口数据 16
HDMI_RX_D17	U22	视频像素输出端口数据 17
HDMI_RX_D18	V22	视频像素输出端口数据 18
HDMI_RX_D19	Y19	视频像素输出端口数据 19
HDMI_RX_D20	AA19	视频像素输出端口数据 20
HDMI_RX_D21	AB20	视频像素输出端口数据 21
HDMI_RX_D22	AA18	视频像素输出端口数据 22
HDMI_RX_D23	AB18	视频像素输出端口数据 23
HDMI_SCL	K19	I ² C 端口串行时钟输入，与 HDMI 发送共用
HDMI_SDA	K18	I ² C 端口串行数据，与 HDMI 发送共用
HDMI_RX_INT	K21	中断信号，由用户配置
HDMI_RX_SPDIF	M21	数字音频输出(S/PDIF)或 I ² S
HDMI_RX_LRCLK	K17	音频左/右时钟
HDMI_RX_SCLK	J17	输出音频串行时钟
HDMI_RX_MCLK	L21	输出音频主机时钟

HDMI 输入信号与其它 XME 模块的芯片引脚连接请参考文档

《XME_PE300_Pinout_Table_Revx.x》，其中 Revx.x 是版本号，请查看最新版本。

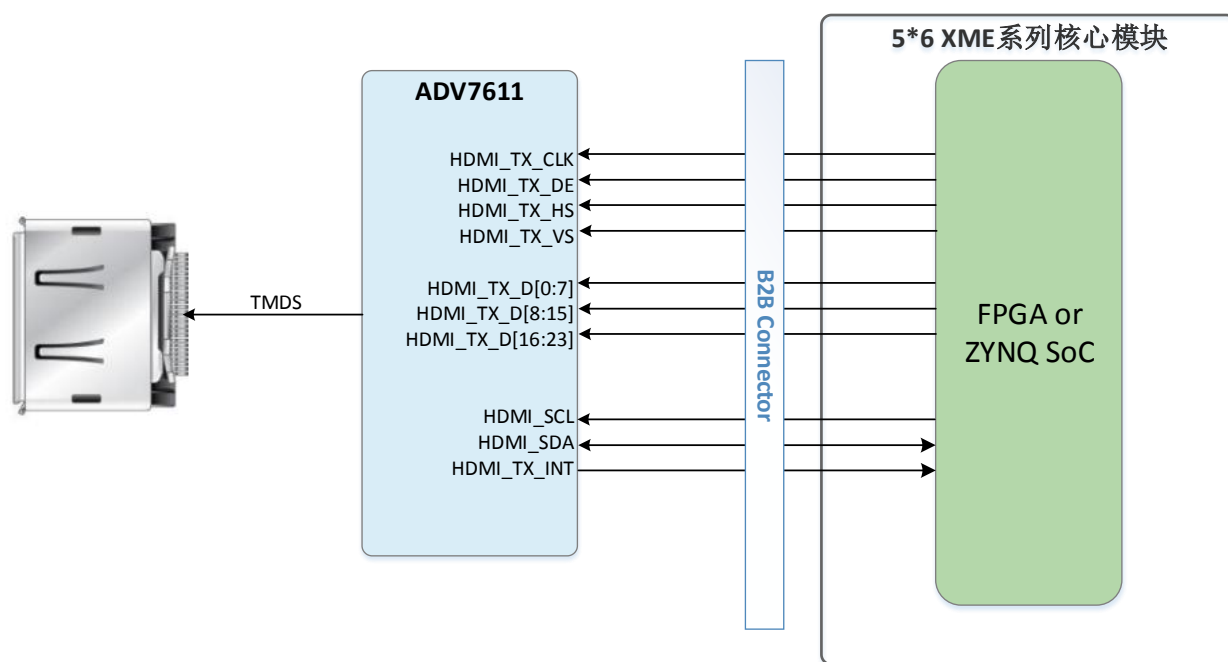
2.3 HDMI 发送接口

PE300 上提供了一路 HDMI 输出，采用的解码芯片是 Analog 公司的 ADV7513，ADV7513 是一款 165 MHz 高清多媒体接口(HDMI®)发送器，该数字视频接口包含一个兼容 HDMI v1.4/DVI v1.0 的发送器，支持所有高清电视格式。除包括 3D 视频在内的 HDMI v1.4 特有特性之外，ADV7513 还支持 x.v.Color™、高比特率(HBR)音频和可编程辅助视频信息(AVI) InfoFrame 特性。ADV7513 内置 HDCP 支持功能，可以安全传输 HDCP v1.4 协议规定的受保护内容。

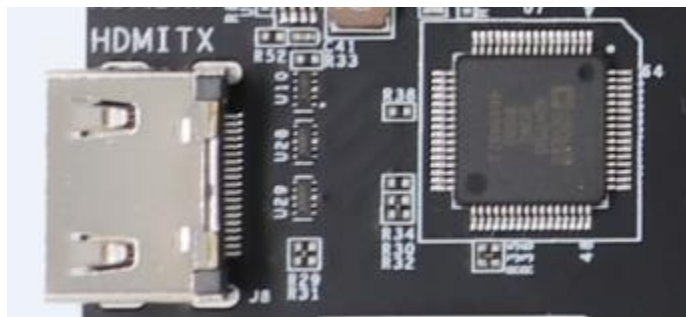
ADV7513 支持 S/PDIF 和 8 通道 I2S 两种音频格式。高保真 8 通道 I2S 接口可以传输高达 768 kHz 的立体声或 7.1 声道环绕声音频。S/PDIF 接口可以传送包括 Dolby® Digital、DTS®和 THX®在内的压缩音频。

数字音视频接口与 FPGA 的 IO 相连，同时芯片的配置管理 I2C 接口也与 FPGA 的 IO 相连，FPGA 可以通过编程对 ADV7513 进行初始化与寄存器配置操，HDMI 接受和发送的 I2C 设置是挂一个总线上的。

ADV7513 视频输出接口硬件连接示意图如下：



HDMI 输出接口在扩展板的实物图如下图



HDMI 输出信号与 XME0712 的管脚分配，如下表：

Signal	FPGA Pin	Description
HDMI_TX_DE	AB22	数据使能（有效像素数据）信号
HDMI_TX_HS	AA20	水平同步输出信号
HDMI_TX_VS	AA21	垂直同步输出信号
HDMI_TX_CLK	W19	像素数据的行锁定输出时钟
HDMI_TX_D0	AB21	视频像素输入端口数据 0
HDMI_TX_D1	Y22	视频像素输入端口数据 1
HDMI_TX_D2	Y21	视频像素输入端口数据 2
HDMI_TX_D3	V19	视频像素输入端口数据 3
HDMI_TX_D4	V18	视频像素输入端口数据 4
HDMI_TX_D5	W22	视频像素输入端口数据 5
HDMI_TX_D6	W21	视频像素输入端口数据 6
HDMI_TX_D7	T18	视频像素输入端口数据 7
HDMI_TX_D8	R18	视频像素输入端口数据 8
HDMI_TX_D9	P17	视频像素输入端口数据 9
HDMI_TX_D10	N17	视频像素输入端口数据 10
HDMI_TX_D11	W20	视频像素输入端口数据 11
HDMI_TX_D12	L13	视频像素输入端口数据 12
HDMI_TX_D13	M13	视频像素输入端口数据 13
HDMI_TX_D14	M16	视频像素输入端口数据 14
HDMI_TX_D15	M15	视频像素输入端口数据 15
HDMI_TX_D16	K14	视频像素输入端口数据 16
HDMI_TX_D17	K13	视频像素输入端口数据 17
HDMI_TX_D18	L20	视频像素输入端口数据 18
HDMI_TX_D19	L19	视频像素输入端口数据 19
HDMI_TX_D20	N19	视频像素输入端口数据 20
HDMI_TX_D21	N18	视频像素输入端口数据 21

HDMI_TX_D22	M22	视频像素输入端口数据 22
HDMI_TX_D23	N22	视频像素输入端口数据 23
HDMI_TX_INT	N20	中断输出信号
HDMI_SCL	K19	I ² C 端口串行时钟输入，与 HDMI 接受共用
HDMI_SDA	K18	I ² C 端口串行数据，与 HDMI 接受共用

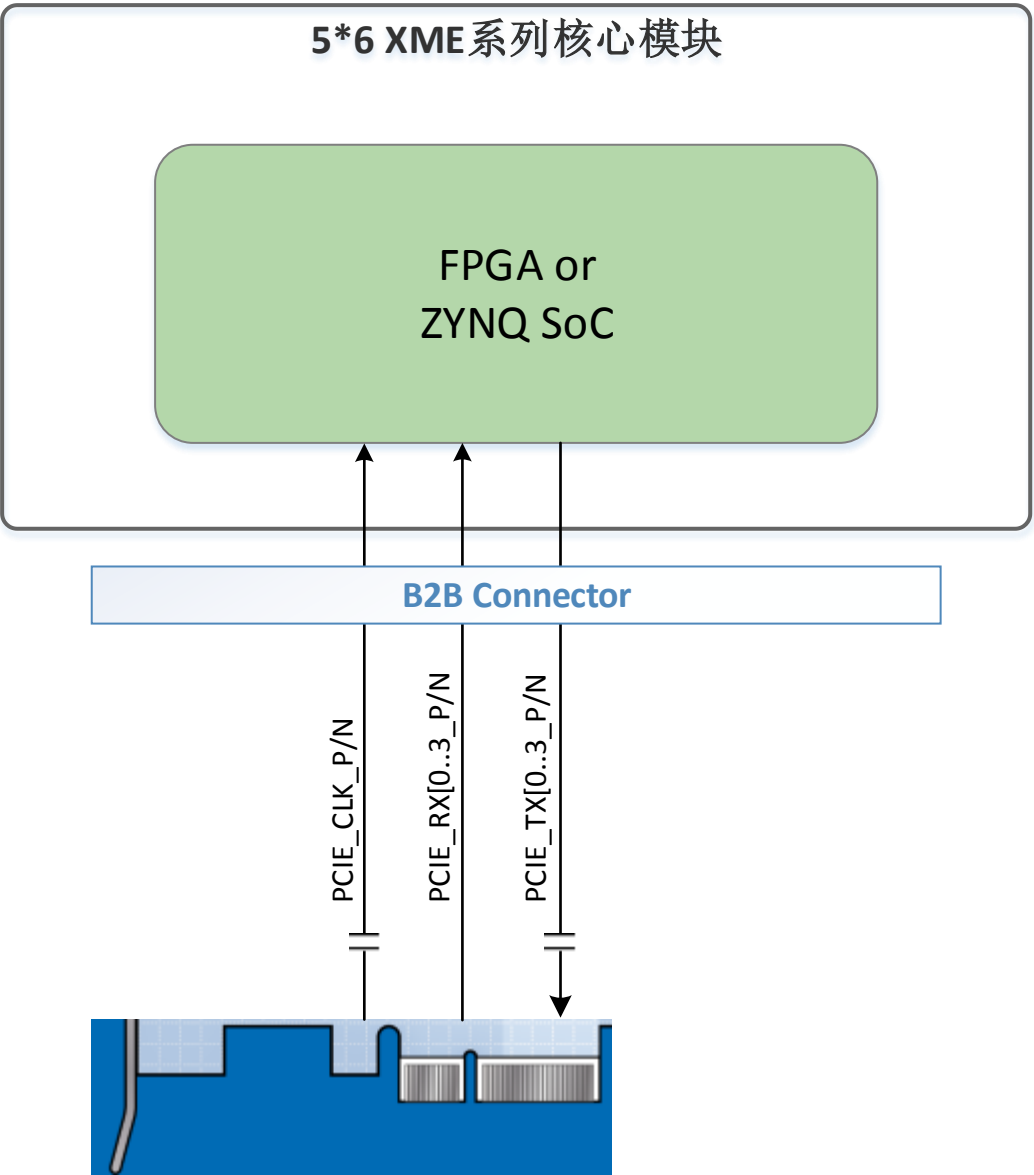
HDMI 输出信号与其它 XME 模块的芯片引脚连接请参考文档

《XME_PE300_Pinout_Table_Revx.x》，其中 Revx.x 是版本号，请查看最新版本。

2.4 PCIe 接口

PE300 扩展板是一个标准 PCI-Express 卡，他的机械尺寸符合标准 PCIe 卡电气规范要求，它提供了一个标准的 PCIe x4 插槽卡，并且支持 4 个 TX 通道和 RX 通道到 PCIe 金手指插槽上，单通道通信速率可达 5Gbps 带宽，满足 PCIe Gen 2 的数据传输能力。PCIe 的参考时钟由 PCIe ROOT 设备（通常是 PC）的 PCIe 插槽提供给开发板，参考时钟频率为 100MHz。

PCIe 接口硬件连接示意图如下：



PCIe 信号与 XME0712 的管脚分配，如下表：

Signal	FPGA Pin	Description
PCIE_CLK_P	F6	PCIe 时钟信号 P 端
PCIE_CLK_N	E6	PCIe 时钟信号 P 端
PCIE_TX0_P	D7	PCIe 通道 0 数据发送 P 端
PCIE_TX0_N	C7	PCIe 通道 0 数据发送 N 端
PCIE_TX1_P	B6	PCIe 通道 1 数据发送 P 端

PCIE_TX1_N	A6	PCIE 通道 1 数据发送 N 端
PCIE_TX2_P	D5	PCIE 通道 2 数据发送 P 端
PCIE_TX2_N	C5	PCIE 通道 2 数据发送 N 端
PCIE_TX3_P	B4	PCIE 通道 3 数据发送 P 端
PCIE_TX3_N	A4	PCIE 通道 3 数据发送 N 端
PCIE_RX0_P	D9	PCIE 通道 1 数据接受 P 端
PCIE_RX0_N	C9	PCIE 通道 0 数据接受 N 端
PCIE_RX1_P	B10	PCIE 通道 1 数据接受 P 端
PCIE_RX1_N	A10	PCIE 通道 1 数据接受 N 端
PCIE_RX2_P	D11	PCIE 通道 2 数据接受 P 端
PCIE_RX2_N	C11	PCIE 通道 2 数据接受 N 端
PCIE_RX3_P	B8	PCIE 通道 3 数据接受 P 端
PCIE_RX3_N	A8	PCIE 通道 3 数据接受 N 端
PCIE_PERSTn	M20	PCle 复位信号

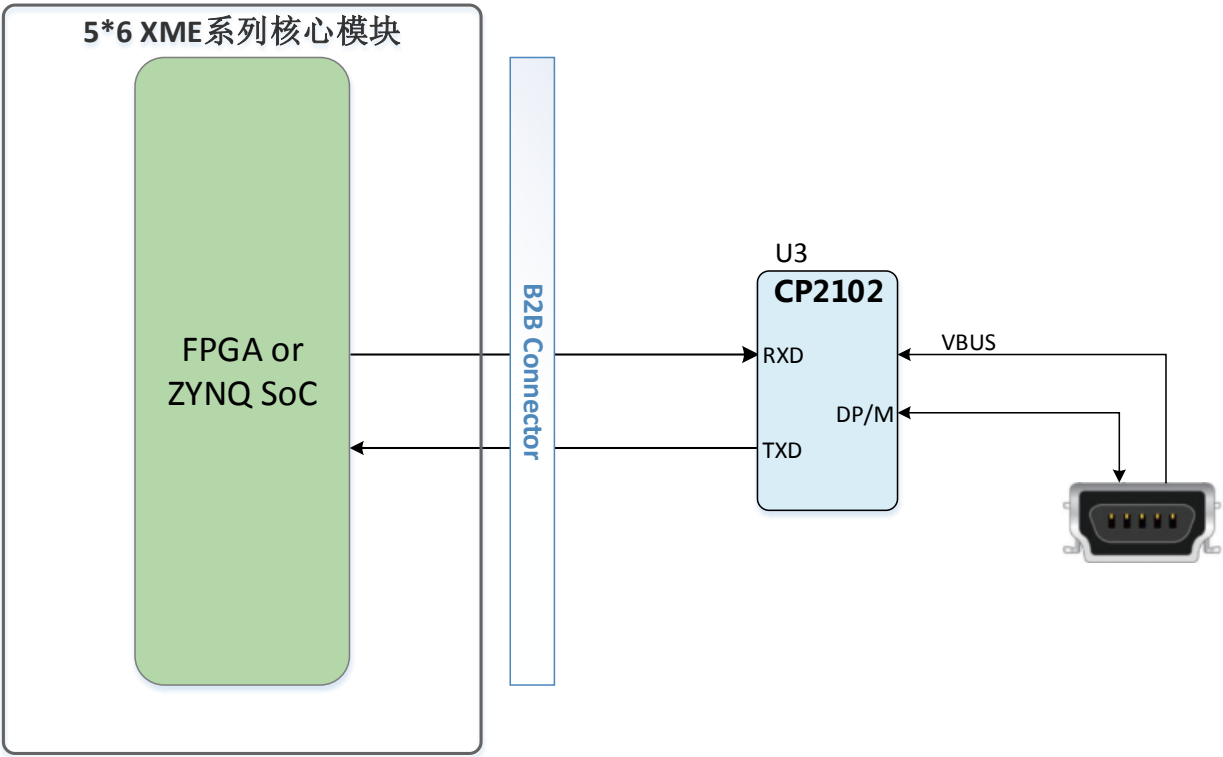
PCle 信号与其它 XME 模块的芯片引脚连接请参考文档

《XME_PE300_Pinout_Table_Revx.x》，其中 Revx.x 是版本号，请查看最新版本。

2.5 USB 转串口

PE300 底板上提供了一路 USB 转 UART 接口，芯片采用的是 Silicon Labs CP2102GM，USB 接口采用 Micro USB 接口，可以用一根 Micro USB 线将它连接到上 PC 的 USB 口进行串口数据通信。

USB 转 UART 电路设计的示意图如下图所示：



USB 转 UART 在扩展板的实物图如下图所示:



UART 信号与 XME0712 的管脚分配，如下表:

Signal	FPGA Pin	Description
UART_TX	N15	UART TX 信号
UART_RX	P20	UART RX 信号

UART 信号与其它 XME 模块的芯片引脚连接请参考文档

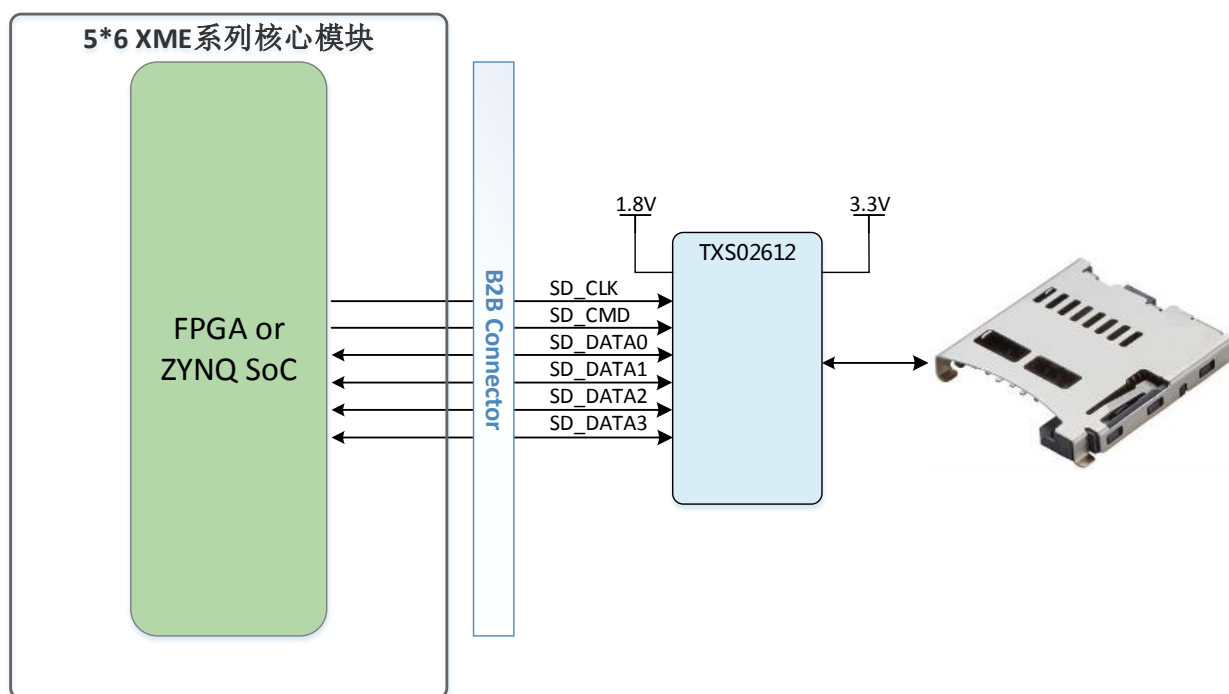
《XME_PE300_Pinout_Table_Revx.x》，其中 Revx.x 是版本号，请查看最新版本。

2.6 SD

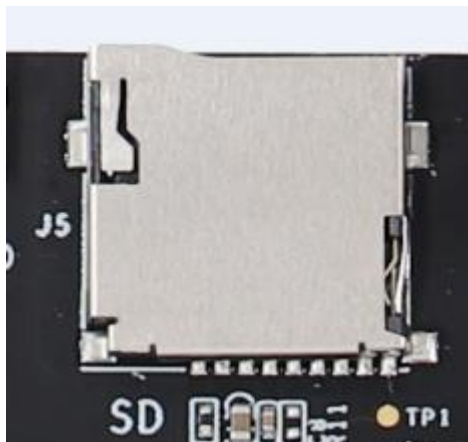
PE300 上提供一个 Micro 型的 SD 卡接口，以提供用户访问 SD 卡存储器，**对于 XME0712+PE300 组合使用时，SD 卡接口不可用**，对于 XME0715, XME0720，SD 卡用于存储 ZYNQ 芯片的 BOOT 程序，Linux 操作系统内核, 文件系统以及其它的用户数据文件。

SDIO 信号与 ZYNQ 的 SDIO 接口相连，BANK501 的 VCCIO 电压为 1.8V，而 SD 卡的数据电平为 3.3V, 中间就需要一个电平转换芯片 TXS02612 来连接。

SD 接口电路设计的示意图如下图所示：



USB 转 UART 在扩展板的实物图如下图所示：

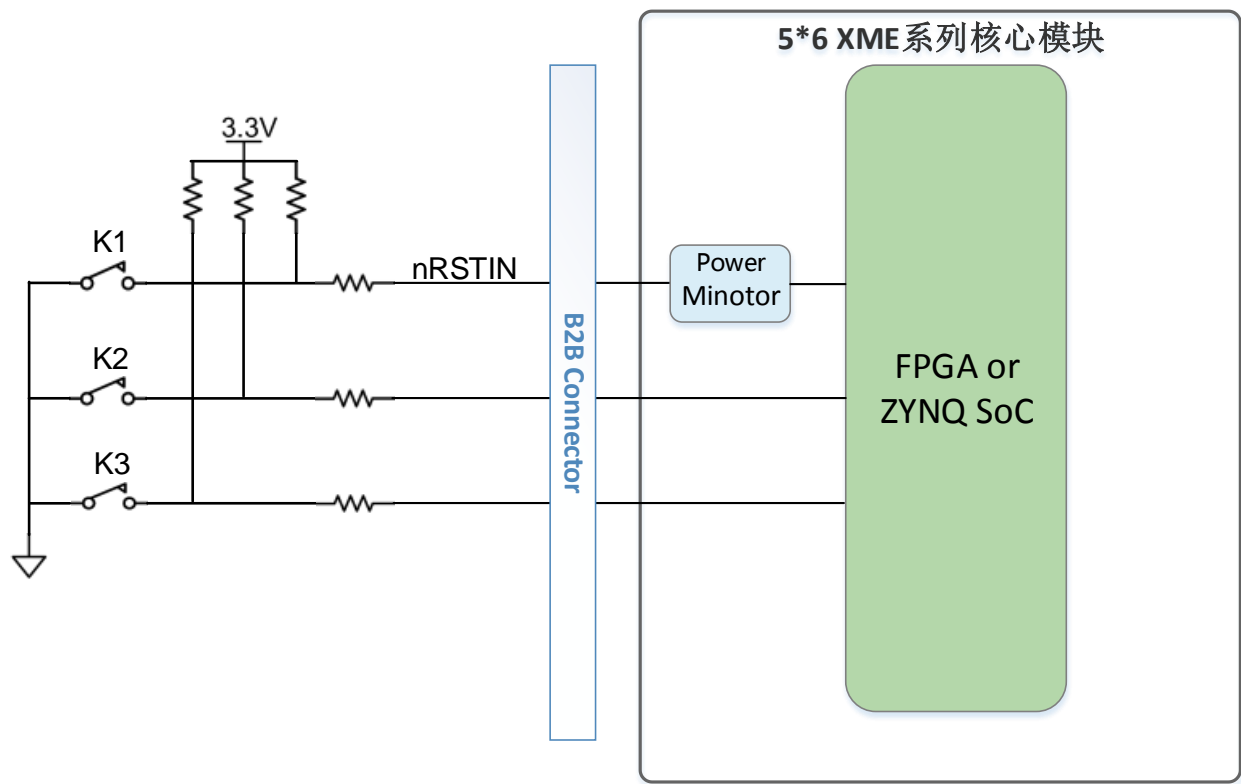


SDIO 信号与 XME0715, XME0720 模块的芯片引脚连接请参考文档《XME_PE300_Pinout_Table_Revx.x》，其中 Revx.x 是版本号，请查看最新版本。

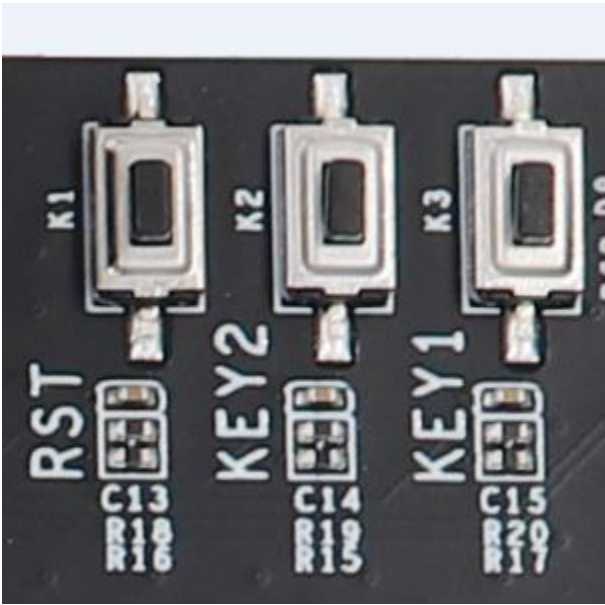
2.7 按键

PE300 上提供了 3 个按键，其中 KEY1 按键是连接到核心板板上的 nRSTIN 信号，另外两个按键 KEY2, KEY3 为用户按键，他们连接到 FPGA 的 IO 上，按键低电平有效，当按键按下，FPGA 的 IO 输入电压为低，当没有按键按下是，FPGA 的 IO 输入电压为高。

按键电路设计的示意图如下图所示：



按键在扩展板的实物图如下图所示:



按键信号与 XME0712 的管脚分配，如下表：

Signal	FPGA Pin	Description
--------	----------	-------------

nRSTIN	T20	按下去，系统电源检测电路输出低电平
PL_KEY1	H20	按下去，FPGA IO 管脚输入为低电平
PL_KEY2	G20	按下去，FPGA IO 管脚输入为低电平

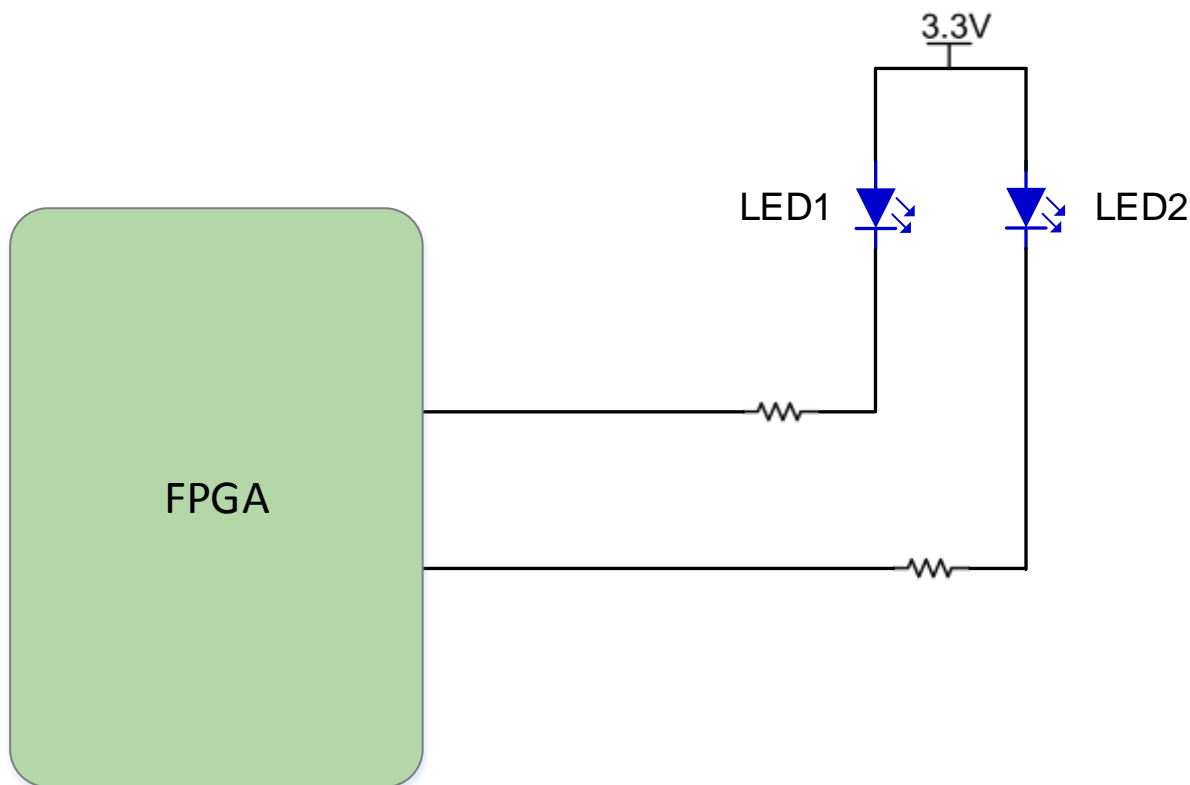
按键信号与其它 XME 模块的芯片引脚连接请参考文档

《XME_PE300_Pinout_Table_Revx.x》，其中 Revx.x 是版本号，请查看最新版本。

2.8 LED

PE300 板上提供了 3 个 LED，其中 D6 是电源指示灯，另外两个 LED D8, D9 为用户 LED，他们连接到 FPGA 的 IO 上，当对应 FPGA 的 IO 输出电压为低，LED 亮，当对应 FPGA 的 IO 输出电压为高，LED 灭。

LED 电路设计的示意图如下图所示：



LED 在扩展板的实物图如下图所示：



LED 信号与 XME0712 的管脚分配，如下表：

Signal	FPGA Pin	Description
PL_LED1	K16	FPGA IO 高时，LED 灭，FPGA IO 低时，LED 亮
PL_LED2	L16	FPGA IO 高时，LED 灭，FPGA IO 低时，LED 亮

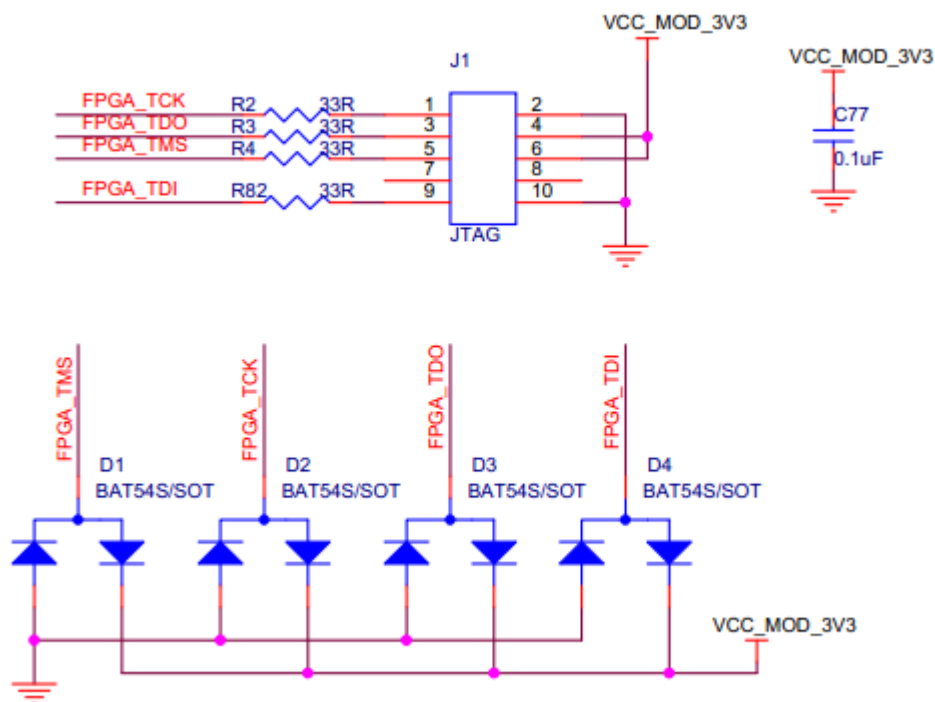
LED 信号与其它 XME 模块的芯片引脚连接请参考文档

《XME_PE300_Pinout_Table_Revx.x》，其中 Revx.x 是版本号，请查看最新版本。

2.9 JTAG

PE300 上提供 IDC10 JTAG 接口，通过 JTAG 口，用户可以下载 FPGA 程序，固化 FLASH 程序，以及在线仿真。尽管电路设计中，已经在 JTAG 信号上添加了二极管保护，使其信号的电压在 FPGA 接受的范围，但是我们还是建议用户在使用的时候，尽量避免带电插拔，以免损坏芯片。

JTAG 电路图如下：



JTAG 口实物图如下图所示



2.10 GPIO 扩展口

PE300 底板上提供 2 个扩展 IDC40 Pin GPIO 扩展口，2 个 40 Pin 的扩展口 JP1 和 JP2，可以接微相科技的各种模块，也可为用户扩展更多的外设和接口。其中 40Pin 的扩展口中，提供了 5V 电源 1 路，3.3V 电源 1 路，地 2 路，IO 口 36 路。**使用时注意 IO 的电压，务必保证所接信号的电压一致，如果不一致需要外加电平转换芯片，不正确使用会烧坏主芯片。**

扩展口(JP1)的电路如下图所示

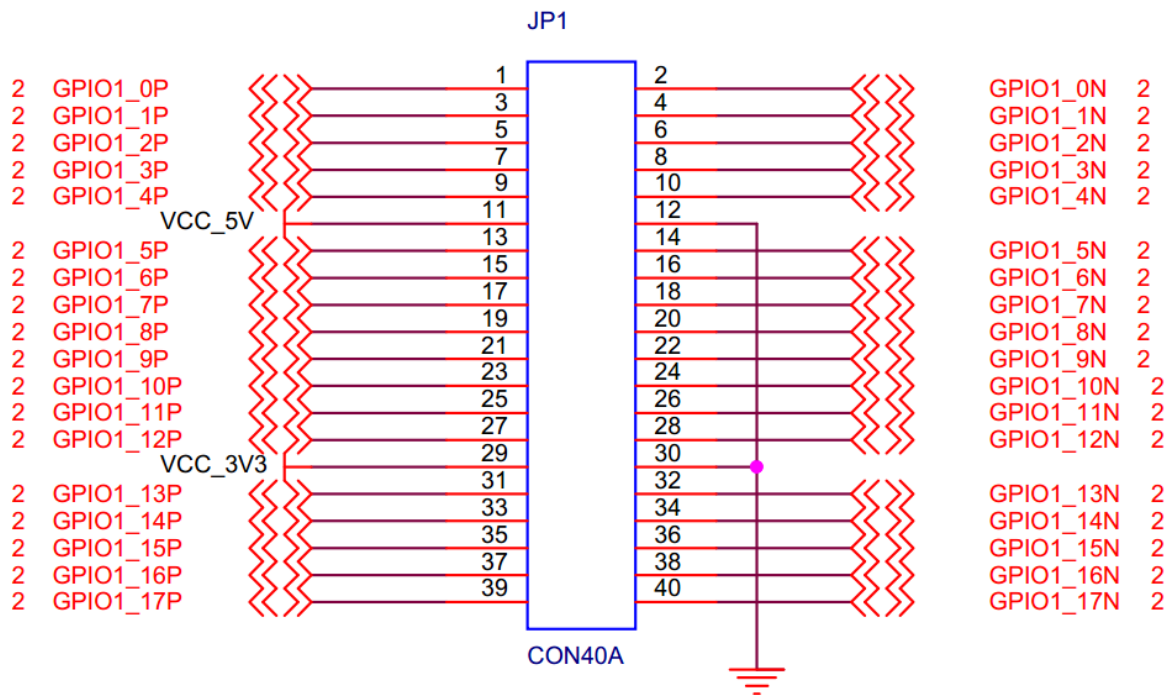


Figure 二-1 JP1 扩展口电路图

扩展口(JP2)的电路如下图所示

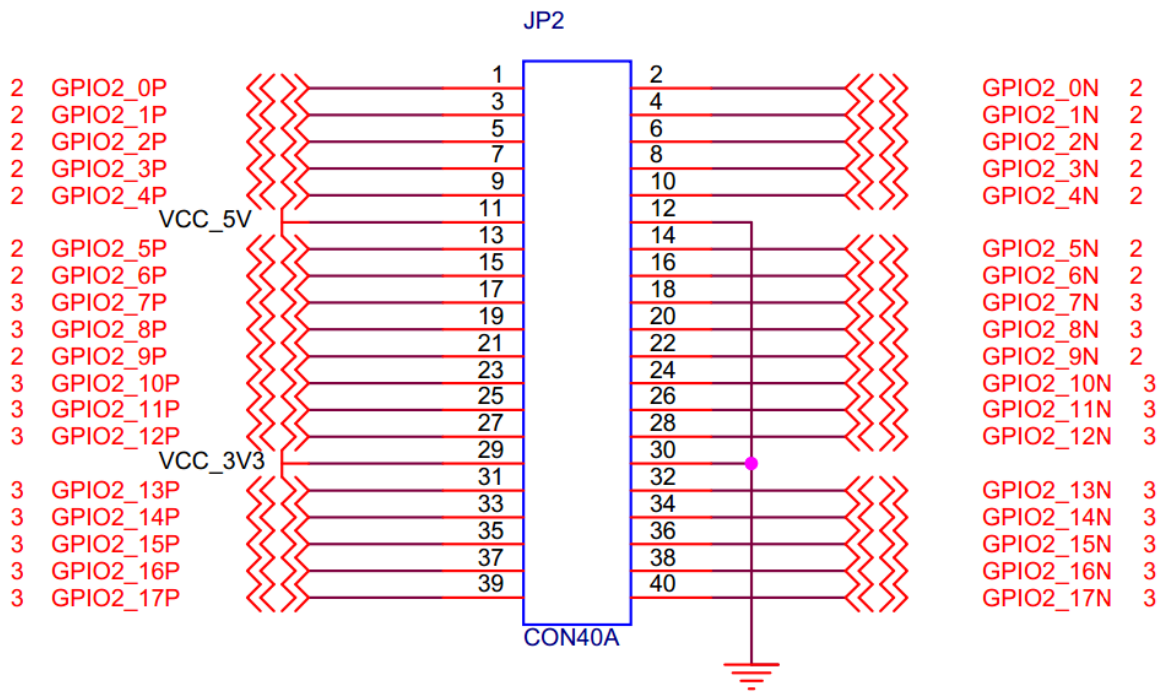
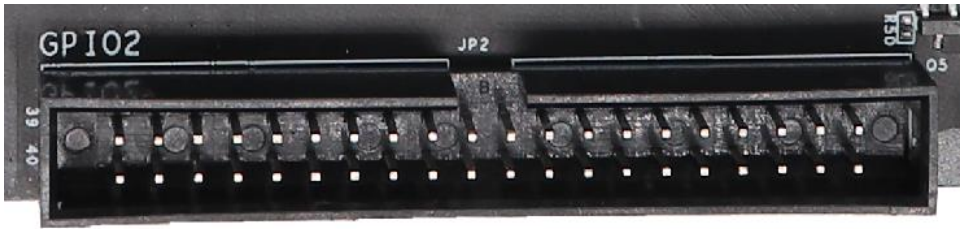


Figure 二-2 JP2 扩展口电路图

扩展口 JP1 在 PE300 的实物图如下图



扩展口 JP2 在 PE300 的实物图如下图



扩展口 JP1 与 XME0712 的管脚分配，如下表：

Signal	FPGA Pin	Description
--------	----------	-------------

GPIO1_0P	B17	GPIO1 DATA/LVDS Data 信号 P 端
GPIO1_0N	B18	GPIO1 DATA/LVDS Data 信号 N 端
GPIO1_1P	G21	GPIO1 DATA/LVDS Data 信号 P 端
GPIO1_1N	G22	GPIO1 DATA/LVDS Data 信号 N 端
GPIO1_2P	C14	GPIO1 DATA/LVDS Data 信号 P 端
GPIO1_2N	C15	GPIO1 DATA/LVDS Data 信号 N 端
GPIO1_3P	B20	GPIO1 DATA/LVDS Data 信号 P 端
GPIO1_3N	A20	GPIO1 DATA/LVDS Data 信号 N 端
GPIO1_4P	A18	GPIO1 DATA/LVDS Data 信号 P 端
GPIO1_4N	A19	GPIO1 DATA/LVDS Data 信号 N 端
GPIO1_5P	E19	GPIO1 DATA/LVDS Data 信号 P 端
GPIO1_5N	D19	GPIO1 DATA/LVDS Data 信号 N 端
GPIO1_6P	F19	GPIO1 DATA/LVDS Data 信号 P 端
GPIO1_6N	F20	GPIO1 DATA/LVDS Data 信号 N 端
GPIO1_7P	F18	GPIO1 DATA/LVDS Data 信号 P 端
GPIO1_7N	E18	GPIO1 DATA/LVDS Data 信号 N 端
GPIO1_8P	C13	GPIO1 DATA/LVDS Data 信号 P 端
GPIO1_8N	B13	GPIO1 DATA/LVDS Data 信号 N 端
GPIO1_9P	D17	GPIO1 DATA/LVDS Data 信号 P 端
GPIO1_9N	C17	GPIO1 DATA/LVDS Data 信号 N 端
GPIO1_10P	E16	GPIO1 DATA/LVDS Data 信号 P 端
GPIO1_10N	D16	GPIO1 DATA/LVDS Data 信号 N 端
GPIO1_11P	F13	GPIO1 DATA/LVDS Data 信号 P 端
GPIO1_11N	F14	GPIO1 DATA/LVDS Data 信号 N 端
GPIO1_12P	F16	GPIO1 DATA/LVDS Data 信号 P 端
GPIO1_12N	E17	GPIO1 DATA/LVDS Data 信号 N 端
GPIO1_13P	E13	GPIO1 DATA/LVDS Data 信号 P 端

GPIO1_13N	E14	GPIO1 DATA/LVDS Data 信号 N 端
GPIO1_14P	B15	GPIO1 DATA/LVDS Data 信号 P 端
GPIO1_14N	B16	GPIO1 DATA/LVDS Data 信号 N 端
GPIO1_15P	D14	GPIO1 DATA/LVDS Data 信号 P 端
GPIO1_15N	D15	GPIO1 DATA/LVDS Data 信号 N 端
GPIO1_16P	A13	GPIO1 DATA/LVDS Data 信号 P 端
GPIO1_16N	A14	GPIO1 DATA/LVDS Data 信号 N 端
GPIO1_17P	A15	GPIO1 DATA/LVDS Data 信号 P 端
GPIO1_17N	A16	GPIO1 DATA/LVDS Data 信号 N 端

扩展口 JP2 与 XME0712 的管脚分配，如下表：

Signal	FPGA Pin	Description
GPIO2_0P	C18	GPIO2 DATA/LVDS Data 信号 P 端
GPIO2_0N	C19	GPIO2 DATA/LVDS Data 信号 N 端
GPIO2_1P	D20	GPIO2 DATA/LVDS Data 信号 P 端
GPIO2_1N	C20	GPIO2 DATA/LVDS Data 信号 N 端
GPIO2_2P	E21	GPIO2 DATA/LVDS Data 信号 P 端
GPIO2_2N	D21	GPIO2 DATA/LVDS Data 信号 N 端
GPIO2_3P	B21	GPIO2 DATA/LVDS Data 信号 P 端
GPIO2_3N	A21	GPIO2 DATA/LVDS Data 信号 N 端
GPIO2_4P	C22	GPIO2 DATA/LVDS Data 信号 P 端
GPIO2_4N	B22	GPIO2 DATA/LVDS Data 信号 N 端
GPIO2_5P	E22	GPIO2 DATA/LVDS Data 信号 P 端
GPIO2_5N	D22	GPIO2 DATA/LVDS Data 信号 N 端
GPIO2_6P	G17	GPIO2 DATA/LVDS Data 信号 P 端
GPIO2_6N	G18	GPIO2 DATA/LVDS Data 信号 N 端
GPIO2_7P	W14	GPIO2 DATA/LVDS Data 信号 P 端, 35T 版 NC

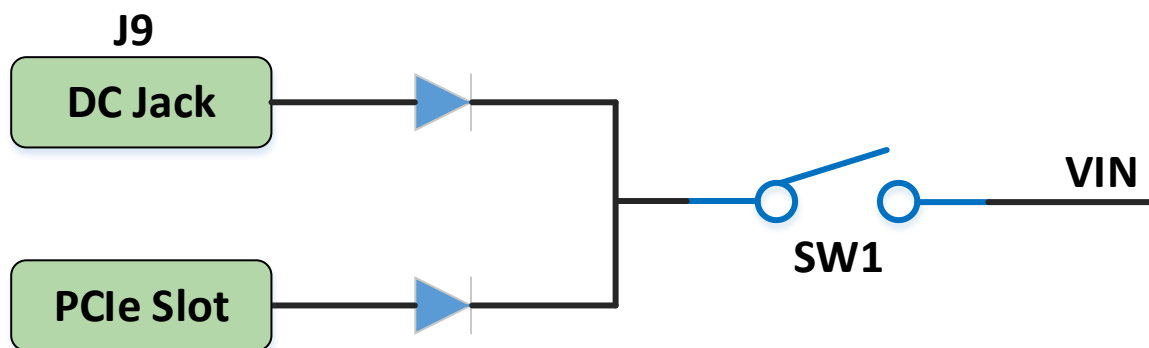
GPIO2_7N	Y14	GPIO2 DATA/LVDS Data 信号 N 端, 35T 版 NC
GPIO2_8P	AA15	GPIO2 DATA/LVDS Data 信号 P 端, 35T 版 NC
GPIO2_8N	AB15	GPIO2 DATA/LVDS Data 信号 N 端, 35T 版 NC
GPIO2_9P	J20	GPIO2 DATA/LVDS Data 信号 P 端
GPIO2_9N	J21	GPIO2 DATA/LVDS Data 信号 N 端
GPIO2_10P	Y16	GPIO2 DATA/LVDS Data 信号 P 端, 35T 版 NC
GPIO2_10N	AA16	GPIO2 DATA/LVDS Data 信号 N 端, 35T 版 NC
GPIO2_11P	U15	GPIO2 DATA/LVDS Data 信号 P 端, 35T 版 NC
GPIO2_11N	V15	GPIO2 DATA/LVDS Data 信号 N 端, 35T 版 NC
GPIO2_12P	AB16	GPIO2 DATA/LVDS Data 信号 P 端, 35T 版 NC
GPIO2_12N	AB17	GPIO2 DATA/LVDS Data 信号 N 端, 35T 版 NC
GPIO2_13P	T16	GPIO2 DATA/LVDS Data 信号 P 端, 35T 版 NC
GPIO2_13N	U16	GPIO2 DATA/LVDS Data 信号 N 端, 35T 版 NC
GPIO2_14P	W15	GPIO2 DATA/LVDS Data 信号 P 端, 35T 版 NC
GPIO2_14N	W16	GPIO2 DATA/LVDS Data 信号 N 端, 35T 版 NC
GPIO2_15P	Y13	GPIO2 DATA/LVDS Data 信号 P 端, 35T 版 NC
GPIO2_15N	AA14	GPIO2 DATA/LVDS Data 信号 N 端, 35T 版 NC
GPIO2_16P	T14	GPIO2 DATA/LVDS Data 信号 P 端, 35T 版 NC
GPIO2_16N	T15	GPIO2 DATA/LVDS Data 信号 N 端, 35T 版 NC
GPIO2_17P	V13	GPIO2 DATA/LVDS Data 信号 P 端, 35T 版 NC
GPIO2_17N	V14	GPIO2 DATA/LVDS Data 信号 N 端, 35T 版 NC

扩展口 JP1, JP2 与其它 XME 模块的芯片引脚连接请参考文档

《XME_PE300_Pinout_Table_Revx.x》，其中 Revx.x 是版本号，请查看最新版本。

2.11 电源

开发板的电源输入电压为 DC12V，请使用开发板配套的电源，不要用其他规格的电源，以免损坏开发板，开发板也支持从 PCIe 接口供电。供电电源结构图如下图：



底板上通过 DCDC 芯片将+12V 电压转化成+5V，再由+5V 通过 DCDC 芯片 +3.3V,+1.8V 和+1.0V 三路电源。其电源结构图如下图所示：

