



A5133 Reference code for FIFO extension mode

RC_A5133_U12

Document Title

A5133 reference code for FIFO extension mode

Revision History

<u>Rev. No.</u>	<u>History</u>	<u>Issue Date</u>	<u>Remark</u>
0.0	Preliminary	Aug. 16 , 2022	
0.1	Add delay time after enable EFSW&EFRE	Mar. 3, 2023	

AMICCOM CONFIDENTIAL

Important Notice:

AMICCOM reserves the right to make changes to its products or to discontinue any integrated circuit product or service without notice. AMICCOM integrated circuit products are not designed, intended, authorized, or warranted to be suitable for use in life-support applications, devices or systems or other critical applications. Use of AMICCOM products in such applications is understood to be fully at the risk of the customer.

Table of contents

1. 簡介.....	3
2. 系統概述	3
3. 硬體.....	4
3.1 系統方塊圖.....	4
4. 韌體程式設計:	5
4.1 應用範例概述	5
4.2 範例程式工作基本方塊.....	6
5. 程式說明	7

RF Chip-A5133 Reference code for FIFO extension mode

1. 簡介

這文件係對 RF chip –A5133 FIFO mode，使用 FIFO data 大於 64 bytes，做一簡單的應用範例程式，供使用者能夠快速應用這 RF chip。

2. 系統概述

本範例程式主要分二個部份，一個為 master 端，另一個為 slave 端。

Master 端：power on、initial 系統及 RF chip 後，進入 TX 狀態，傳送 256 bytes 資料。之後，延遲 50ms 後再進入 TX 狀態，重新另一次的傳送循環動作。

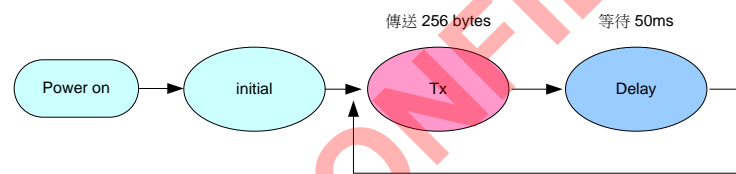


Fig1. Master 端方塊圖

Slave 端：power on、initial 系統及 RF chip 後，進入 RX 狀態等待接收。若無收到 Master 端所發送的資料，則仍在 RX 狀態，等待接收。若有收到 Master 端所發送的資料，則讀出資料、比對，計算 error bit。之後，延遲 30ms 後再次回到 RX 狀態等待下一次接收。

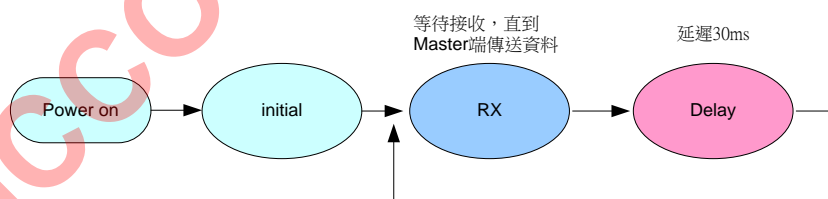


Fig2. Slave 端方塊圖

3. 硬體

3.1 系統方塊圖

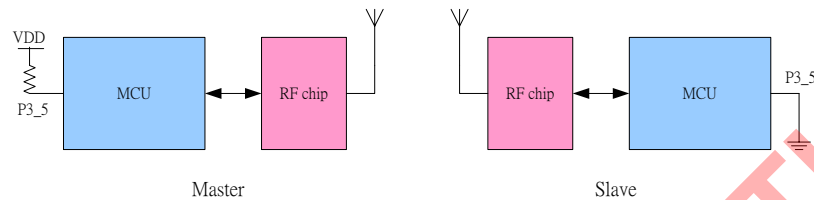


Fig3. 系統方塊圖

MCU 使用 I/O pin 3_5 的設定，判別 Master 端或 Slave 端。

使用 I/O pin 設定：

應用範例使用 I/O：

SCS, SCK, SDIO - 這 3 wire 串列介面控制 A5133 內部 register。

GIO1 - FIFO 動作完成的控制信號，MCU 可檢測該 pin 是否傳送或接收 packet 完成。

CKO - 監控 TX FIFO 或 RX FIFO 在 FIFO extension 下的 FIFO Pointer 臨界值的變化，藉以控制資料寫入或讀出 FIFO 的時機。

MCU 控制 A5133 RF chip 的 I/O 配置如下圖：

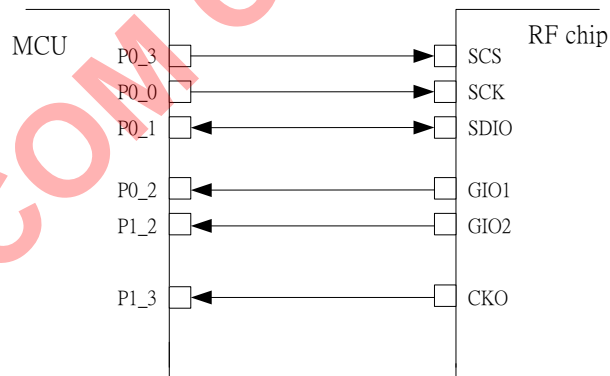


Fig4. I/O 配置圖

4. 韌體程式設計:

4.1 應用範例概述

首先初始化 Timer0、Uart0，設定 FIFO 長度 256 Byte 和 FPF threshold(16/48 Byte)之後，判別 Port 3_5 =1 進入 master 端的主程式或 Port 3_5 =0 進入 slave 端的主程式。

Master 端：

- 1) TX FIFO 先寫入 64 bytes。
- 2) 進入 TX state，傳送封包。
- 3) 等待 CKO pin 為 1 時，再對 TX FIFO 寫入 48 Byte 資料。
- 4) 重新回到 Step 4 動作，共寫入 4 x 48 bytes
- 5) 等待 GIO1 pin 為 0 後，RF chip 會自動結束 TX state，回復到 PLL state。
- 6) 延遲 50ms，重新回到 Step 2 動作，重新開始下一周時序工作。

Slave 端：

- 1) 進入 RX 狀態，等待封包收到。
- 2) 判斷 CKO pin 為 1 後，從 RX FIFO 讀 48 Byte 資料放置 tmpbuf 中，共 5 次
- 3) 等待 GIO1 pin 為 0 後，完成封包接收，RF chip 會自動結束 RX state，回復到 PLL state。
- 4) 從 RX FIFO 讀出 16Byte 資料放置 tmpbuf 中。
- 5) 從 tmpbuf 讀出、比對資料、計算 error bit 數目。
- 6) 延遲 30ms，重新回到 Step 2 動作，重新開始下一周期時序工作。
- 7) 每 500ms，將所計算的 error bit 傳送至 PC。

4.2 範例程式工作基本方塊

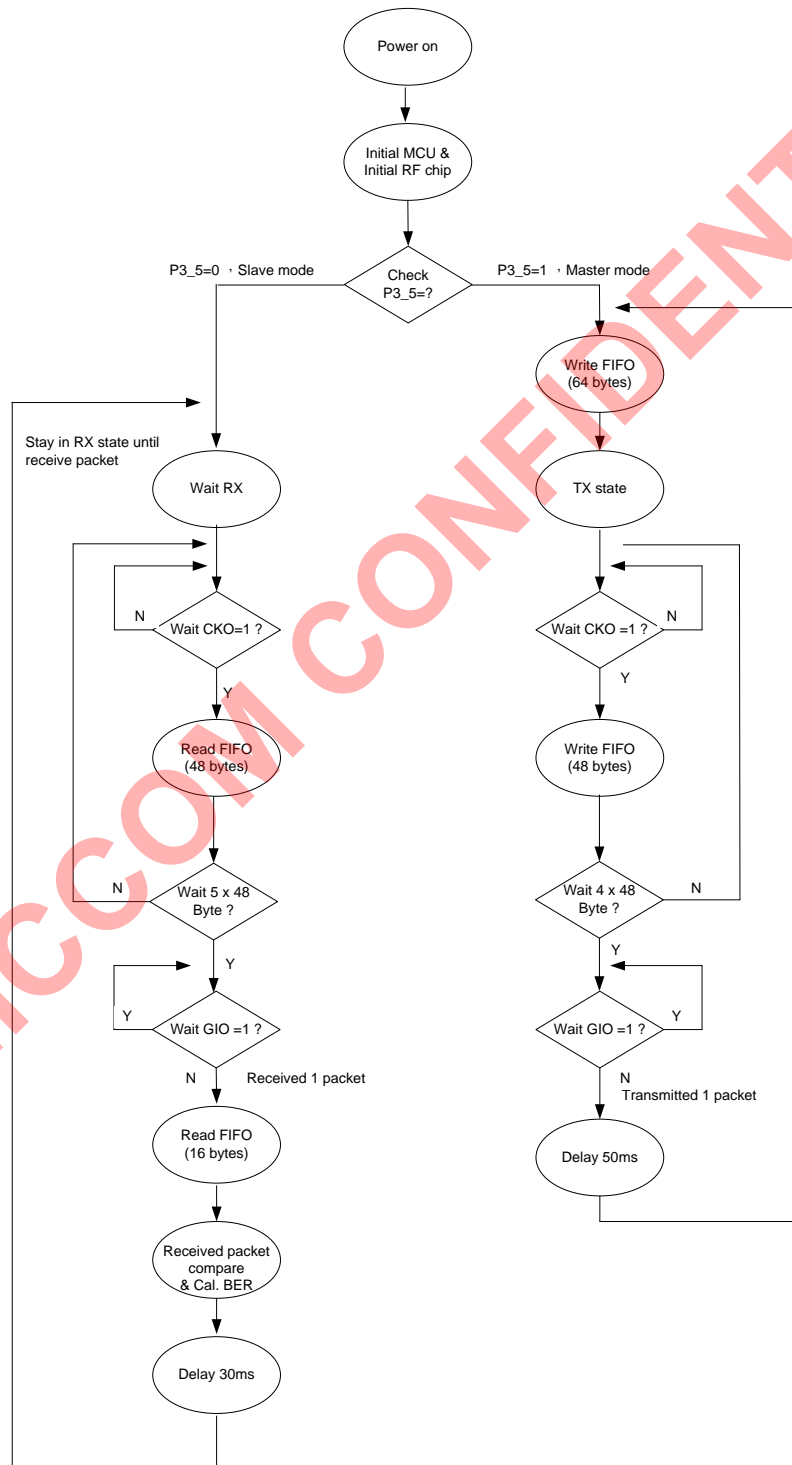


Fig5. 範例程式工作基本方塊

5. 程式說明

1. 本程式僅供 FIFO extension 模式下的動作參考程序，對於 FIFO data 寫入/讀出時間的控制，使用者需依 MCU 的工作速度，緊慎處理 FIFO data 寫入/讀出的時間，避免錯誤發生。

AMICCOM CONFIDENTIAL