
XME0712

用户手册

Xilinx Artix-7 FPGA

Rev. 1.2

第一部分

XME0712 核心模块



版本记录

版本	时间	描述
Rev. 1.0	2019.07.12	第一版发布
Rev. 1.1	2020.07.20	更改了 B2B 连接器型号
Rev. 1.2	2022.09.19	更改了以太网及 QSPI 的描述

版权声明:

XME/IME 系列核心模块、评估板及其相关知识产权由微相科技有限公司所有。

本文档由微相科技有限公司版权所有，并保留一切权利。在未经微相公司书面许可的情况下，不得以任何方式或形式来修改、分发或复制本文档的任何部分。

免责声明

产品中所提供的程序源代码、软件、资料文档等，微相科技不提供任何类型的担保；不论是明确的，还是隐含的，包括但不限于合适特定用途的保证，全部的风险，由使用者来承担。

目录

版本记录 1

版权声明: 2

免责声明 2

目录 3

XME0712 核心模块 4

1 产品简介 4

2 硬件参数 5

2.1 功能框图 5

2.2 资源特性 5

3 XME0712 布局与尺寸 6

4 硬件资源 7

4.1 FPGA..... 7

4.2 DDR3 RAM..... 8

4.3 JTAG 11

4.4 差分时钟 11

4.5 QSPI Flash..... 13

4.6 千兆以太网 15

4.7 看门狗复位 17

4.8 LED 17

4.9 扩展口 19

4.10 电源..... 24

XME0712 核心模块

1 产品简介

XME0712 是微相科技推出的一款基于 Xilinx Artix-7 系列的 FPGA 核心模块，它集成了 XC7A35T/75T/200T FPGA 芯片，DDR3 RAM，16MByte QSPI flash，千兆以太网 PHY 收发器和电源管理，大量可配置的 I/O 通过高速连接器扩展。模块尺寸仅为 5 x 6cm，同时极具竞争力的价格，非常适合集成到客户的产品中。所有尺寸为 5 x 6 cm 的微相科技核心模块都具有机械兼容性。

核心板集成了 2 片 Micron 公司的 MT41J256M16HA-125 DDR3 芯片，每片 DDR 的位宽 16bit，容量为 4Gbit；2 片 DDR 芯片组合成 32bit 的数据总线宽度，FPGA 和 DDR3 之间的读写数据带宽高达 25.6Gbps，非常适合高带宽的数据处理的应用。

同时核心板上集成了一片 Marvell 88E1512 千兆以太网 PHY 芯片，用户可以非常方便地使用它实现以太网的相关应用。

核心板扩展出 158 个单端 IO（可配置成 79 对差分 IO），其中 98 个 IO（49 对差分）的电压可配（1.2V,1.5V,1.8V,2.5V,3.3V），还有 4 对 GTP 高速 RX/TX 差分信号，FPGA Pin 到连接器的走线都做了等长差分处理，阻抗单端 50 欧姆，差分 100 欧姆。对于需要大量 IO 的应用，此核心模块是一个不错的选择，并且核心板尺寸仅为 5 x 6 cm，对于二次开发来说非常适合。

XME0712 核心模块标准型号支持贴装 XC7A35T，XC7A75T，XC7A200T，工业级和商业级模块可供用户选择，同时支持客户按订单生产的产品型号变种，如 FPGA 芯片的变化（XC7A15T，XC7A35T，XC7A50T，XC7A75T，XC7A100T，XC7A200T），DDR3 容量的变化，工业级和商业级变化，QSPI 容量的变化等。详细型号与订购信息可以联系我们。

2 硬件参数

2.1 功能框图

XME0712 模块功能框图如 Figure 2-1 所示

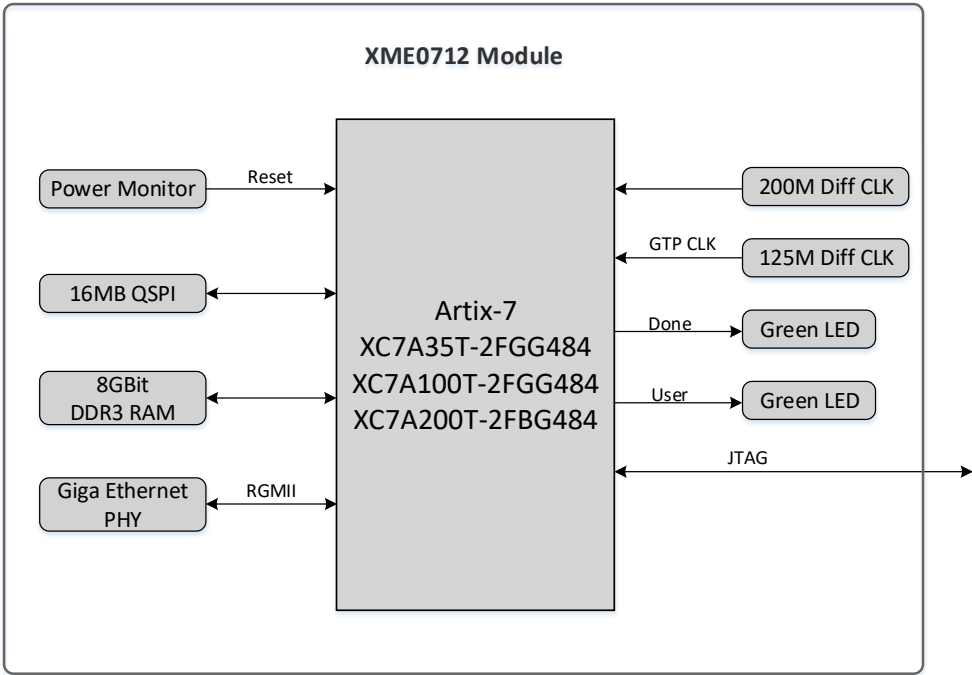


Figure 2-1 XME0712 功能框图

2.2 资源特性

XME0712 提供了如下硬件资源，如表 Table 2-1。

特性	描述
FPGA	XME0712-35I, 搭载 Xilinx XC7A35T-2FGG484I
	XME0712-75I, 搭载 Xilinx XC7A75T-2FGG484I
	XME0712-200I, 搭载 Xilinx XC7A200T-2FBG484I
DDR3 RAM	8Gbit DDR3 RAM
Flash	128Mbit QSPI Flash
网络	Gigabit Ethernet PHY

尺寸	50*60mm
电源输入	4.5~17V, 建议 12V
工作温度	工业级（-40℃~85℃）

Table 2-1 XME0712 硬件资源表

3 XME0712 布局与尺寸

XME0712 全貌和尺寸图如 Figure 3-1 和 Figure 3-2 所示。

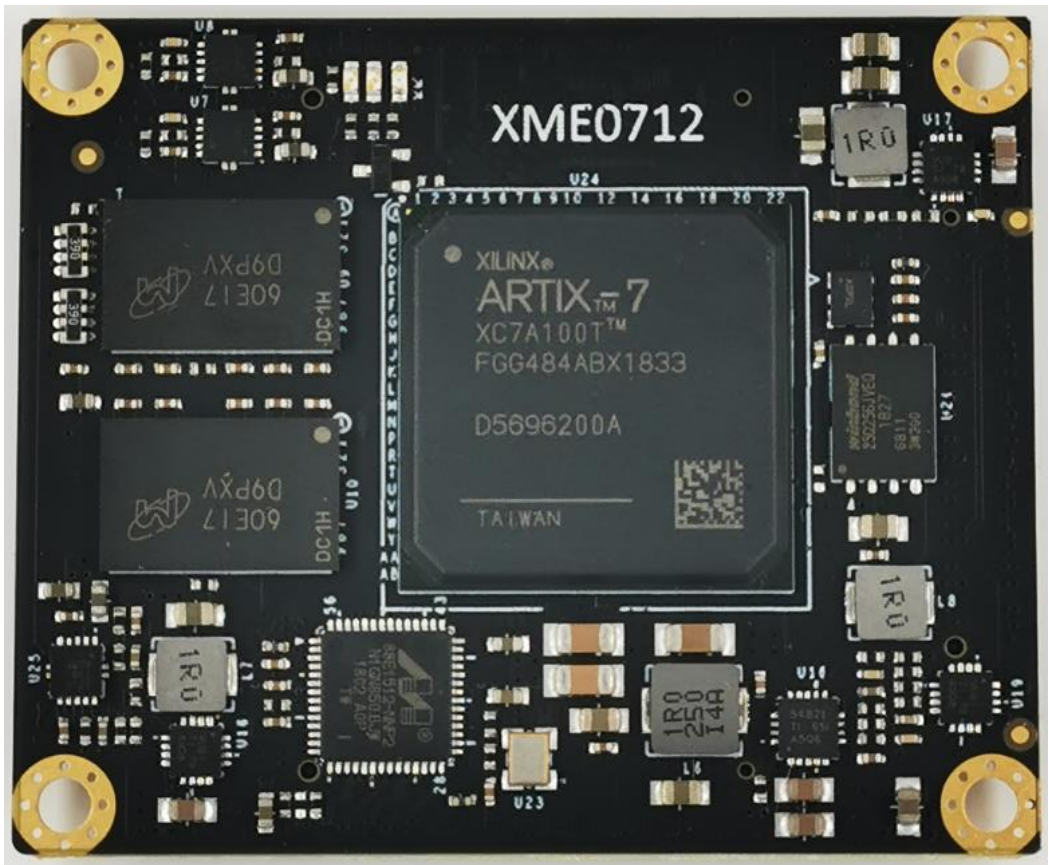


Figure 3-1 XME0712 正面图

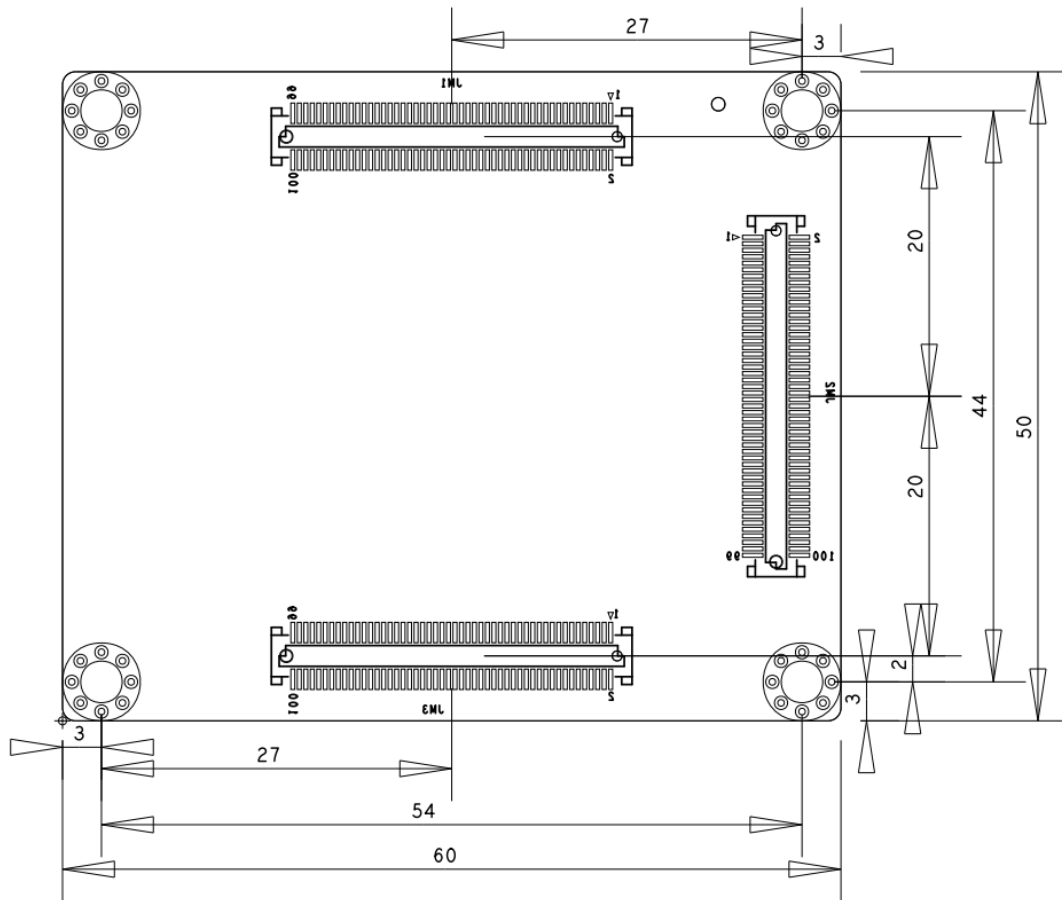


Figure 3-2 XME0712 尺寸图

4 硬件资源

4.1 FPGA

XME0712 使用 Xilinx Artix-7 (15T to 200T) FPGA 作为核心芯片，Artix-7 FPGA 资源如下图，从 15T 到 200T，XME0712 都支持，XME0712 标准型号 XME0712-35I(XC7A35T)，XME0712-75I(XC7A75T)，XME0712-200I(XC7A200T)，支持其它容量，客制化配置型号生产。

Artix-7 资源表如果 Figure 4-1 所示：

Artix-7 FPGAs

Transceiver Optimization at the Lowest Cost and Highest DSP Bandwidth (1.0V, 0.95V, 0.9V)									
	Part Number	XC7A12T	XC7A15T	XC7A25T	XC7A35T	XC7A50T	XC7A75T	XC7A100T	XC7A200T
Logic Resources	Logic Cells	12,800	16,640	23,360	33,280	52,160	75,520	101,440	215,360
	Slices	2,000	2,600	3,650	5,200	8,150	11,800	15,850	33,650
	CLB Flip-Flops	16,000	20,800	29,200	41,600	65,200	94,400	126,800	269,200
Memory Resources	Maximum Distributed RAM (Kb)	171	200	313	400	600	892	1,188	2,888
	Block RAM/FIFO w/ ECC (36 Kb each)	20	25	45	50	75	105	135	365
	Total Block RAM (Kb)	720	900	1,620	1,800	2,700	3,780	4,860	13,140
Clock Resources	CMTs (1 MMCM + 1 PLL)	3	5	3	5	5	6	6	10
I/O Resources	Maximum Single-Ended I/O	150	250	150	250	250	300	300	500
	Maximum Differential I/O Pairs	72	120	72	120	120	144	144	240
	DSP Slices	40	45	80	90	120	180	240	740
Embedded Hard IP Resources	PCIe® Gen2 ⁽¹⁾	1	1	1	1	1	1	1	1
	Analog Mixed Signal (AMS) / XADC	1	1	1	1	1	1	1	1
	Configuration AES / HMAC Blocks	1	1	1	1	1	1	1	1
	GTP Transceivers (6.6 Gb/s Max Rate) ⁽²⁾	2	4	4	4	4	8	8	16
	Commercial Temp (C)	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2
Speed Grades	Extended Temp (E)	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3
	Industrial Temp (I)	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L

Figure 4-1 Artix-7 FPGA 资源表

XME0712-35I, 使用的 FPGA 芯片型号为: XC7A35T-2FGG484I,

XME0712-75I, 使用的 FPGA 芯片型号为: XC7A75T-2FGG484I,

XME0712-200I, 使用的 FPGA 芯片型号为: XC7A200T-2FBG484I,

Artix-7 FPGA 型号定义如下:

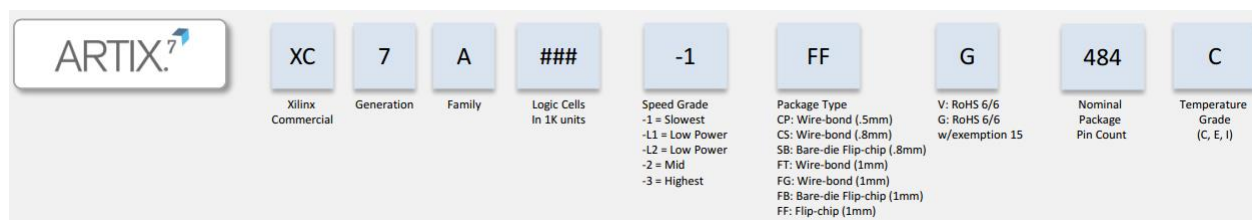


Figure 4-2 Artix-7 命名规则

4.2 DDR3 RAM

模块采用两片 16 位的 DDR3 内存芯片, 单片 DDR3 芯片的容量是 4Gbit, 两片共 8Gbit, 位宽为 32 位, DDR3 RAM 的型号为: MT41K256M16TW-107 IT:P, 兼容 MT41K256M16HA-125。DDR3 SDRAM 的最高运行时钟速度可达 400MHz(数据速率 800Mbps), DDR3 芯片连接到 FPGA 的 BANK 34 和 BANK35 的 IO 上。

Figure 4-3 FPGA 与 DDR3 连接示意图

DDR3 与 FPGA 连接分配表

Signal Name	FPGA Pin	Description	IO Standard
DDR3_A0	R3	DDR3 Address[0]	SSTL-15 Class I
DDR3_A1	Y6	DDR3 Address[1]	SSTL-15 Class I
DDR3_A2	R6	DDR3 Address[2]	SSTL-15 Class I
DDR3_A3	U6	DDR3 Address[3]	SSTL-15 Class I
DDR3_A4	AA5	DDR3 Address[4]	SSTL-15 Class I
DDR3_A5	T6	DDR3 Address[5]	SSTL-15 Class I
DDR3_A6	Y2	DDR3 Address[6]	SSTL-15 Class I
DDR3_A7	W2	DDR3 Address[7]	SSTL-15 Class I
DDR3_A8	AB2	DDR3 Address[8]	SSTL-15 Class I
DDR3_A9	W1	DDR3 Address[9]	SSTL-15 Class I
DDR3_A10	W6	DDR3 Address[10]	SSTL-15 Class I
DDR3_A11	AB5	DDR3 Address[11]	SSTL-15 Class I
DDR3_A12	W5	DDR3 Address[12]	SSTL-15 Class I
DDR3_A13	V5	DDR3 Address[13]	SSTL-15 Class I
DDR3_A14	AB1	DDR3 Address[14]	SSTL-15 Class I
DDR3_BA0	R2	DDR3 Bank Address[0]	SSTL-15 Class I
DDR3_BA1	AB3	DDR3 Bank Address[1]	SSTL-15 Class I
DDR3_BA2	U3	DDR3 Bank Address[2]	SSTL-15 Class I
DDR3_nCAS	U1	DDR3 Column Address Strobe	SSTL-15 Class I
DDR3_CKE	AA1	DDR3 Clock Enable	SSTL-15 Class I
DDR3_CKP	Y3	DDR3 Clock p	Differential 1.5-V SSTL Class I
DDR3_CKN	AA3	DDR3 Clock n	Differential 1.5-V SSTL Class I
DDR3_nCS	V3	DDR3 Chip Select	SSTL-15 Class I
DDR3_DM0	F3	DDR3 Data Mask[0]	SSTL-15 Class I
DDR3_DM1	H4	DDR3 Data Mask[1]	SSTL-15 Class I
DDR3_DM2	L5	DDR3 Data Mask[2]	SSTL-15 Class I
DDR3_DM3	N5	DDR3 Data Mask[3]	SSTL-15 Class I
DDR3_D0	C2	DDR3 Data[0]	SSTL-15 Class I
DDR3_D1	E2	DDR3 Data[1]	SSTL-15 Class I

DDR3_D2	B2	DDR3 Data[2]	SSTL-15 Class I
DDR3_D3	F1	DDR3 Data[3]	SSTL-15 Class I
DDR3_D4	B1	DDR3 Data[4]	SSTL-15 Class I
DDR3_D5	G1	DDR3 Data[5]	SSTL-15 Class I
DDR3_D6	A1	DDR3 Data[6]	SSTL-15 Class I
DDR3_D7	D2	DDR3 Data[7]	SSTL-15 Class I
DDR3_D8	K1	DDR3 Data[8]	SSTL-15 Class I
DDR3_D9	H2	DDR3 Data[9]	SSTL-15 Class I
DDR3_D10	J5	DDR3 Data[10]	SSTL-15 Class I
DDR3_D11	G2	DDR3 Data[11]	SSTL-15 Class I
DDR3_D12	H3	DDR3 Data[12]	SSTL-15 Class I
DDR3_D13	H5	DDR3 Data[13]	SSTL-15 Class I
DDR3_D14	J1	DDR3 Data[14]	SSTL-15 Class I
DDR3_D15	G3	DDR3 Data[15]	SSTL-15 Class I
DDR3_D16	L3	DDR3 Data[16]	SSTL-15 Class I
DDR3_D17	K6	DDR3 Data[17]	SSTL-15 Class I
DDR3_D18	K3	DDR3 Data[18]	SSTL-15 Class I
DDR3_D19	M3	DDR3 Data[19]	SSTL-15 Class I
DDR3_D20	J4	DDR3 Data[20]	SSTL-15 Class I
DDR3_D21	M2	DDR3 Data[21]	SSTL-15 Class I
DDR3_D22	J6	DDR3 Data[22]	SSTL-15 Class I
DDR3_D23	K4	DDR3 Data[23]	SSTL-15 Class I
DDR3_D24	P1	DDR3 Data[24]	SSTL-15 Class I
DDR3_D25	N4	DDR3 Data[25]	SSTL-15 Class I
DDR3_D26	P6	DDR3 Data[26]	SSTL-15 Class I
DDR3_D27	M6	DDR3 Data[27]	SSTL-15 Class I
DDR3_D28	R1	DDR3 Data[28]	SSTL-15 Class I
DDR3_D29	M5	DDR3 Data[29]	SSTL-15 Class I
DDR3_D30	P2	DDR3 Data[30]	SSTL-15 Class I
DDR3_D31	N2	DDR3 Data[31]	SSTL-15 Class I
DDR3_DQS_P0	E1	DDR3 Data Strobe p[0]	Differential 1.5-V SSTL Class I
DDR3_DQS_N0	D1	DDR3 Data Strobe n[0]	Differential 1.5-V SSTL Class I
DDR3_DQS_P1	K2	DDR3 Data Strobe p[1]	Differential 1.5-V SSTL Class I

DDR3_DQS_N1	J2	DDR3 Data Strobe n[1]	Differential 1.5-V SSTL Class I
DDR3_DQS_P2	M1	DDR3 Data Strobe p[2]	Differential 1.5-V SSTL Class I
DDR3_DQS_N2	L1	DDR3 Data Strobe n[2]	Differential 1.5-V SSTL Class I
DDR3_DQS_P3	P5	DDR3 Data Strobe p[3]	Differential 1.5-V SSTL Class I
DDR3_DQS_N3	P4	DDR3 Data Strobe n[3]	Differential 1.5-V SSTL Class I
DDR3_ODT	T1	DDR3 On-die Termination	SSTL-15 Class I
DDR3_nRAS	V2	DDR3 Row Address Strobe	SSTL-15 Class I
DDR3_nRST	Y1	DDR3 Reset	SSTL-15 Class I
DDR3_nWE	U2	DDR3 Write Enable	SSTL-15 Class I

Table 4-1 DDR3 的 FPGA IO 管脚分配

4.3 JTAG

FPGA 的 JTAG 信号连接到扩展口上，同时提供 3.3V JTAG VREF 电压输出，可以下载 VREF 供电。

信号	连接器(JM3) Pin Number	说明
VCC_3V3	Pin11,13	模块电压输出，JTAG 参考电压
FPGA_TDI	Pin21	输入
FPGA_TDO	Pin17	输出
FPGA_TCK	Pin15	输入
FPGA_TMS	Pin23	输入
GND	---	连接到模块上的 GND 信号

Table 4-2 JTAG 接口信号

4.4 差分时钟

XME0712 核心板提供了 2 路有源差分时钟，其中一路 200M 连接到 Bank34 的时钟脚上，该时钟可以用 FPGA 的逻辑时钟和 DDR3 的控制时钟，另外一路 125M 的时钟接到 Bank216 上收发器 GTP 的参考输入时钟。

200M 差分时钟连接到 Bank34 管脚 V4 和 W4，原理图可以参考下图，

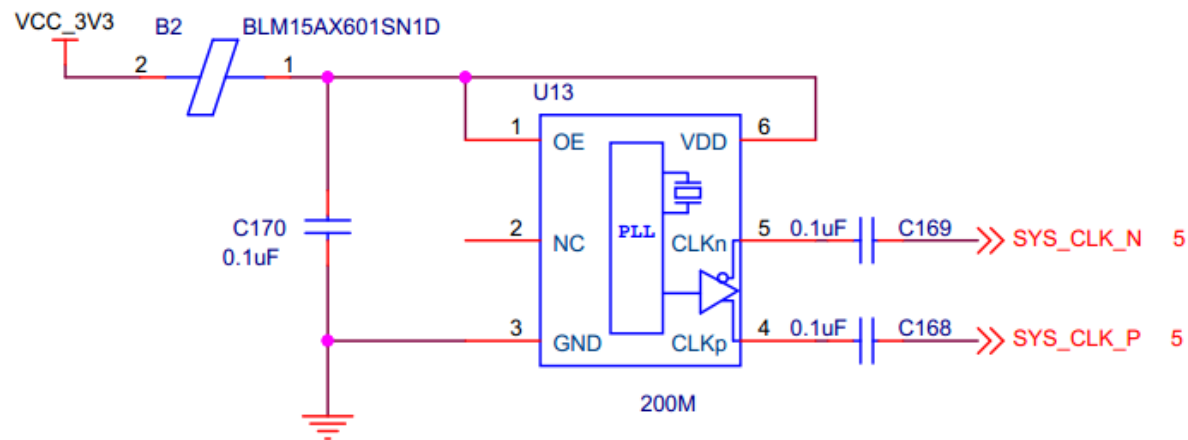


Figure 4-4 200M 时钟原理图

200M 差分时钟输入分配如下表所示：

信号名	FPGA 管脚	描述
SYS_CLK_P	V4	差分时钟 P 端
SYS_CLK_N	W4	差分时钟 N 端

Table 4-3 200M 时钟输入管脚分配

125M 差分时钟连接到 Bank216 管脚 F10 和 E10，原理图可以参考下图，

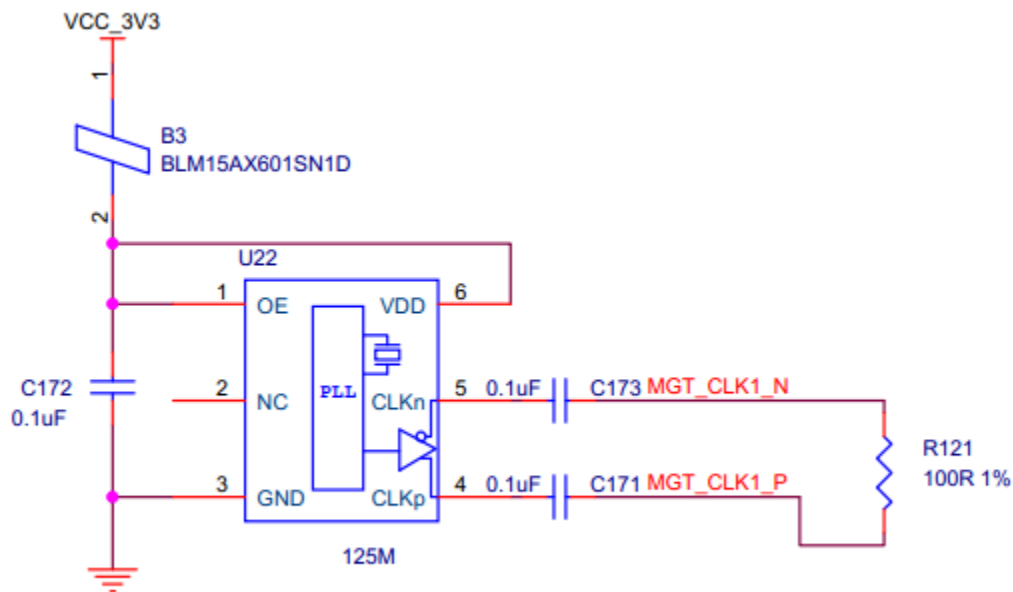


Figure 4-5 125M 时钟原理图

125M 差分时钟输入分配如下表所示：

信号名	FPGA 管脚	描述
MGT_CLK1_P	F10	差分时钟 P 端
MGT_CLK1_N	E10	差分时钟 N 端

Table 4-4 200M 时钟输入管脚分配

4.5 QSPI Flash

模块板载一片 16MB QSPI IS25LP128F-JBLE，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，QSPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、软核的应用程序代码以及其它的用户数据文件。

QSPI 原理图如下图：

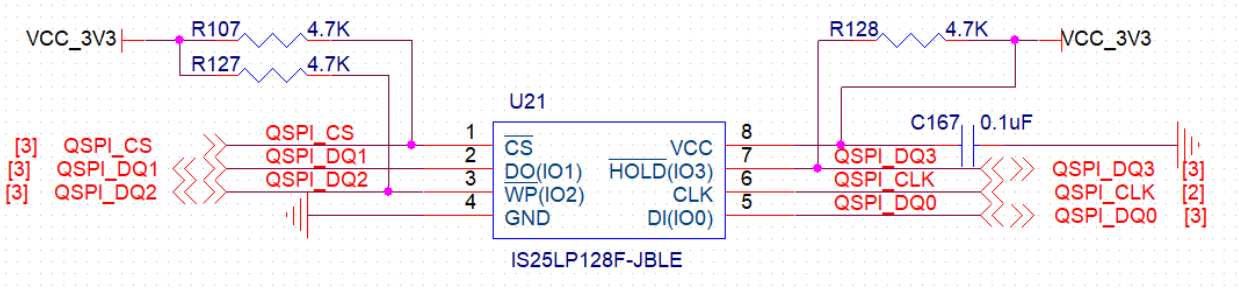


Figure 4-6 QSPI 原理图

QSPI 与 FPGA 连接示意图

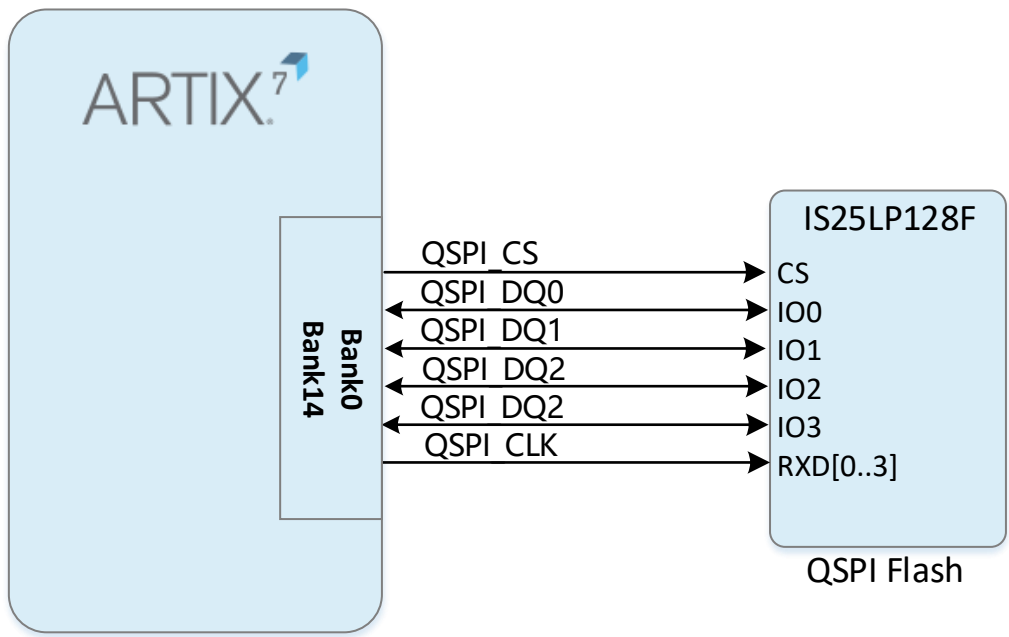


Figure 4-7 FPGA 与 QSPI 连接原理示意图

QSPI 与 FPGA 连接分配表

Signal Name	FPGA Pin	说明
QSPI_CS	T19	QSPI 片选信号
QSPI_CLK	L12	QSPI 时钟
QSPI_DQ0	P22	QSPI 数据位 0
QSPI_DQ1	R22	QSPI 数据位 1
QSPI_DQ2	P21	QSPI 数据位 2
QSPI_DQ3	R21	QSPI 数据位 3

Table 4-5 QSPI 信号管脚分配

4.6 千兆以太网

XME0712 上集成了一片 REALTEK REL8211FI 千兆以太网 PHY 芯片，用户可以非常方便地使用它实现以太网的相关应用，以太网 PHY 芯片连接到 FPGA 的 Bank13 上，由于 Bank13 在 XC7A35T-FGG484，XC7A50T-FGG484 上为空脚，因此 XME0712-35，XME0712-50 的模块并不支持以太网功能。

以太网 PHY 通过 RGMII 接口与 FPGA 相连，同时 FPGA 可以通过 MDIO 网口管理接口去读写 PHY 芯片的寄存器，MDI 收发信号则连接到 B2B 连接器 JM3 上，用户只需将这些信号连接 RJ45 连接器即可完成网口的设计，非常简单易用。

以太网原理图

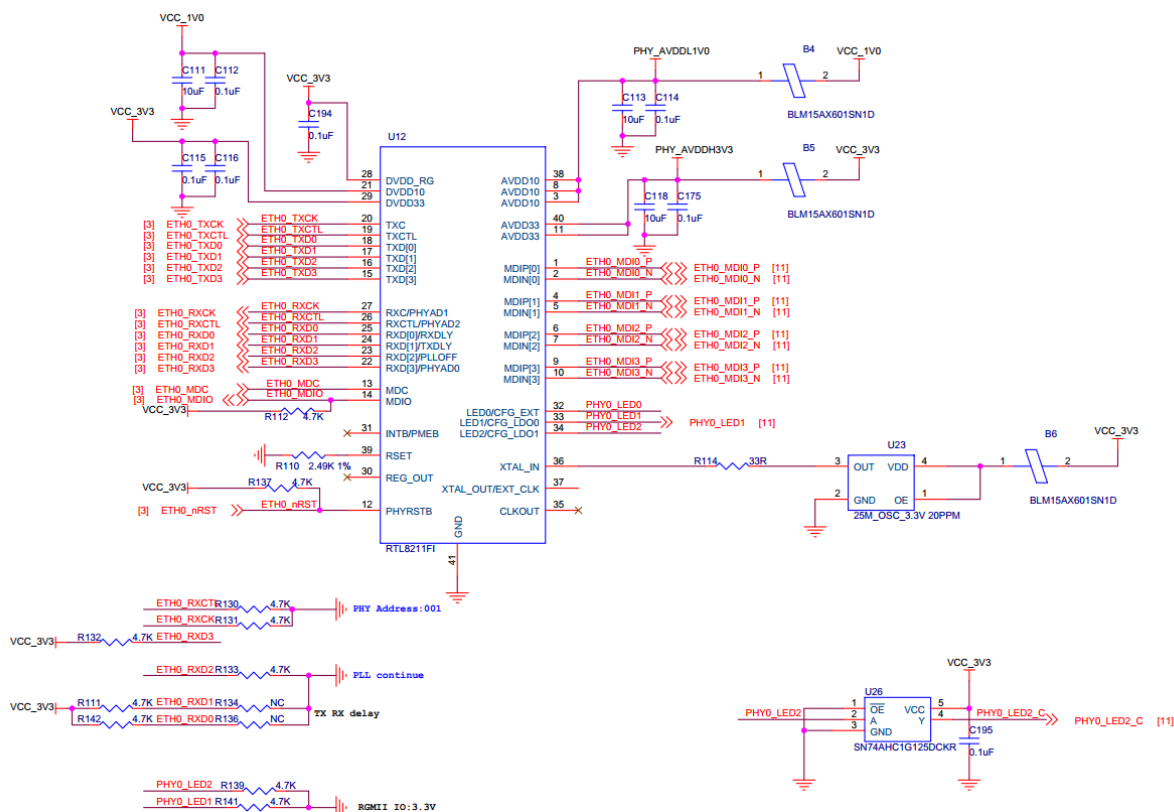


Figure 4-8 以太网原理图

以太网与 FPGA 连接示意图

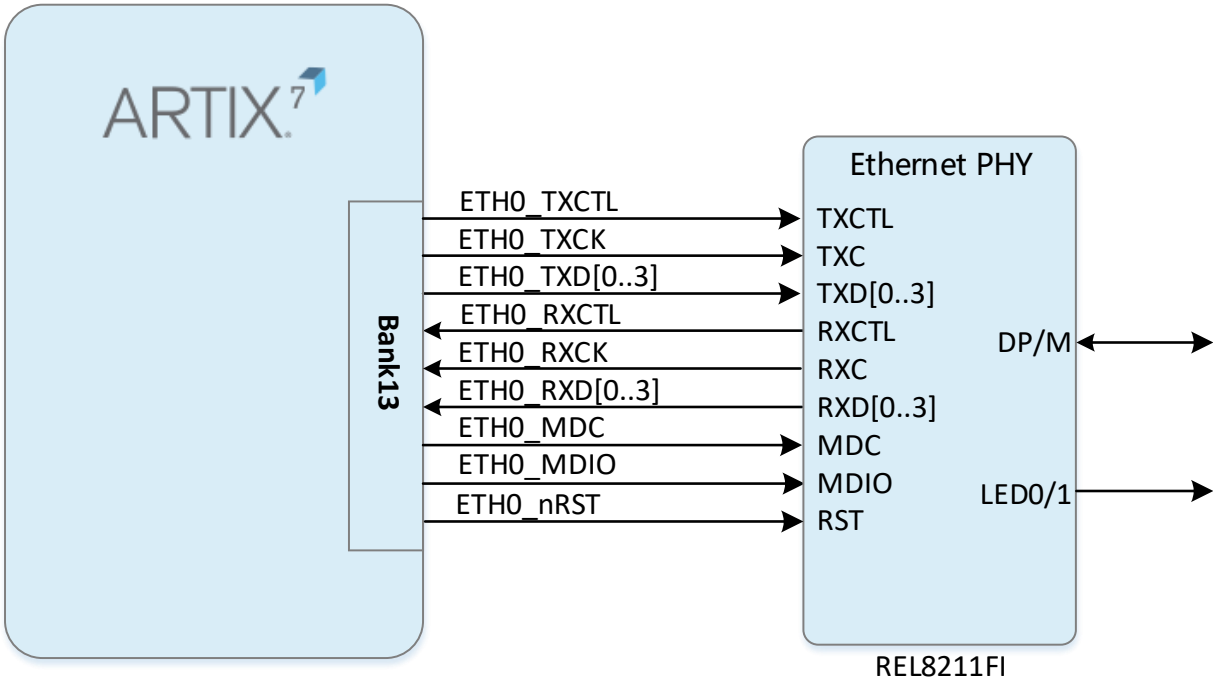


Figure 4-9 FPGA 与 Ethernet 连接原理示意图

Ethernet 与 FPGA 连接分配表

Signal Name	FPGA Pin	说明
ETH0_nRST	Y17	复位信号
ETH0_TXCK	Y11	RGMII 发送时钟
ETH0_TXCTL	AB11	RGMII 发送控制信号
ETH0_TXD0	AB12	RGMII 数据发送位 0
ETH0_TXD1	AA9	RGMII 数据发送位 1
ETH0_TXD2	AB10	RGMII 数据发送位 2
ETH0_TXD3	AA10	RGMII 数据发送位 3
ETH0_RXCK	W11	RGMII 接受时钟
ETH0_RXCTL	AA11	RGMII 接受控制信号
ETH0_RXD0	V10	RGMII 数据接收位 0
ETH0_RXD1	W10	RGMII 数据接收位 0
ETH0_RXD2	Y12	RGMII 数据接收位 0
ETH0_RXD3	W12	RGMII 数据接收位 0
ETH0_MDC	AA13	管理接口时钟

ETH0_ MDIO	AB13	管理接口数据
------------	------	--------

Table 4-6 以太网信号管脚分配

4.7 看门狗复位

RESET_N 低电平有效，来自底板复位信号，复位信号经过电源和复位监控芯片输出信号至 FPGA 管脚，当然 POR_nRST 为低时，则代表有复位信号或者 3.3V 电源低于 2.93V，如果不用 Reset 信号，可以悬空。

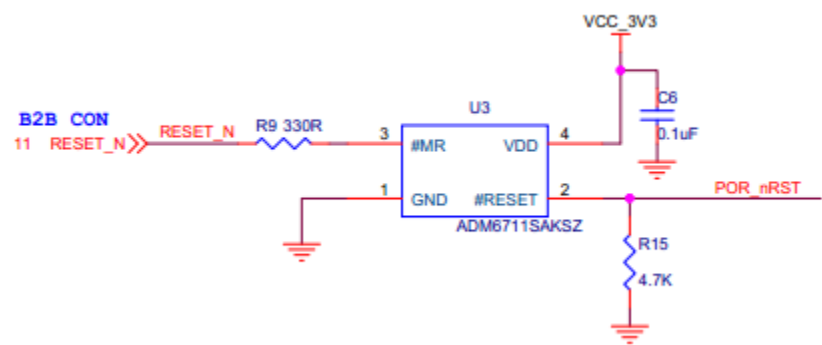


Figure 4-10 复位原理图

复位信号与 FPGA 连接分配表

Signal Name	FPGA Pin	说明
POR_nRST	T20	复位信号使能，或 3.3V 电源输出低于 2.93V

Table 4-7 系统硬件复位管脚分配

4.8 LED

XME0712 板上提供了 3 个 LED，分别是电源指示灯，FPGA 配置状态灯，PL 控制的用户 LED。

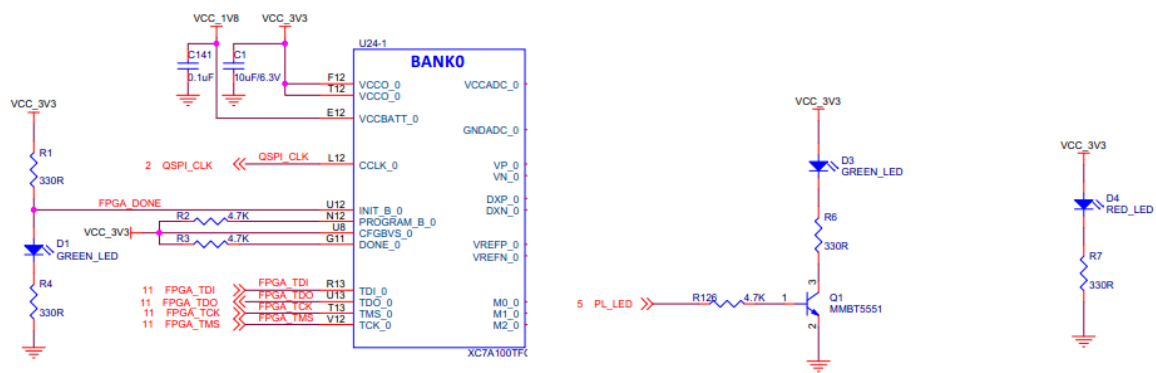


Figure 4-11 LED 原理图

LED 信号说明如 Table 4-8:

LED	FPGA Pin	Note
D4	--	Power LED
D1	U12	FPGA 配置状态 LED，FPGA 配置成功后点亮
D3	F4	FPGA 输出高时，LED 亮

Table 4-8 LED 信号说明

LED 灯的实物图如下图:

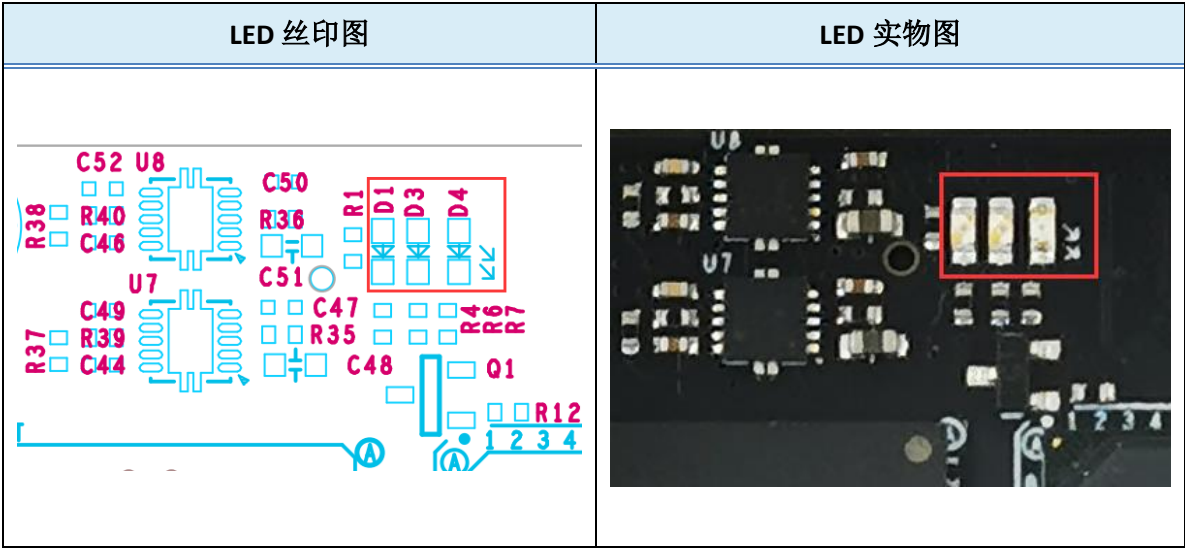


Figure 4-12 XME0712 LEDs 实物图

4.9 扩展口

微相科技 5 x 6 的 SOM 在板子的背面使用了 2 或 3 组 100Pin 高速 B2B 连接器。

XME0712 使用了 3 组高速连接器：

- 3 x AXK600337YG, 100Pin, 0.5mm 间距, 位号 JM1,JM2,JM3

核心板连接器型号	底板连接器型号	厂商	合高
AXK600337YG	AXK500137YG	松下	3mm

Table 4-9 B2B 连接器说明

XME0712 使用了 3 组连接器 JM2,JM2,JM3, 其中电源, 系统管理信号, JTAG 信号分布在 JM3, FPGA IO 的信号分布在 JM1, JM2, JM3 上。

FPGA Bank, IO 数量与 B2B 连接器的关系表

FPGA Bank	B2B Connector	IO 数量	电压	说明
Bank13	JM3	20	3.3V	
Bank 14	JM2	34	3.3V	
Bank 14	JM3	6	3.3V	
Bank15	JM1	28	VCCIO15	由底板提供电压
Bank15	JM2	20	VCCIO15	由底板提供电压
Bank16	JM1	48	VCCIO16	由底板提供电压

Table 4-10 FPGA Bank, IO 数量与连接器关系说明

扩展口 JM1

JM1 主要用于扩展 Bank15, Bank16 的 IO, Bank15, Bank16 的电压是通过底板提供, 用户可以根据自己的需要来提供相应的电压。JM1 的 IO 分配

JM1 与 FPGA 连接分配表如下:

XME0712				JM1		XME0712			
Artix-7 FPGA FGG/FBG484				Pin Number		Artix-7 FPGA FGG/FBG484			
Signal Name	Pin	Voltage	Pin Type	Outside	Inside	Pin Type	Signal Name	Pin	Voltage
B15_L10_P	M21	VCCIO15	IO_P	1	2	IO_P	B15_L9_P	K21	VCCIO15

B15_L10_N	L21	VCCIO15	IO_N	3	4	IO_N	B15_L9_N	K22	VCCIO15
B15_L21_P	K17	VCCIO15	IO_P	5	6	IO_P	B15_L7_P	J22	VCCIO15
B15_L21_N	J17	VCCIO15	IO_N	7	8	IO_N	B15_L7_N	H22	VCCIO15
GND			GND	9	10	GND	GND		
VCCIO15			VIN_IO	11	12	IO_P	B15_L3_P	J14	VCCIO15
VCCIO15			VIN_IO	13	14	IO_N	B15_L3_N	H14	VCCIO15
B15_L23_P	L16	VCCIO15	IO_P	15	16	IO_P	B15_L5_P	J15	VCCIO15
B15_L23_N	K16	VCCIO15	IO_N	17	18	IO_N	B15_L5_N	H15	VCCIO15
GND			GND	19	20	GND	GND		
B15_L11_P_SRCC	J20	VCCIO15	CLK_P	21	22	CLK_P	B15_L12_P_MRCC	J19	VCCIO15
B15_L11_N_SRCC	J21	VCCIO15	CLK_N	23	24	CLK_N	B15_L12_N_MRCC	H19	VCCIO15
B15_L8_P	H20	VCCIO15	IO_P	25	26	IO_P	B15_L6_P	H17	VCCIO15
B15_L8_N	G20	VCCIO15	IO_N	27	28	IO_N	B15_L6_N	H18	VCCIO15
GND			GND	29	30	GND	GND		
B15_L4_P	G17	VCCIO15	IO_P	31	32	IO_P	B15_L2_P	G15	VCCIO15
B15_L4_N	G18	VCCIO15	IO_N	33	34	IO_N	B15_L2_N	G16	VCCIO15
B16_L22_P	E22	VCCIO16	IO_P	35	36	IO_P	B15_L1_P	H13	VCCIO15
B16_L22_N	D22	VCCIO16	IO_N	37	38	IO_N	B15_L1_N	G13	VCCIO15
GND			GND	39	40	GND	GND		
B16_L20_P	C22	VCCIO16	CLK_P/IO_P	41	42	CLK_P/IO_P	B16_L24_P	G21	VCCIO16
B16_L20_N	B22	VCCIO16	CLK_N/IO_N	43	44	CLK_N/IO_N	B16_L24_N	G22	VCCIO16
B16_L21_P	B21	VCCIO16	IO_P	45	46	IO_P	B16_L3_P	C14	VCCIO16
B16_L21_N	A21	VCCIO16	IO_N	47	48	IO_N	B16_L3_N	C15	VCCIO16
GND			GND	49	50	GND	GND		
B16_L23_P	E21	VCCIO16	IO_P	51	52	IO_P	B16_L16_P	B20	VCCIO16
B16_L23_N	D21	VCCIO16	IO_N	53	54	IO_N	B16_L16_N	A20	VCCIO16
B16_L19_P	D20	VCCIO16	IO_P	55	56	IO_P	B16_L17_P	A18	VCCIO16
B16_L19_N	C20	VCCIO16	IO_N	57	58	IO_N	B16_L17_N	A19	VCCIO16
GND			GND	59	60	GND	GND		
B16_L13_P_MRCC	C18	VCCIO16	CLK_P	61	62	CLK_P	B16_L14_P_SRCC	E19	VCCIO16
B16_L13_N_MRCC	C19	VCCIO16	CLK_N	63	64	CLK_N	B16_L14_N_SRCC	D19	VCCIO16
B16_L9_P	A15	VCCIO16	IO_P	65	66	IO_P	B16_L18_P	F19	VCCIO16
B16_L9_N	A16	VCCIO16	IO_N	67	68	IO_N	B16_L18_N	F20	VCCIO16
GND			GND	69	70	GND	GND		
B16_L10_P	A13	VCCIO16	IO_P	71	72	IO_P	B16_L15_P	F18	VCCIO16
B16_L10_N	A14	VCCIO16	IO_N	73	74	IO_N	B16_L15_N	E18	VCCIO16
B16_L6_P	D14	VCCIO16	IO_P	75	76	IO_P	B16_L8_P	C13	VCCIO16
B16_L6_N	D15	VCCIO16	IO_N	77	78	IO_N	B16_L8_N	B13	VCCIO16

GND			GND	79	80	GND	GND		
B16_L11_P_SRCC	B17	VCCIO16	CLK_P	81	82	CLK_P	B16_L12_P_MRCC	D17	VCCIO16
B16_L11_N_SRCC	B18	VCCIO16	CLK_N	83	84	CLK_N	B16_L12_N_MRCC	C17	VCCIO16
B16_L7_P	B15	VCCIO16	IO_P	85	86	IO_P	B16_L5_P	E16	VCCIO16
B16_L7_N	B16	VCCIO16	IO_N	87	88	IO_N	B16_L5_N	D16	VCCIO16
GND			GND	89	90	GND	GND		
VCCIO16			VIN_IO	91	92	IO_P	B16_L1_P	F13	VCCIO16
VCCIO16			VIN_IO	93	94	IO_N	B16_L1_N	F14	VCCIO16
B16_L4_P	E13	VCCIO16	IO_P	95	96	IO_P	B16_L2_P	F16	VCCIO16
B16_L4_N	E14	VCCIO16	IO_N	97	98	IO_N	B16_L2_N	E17	VCCIO16
GND			GND	99	100	GND	GND		

Table 4-11 JM1 信号管脚分配与说明

JM2 与 FPGA 连接分配表如下:

XME0712				JM2		XME0712			
Artix-7 FPGA FGG/FBG484				Pin Number		Artix-7 FPGA FGG/FBG484			
Signal Name	Pin	Voltage	Pin Type	Inside	Outside	Pin Type	Signal Name	Pin	Voltage
MGT_CLK0_N	E6		MGT_CLK_N	1	2	MGT_CLK_N	-		
MGT_CLK0_P	F6		MGT_CLK_P	3	4	MGT_CLK_P	-		
GND			GND	5	6	GND	GND		
MGT_TX0_N	A4		MGT_TX_N	7	8	MGT_RX_N	MGT_RX0_N	A8	
MGT_TX0_P	B4		MGT_TX_P	9	10	MGT_RX_P	MGT_RX0_P	B8	
GND			GND	11	12	GND	GND		
MGT_TX1_N	C5		MGT_TX_N	13	14	MGT_RX_N	MGT_RX1_N	C11	
MGT_TX1_P	D5		MGT_TX_P	15	16	MGT_RX_P	MGT_RX1_P	D11	
GND			GND	17	18	GND	GND		
MGT_TX2_N	A6		MGT_TX_N	19	20	MGT_RX_N	MGT_RX2_N	A10	
MGT_TX2_P	B6		MGT_TX_P	21	22	MGT_RX_P	MGT_RX2_P	B10	
GND			GND	23	24	GND	GND		
MGT_TX3_N	C7		MGT_TX_N	25	26	MGT_RX_N	MGT_RX3_N	C9	
MGT_TX3_P	D7		MGT_TX_P	27	28	MGT_RX_P	MGT_RX3_P	D9	
GND			GND	29	30	GND	GND		
B15_L16_P	M18	VCCIO15	IO_P	31	32	IO_P	B15_L15_P	N22	VCCIO15
B15_L16_N	L18	VCCIO15	IO_N	33	34	IO_N	B15_L15_N	M22	VCCIO15
B15_L18_P	N20	VCCIO15	IO_P	35	36	IO_P	B15_L17_P	N18	VCCIO15
B15_L18_N	M20	VCCIO15	IO_N	37	38	IO_N	B15_L17_N	N19	VCCIO15
GND			GND	39	40	GND	GND		
B15_L13_P_MRCC	K18	VCCIO15	CLK_P	41	42	CLK_P	B15_L14_P_SRCC	L19	VCCIO15

B15_L13_N_MRCC	K19	VCCIO15	CLK_N	43	44	CLK_N	B15_L14_N_SRCC	L20	VCCIO15
B15_L22_P	L14	VCCIO15	IO_P	45	46	IO_P	B15_L19_P	K13	VCCIO15
B15_L22_N	L15	VCCIO15	IO_N	47	48	IO_N	B15_L19_N	K14	VCCIO15
GND			GND	49	50	GND	GND		
B14_L23_P	N13	3.3V	IO_P	51	52	IO_P	B15_L24_P	M15	VCCIO15
B14_L23_N	N14	3.3V	IO_N	53	54	IO_N	B15_L24_N	M16	VCCIO15
B14_L22_P	P15	3.3V	IO_P	55	56	IO_P	B15_L20_P	M13	VCCIO15
B14_L22_N	R16	3.3V	IO_N	57	58	IO_N	B15_L20_N	L13	VCCIO15
GND			GND	59	60	GND	GND		
B14_L11_P_SRCC	U20	3.3V	CLK_P	61	62	CLK_P	B14_L12_P_MRCC	W19	3.3V
B14_L11_N_SRCC	V20	3.3V	CLK_N	63	64	CLK_N	B14_L12_N_MRCC	W20	3.3V
B14_L5_P	P19	3.3V	IO_P	65	66	IO_P	B14_L21_P	N17	3.3V
B14_L5_N	R19	3.3V	IO_N	67	68	IO_N	B14_L21_N	P17	3.3V
GND			GND	69	70	GND	GND		
B14_L4_P	T21	3.3V	IO_P	71	72	IO_P	B14_L20_P	R18	3.3V
B14_L4_N	U21	3.3V	IO_N	73	74	IO_N	B14_L20_N	T18	3.3V
B14_L3_P	U22	3.3V	IO_P	75	76	IO_P	B14_L7_P	W21	3.3V
B14_L3_N	V22	3.3V	IO_N	77	78	IO_N	B14_L7_N	W22	3.3V
GND			GND	79	80	GND	GND		
B14_L13_P_MRCC	Y18	3.3V	CLK_P	81	82	CLK_P	B14_L14_P_SRCC	V18	3.3V
B14_L13_N_MRCC	Y19	3.3V	CLK_N	83	84	CLK_N	B14_L14_N_SRCC	V19	3.3V
B14_L15_P	AA19	3.3V	IO_P	85	86	IO_P	B14_L9_P	Y21	3.3V
B14_L15_N	AB20	3.3V	IO_N	87	88	IO_N	B14_L9_N	Y22	3.3V
GND			GND	89	90	GND	GND		
-			VIN_IO	91	92	IO_P	B14_L10_P	AB21	3.3V
-			VIN_IO	93	94	IO_N	B14_L10_N	AB22	3.3V
B14_L17_P	AA18		IO_P	95	96	IO_P	B14_L8_P	AA20	3.3V
B14_L17_N	AB18		IO_N	97	98	IO_N	B14_L8_N	AA21	3.3V
GND			GND	99	100	GND	GND		

Table 4-12 JM2 信号管脚分配与说明

JM3 与 FPGA 连接分配表如下:

XME0712				JM3		XME0712			
Artix-7 FPGA FGG/FBG484				Pin Number		Artix-7 FPGA FGG/FBG484			
Signal Name	Pin	Voltage	Pin Type	Inside	Outside	Pin Type	Signal Name	Pin	Voltage
VIN_MOD		12V	VIN_MOD	1	2	VIN_MOD	VIN_MOD	12V	
VIN_MOD		12V	VIN_MOD	3	4	VIN_MOD	VIN_MOD	12V	
VIN_MOD		12V	VIN_MOD	5	6	VIN_MOD	VIN_MOD	12V	

VIN_MOD		12V	VIN_MOD	7	8	VIN_MOD	VIN_MOD	12V	
-			NC	9	10	NC	-		
VCC_3V3		3.3V	VREF_JTAG	11	12	PWR_EN	PWR_EN		
VCC_3V3		3.3V	VREF_JTAG	13	14	PG_MOD	PG_MOD		
FPGA_TCK		3.3V	JTAG_TCK	15	16	Cold_nRST	RESET_N		
FPGA_TDO		3.3V	JTAG_TDO	17	18	Warm_nRST	#N/A		
GND			GND	19	20	GND	GND		
FPGA_TDI		3.3V	JTAG_TDI	21	22	IO_P	B14_L18_P	U17	3.3V
FPGA_TMS		3.3V	JTAG_TMS	23	24	IO_N	B14_L18_N	U18	3.3V
#N/A				25	26	IO_P	B14_L16_P	V17	3.3V
#N/A				27	28	IO_N	B14_L16_N	W17	3.3V
GND			GND	29	30	GND	GND		
B14_L24_P	P16	3.3V	IO_P	31	32	IO_P	B13_L17_P	T16	3.3V
B14_L24_N	R17	3.3V	IO_N	33	34	IO_N	B13_L17_N	U16	3.3V
B14_L19_P	P14	3.3V	IO_P	35	36	IO_P	B13_L2_P	AB16	3.3V
B14_L19_N	R14	3.3V	IO_N	37	38	IO_N	B13_L2_N	AB17	3.3V
GND			GND	39	40	GND	GND		
B13_L13_P_MRCC	V13	3.3V	IO_P	41	42	IO_P	B13_L14_P_SRCC	U15	3.3V
B13_L13_N_MRCC	V14	3.3V	IO_N	43	44	IO_N	B13_L14_N_SRCC	V15	3.3V
B13_L15_P	T14	3.3V	IO_P	45	46	IO_P	B13_L1_P	Y16	3.3V
B13_L15_N	T15	3.3V	IO_N	47	48	IO_N	B13_L1_N	AA16	3.3V
GND			GND	49	50	GND	GND		
B13_L5_P	Y13	3.3V	IO_P	51	52	IO_P	B13_L4_P	AA15	3.3V
B13_L5_N	AA14	3.3V	IO_N	53	54	IO_N	B13_L4_N	AB15	3.3V
B13_L16_P	W15	3.3V	IO_P	55	56	IO_P	B13_L6_P	W14	3.3V
B13_L16_N	W16	3.3V	IO_N	57	58	IO_N	B13_L6_N	Y14	3.3V
GND			GND	59	60	GND	GND		
				61	62	IO_P	#N/A		
				63	64	IO_N	#N/A		
				65	66	AN_in_P	XADC_VP		
				67	68	AN_in_N	XADC_VN		
GND			GND	69	70	GND	GND		
				71	72	UART_RX	UART_RX	P20	3.3V
				73	74	UART_TX	UART_TX	N15	3.3V
				75	76	PHY_LED1	PHY0_LED1		3.3V
				77	78	PHY_LED0	PHY0_LED0		3.3V
#N/A			GND	79	80	GND	GND		
				81	82	ETH_MDIO_P	ETH0_MDIO_P		

				83	84	ETH_MDI0_N	ETH0_MDI0_N		
				85	86	ETH_MDI1_P	ETH0_MDI1_P		
				87	88	ETH_MDI1_N	ETH0_MDI1_N		
GND			GND	89	90	GND	GND		
				91	92	ETH_MDI2_P	ETH0_MDI2_P		
				93	94	ETH_MDI2_N	ETH0_MDI2_N		
				95	96	ETH_MDI3_P	ETH0_MDI3_P		
				97	98	ETH_MDI3_N	ETH0_MDI3_N		
GND			GND	99	100	GND	GND		

Table 4-13 JM3 信号管脚分配与说明

4.10 电源

XME0712 支持宽电源输入(4.5V~17V)，推荐设计使用电源输入+12V。模块上电后，按顺序级联，以 1.0V->1.8V->1.5V->3.3V 的顺序完成上电过程。3.3V 最后上电，同时提供系统电源状态 PG 信号。

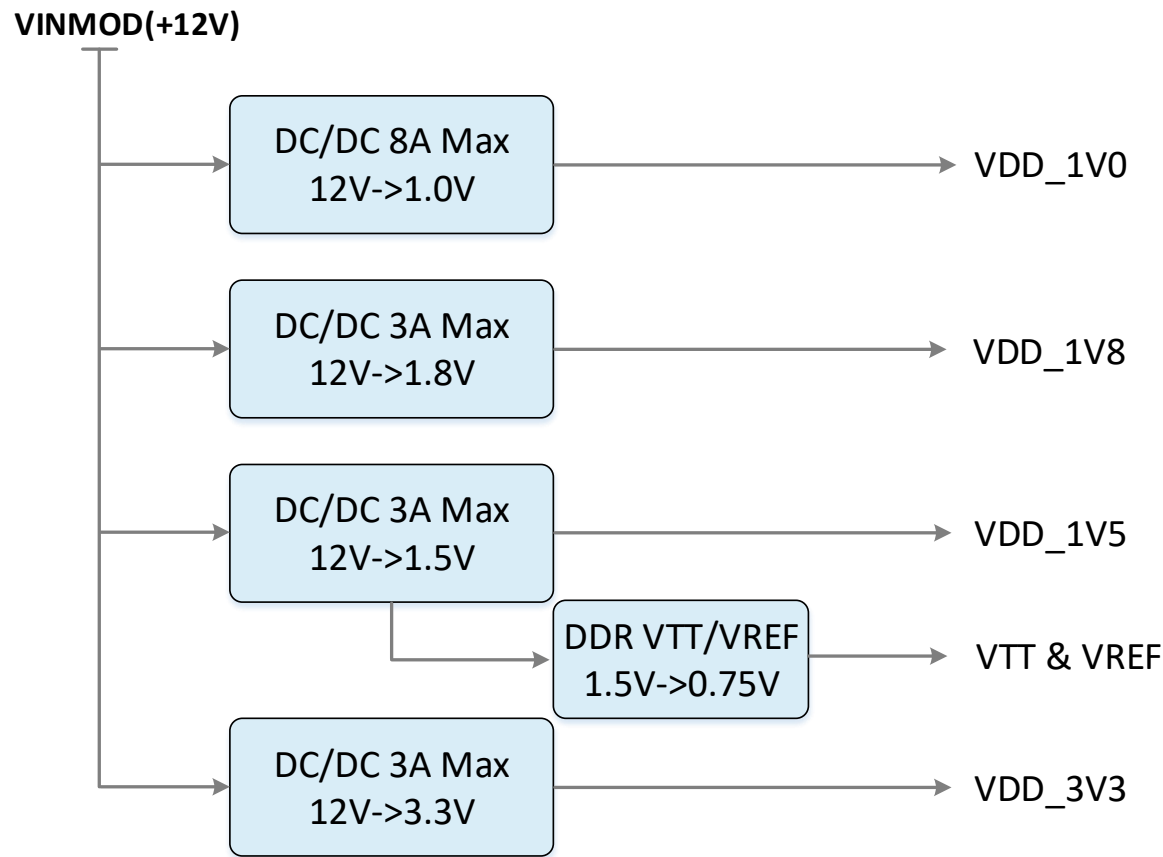


Figure 4-13 XME0712 电源结构