# 题目汇总及要求

## 1. 第一部分

### 1.1 squat16设计验证(2~4人)

#### 1.1.1 特性要求

设计验证squat16模块：

1. 支持16个物理接口输入16个物理接口输出 🔜❎
2. 支持ATM的UNI协议转NNI协议
3. 发送口TX[0]和发送口TX[15]可以支持从16个接口输入
4. 发送口TX[2]~TX[7]支持RX[0]到RX[7]的输入
5. 发送口TX[8]~TX[14]支持RX[8]到RX[15]的输入

（意思应该是如果TX被配置转发不匹配的RX的报文，则将报文直接丢弃）

1. 支持转发表物理接口数据范围{0，2^16}
2. 转发表物理接口数据为0表示报文丢弃 ✅
3. 能够支持CPU多次实时修改转发表
4. 模块命名为Squat16
5. 其他特性同Squat

注意：设计和验证时要考虑如果转发表为0时的处理



#### 1.1.2 设计验证要求

1. 设计采用Verilog和SystemVerilog语言都可以

2. 验证一定采用SystemVerilog验证平台

3. 设计报告里面一定要体现自己的详细设计

4. 验证提交的报告里面要包含验证计划

5. 验证计划必须体现任务分工和时间安排

6. 验证计划必须体现验证组件以及之间连接

7. 验证计必须体现功能覆盖率的信息

8. 验证的结果要对功能覆盖进行分析

#### 1.1.3目录要求



1. project为项目工程名

1. doc文件夹存放实验报告
2. sim文件夹存放仿真环境
3. src存放设计仿真的源文件，其中tb存放整个顶层，rtl存放设计代码，env存放仿真组件
4. 在sim下面只要执行make就可以运行仿真产生波形

### 1.2 squat8\_Pri设计验证(2~4人)

#### 1.1.2.1特性要求

1. 支持8个物理接口输入8个物理接口输出

2. 支持ATM的UNI转NNI协议

3. 支持转发表物理口(FWD)数值范围(0,255)，0表示丢弃

4. Tx端口能够缓冲报文

5. 其他特性同Squat

6. 设计时端口的仲裁可以采用优选权(Squat8\_Pri)



#### 1.1.2.2 设计验证要求

1. 设计采用Verilog和SystemVerilog语言都可以

2. 验证一定采用SystemVerilog验证平台

3. 设计报告里面一定要体现自己的详细设计

4. 验证提交的报告里面要包含验证计划

5. 验证计划必须体现任务分工和时间安排

6. 验证计划必须体现验证组件以及之间连接

7. 验证计必须体现功能覆盖率的信息

8. 验证的结果要对功能覆盖进行分析

#### 1.1.2.3 目录要求



1. project为项目工程名

2.doc文件夹存放实验报告

3.sim文件夹存放仿真环境

4. src存放设计仿真的源文件，其中tb存放整个顶层，rtl存放设计代码，env存放仿真组件

5.在sim下面只要执行make就可以运行仿真产生波形

### 1.3 squat4\_NNI设计验证(2~4人)

#### 1.3.1 特性要求

1.支持4个NNI物理接口输入和4个UNI物理接口输出

2.支持ATM的NNI协议转UNI协议

3.支持转发表物理口(FWD)数值范围(0,16)，0表示丢弃

4.支持可配置转发查找表

5.支持硬件校验

6.支持CPU配置16位数据总线和8位地址总线接口

7.设计时端口的仲裁可以采用优选权或轮询



#### 1.3.2 设计验证要求

1. 设计采用Verilog和SystemVerilog语言都可以

2. 验证一定采用SystemVerilog验证平台

3. 设计报告里面一定要体现自己的详细设计

4. 验证提交的报告里面要包含验证计划

5. 验证计划必须体现任务分工和时间安排

6. 验证计划必须体现验证组件以及之间连接

7. 验证计必须体现功能覆盖率的信息

8. 验证的结果要对功能覆盖进行分析

#### 1.3.3目录要求



1. project为项目工程名

2. doc文件夹存放实验报告

3. sim文件夹存放仿真环境

4. src存放设计仿真的源文件，其中tb存放整个顶层，rtl存放设计代码，env存放仿真组件

5. 在sim下面只要执行make就可以运行仿真产生波形