

## Bitácora

27/8/24

Se realizó la tabla de verdad para interpretar las entradas, en la cual se le asigna un valor a cada una de las 4 combinaciones posibles.

Tabla 1. Tabla de verdad de las entradas

A	B	C	D	X1	X0
1	0	0	0	0	1
1	1	0	0	1	0
1	1	1	0	1	1
1	1	1	1	0	0

Teniendo estos valores asignados, se pueden encontrar las siguientes ecuaciones booleanas para cada dígito utilizando los minterminos para encontrar la suma de productos

$$X_1 = ABC\bar{D} + ABCD$$

$$X_0 = A\bar{B}\bar{C}\bar{D} + ABC\bar{D}$$

Estas ecuaciones se pueden simplificar utilizando álgebra booleana para facilitar la implementación del circuito.

$$X_1 = AB\bar{D}$$

$$X_0 = A\bar{D}(\overline{B \oplus C})$$

Además se propusieron los siguientes mapas K para el codificador encargado de sumar

Tabla 2. Mapa K para el primer dígito de la suma

AB\CD	00	01	11	10
00	0	1	1	0
01	1	0	0	1
11	1	0	0	1
10	0	1	1	0

Analizando el mapa K de la tabla 2, se puede obtener la siguiente ecuación booleana para el primer dígito

$$Y_0 = \bar{B}D + \bar{D}B$$

Se puede observar que esta ecuación es la operación XOR por lo que

$$Y_0 = A \oplus B$$

Tabla 3. Mapa K para el segundo dígito de la suma

AB\CD	00	01	11	10
00	0	0	1	1
01	0	1	0	1
11	1	0	1	0
10	1	1	0	0

Analizando el mapa K de la tabla 2, se puede obtener la siguiente ecuación booleana para el primer dígito

$$Y_1 = A\bar{C}\bar{D} + A\bar{B}\bar{C} + \bar{A}B\bar{C}D + ABCD + \bar{A}\bar{B}C + AC\bar{D}$$

02/09/2024

La ecuación obtenida para Y1 se puede simplificar, obteniendo la ecuación

$$Y_1 = (A \oplus C) \oplus DB$$

Con estas ecuaciones se realizó una implementación en System Verilog para generar un testbench con self-checking, el cual se ejecutó exitosamente.

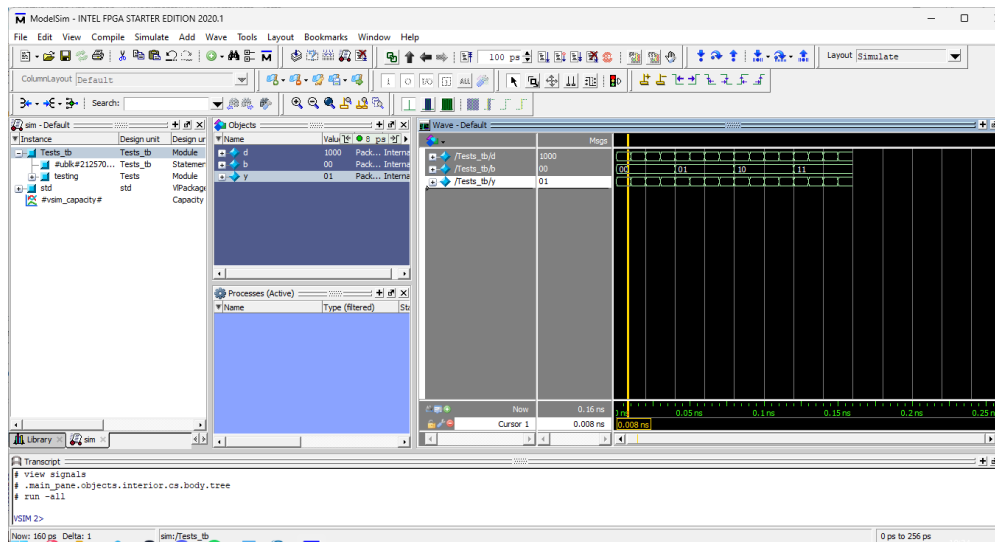


Figura 1. Resultados del Testbench