

Proyecto 1 Calculadora Tomógrafo

Kevin Josué Ruiz Rodríguez
email: krr248@estudiantec.cr
Área Académica de Ingeniería en Computadores
Instituto Tecnológico de Costa Rica

Abstract—This paper is about the process of designing and implementing a digital circuit, using mainly combinational logic in order to further understand the mentioned concepts.

Palabras clave—Circuitos digitales, lógica combinatorial, diseño.

I. INTRODUCCIÓN

Los circuitos digitales son una parte importante de los avances tecnológicos. Estos funcionan con señales binarias, representando los datos como series de ceros y unos. Esto permite la creación de sistemas que pueden realizar varias tareas, como operaciones aritméticas o lógicas hasta almacenamiento de datos.

Uno de los aspectos del diseño de circuitos digitales es la lógica combinatorial, en este tipo de lógica la salida siempre es obtenida en función de únicamente las entradas actuales. Esto a diferencia de la lógica secuencial, donde la salida depende tanto de las entradas actuales como de los estados pasados, por lo tanto necesitan memoria para operar, cosa que no es necesaria en los circuitos combinatoriales. Esto hace a la lógica combinatorial una pieza importante para desarrollar sistemas más complejos.

Para tener un buen desempeño y eficiencia en los sistemas digitales, es importante un buen diseño y optimización de los circuitos combinatoriales. Para esto existen técnicas, como el álgebra Booleana y los mapas de Karnaugh, también llamados mapas K, estas son utilizadas para simplificar las expresiones lógicas, de manera que se puedan reducir las compuertas necesarias para su implementación, minimizando el consumo de potencia y el tiempo de respuesta.

Se quiere profundizar en los conceptos mencionados mediante la implementación de un circuito que, mediante fotosensores, identifique una cantidad de dedos para sumar esta cantidad a un acumulado guardado en un registro, además este resultado es mostrado en un display de 7 segmentos. Adicionalmente se desea que en un intervalo del contador, se active un motor. En este artículo se muestra el proceso de desarrollo del circuito, desde la creación de tablas de verdad, diseño del esquemático, hasta la implementación en protoboard del circuito.

II. CIRCUITO DISEÑADO

Para empezar el diseño, se parte de una versión más simple en la que simplemente se utilizan switches para representar los dedos, en este proyecto se toma en consideración que la entrada siempre va a ser al menos un dedo, además se

desea tomar en cuenta hasta un máximo de 4 dedos, por lo que se utilizan 4 switches para interpretar cada fotosensor, dando como resultado un 1 si se detecta un dedo, y un 0 si no. Se realiza una tabla de verdad para interpretar las entradas, en la cual se le asigna un valor a cada una de las combinaciones posibles, recordando que se espera al menos un dedo y un máximo de 4, por lo que se tienen únicamente 4 combinaciones.

TABLE I
TABLA DE VERDAD PARA LAS ENTRADAS.

A	B	C	D	X ₁	X ₀
1	0	0	0	0	1
1	1	0	0	1	0
1	1	1	0	1	1
1	1	1	1	0	0

Teniendo estos valores asignados, se pueden encontrar las siguientes ecuaciones booleanas para cada dígito utilizando los minterminos en la tabla I para encontrar la suma de productos.

$$X_1 = ABC\bar{D} + ABCD \quad (1)$$

$$X_0 = \bar{A}BC\bar{D} + ABC\bar{D} \quad (2)$$

Las ecuaciones 1 y 2 se pueden simplificar utilizando álgebra booleana para facilitar la implementación del circuito.

$$X_1 = AB\bar{D} \quad (3)$$

$$X_0 = \overline{AD(B \oplus C)} \quad (4)$$

Con las ecuaciones 4 y 3 se puede diseñar el siguiente codificador de la entrada.

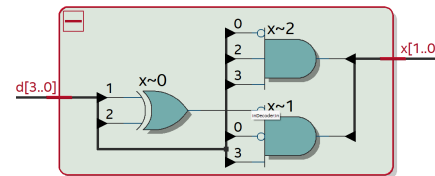


Fig. 1. Codificador de la entrada.

Una vez obtenida una forma de interpretar las entradas, se procede a diseñar un codificador que va a realizar una suma según estas entradas y un número acumulado, se van a utilizar números de 2 bits tanto para el acumulado, como para el resultado. Sabiendo esto, se puede realizar una tabla de verdad para el codificador, utilizando los dígitos de ambos números como entrada y los dígitos del resultado como salida.

TABLE II
TABLA DE VERDAD PARA EL CODIFICADOR DE SUMA.

X_1	X_0	Y_1	Y_0	S_1	S_0
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	1	0
0	0	1	1	1	1
0	1	0	0	0	1
0	1	0	1	1	0
0	1	1	0	1	1
0	1	1	1	0	0
1	0	0	0	1	0
1	0	0	1	1	1
1	0	1	0	0	0
1	0	1	1	0	1
1	1	0	0	1	1
1	1	0	1	0	0
1	1	1	0	0	1
1	1	1	1	1	0

La tabla II es un poco compleja, por lo que para analizarla de manera más sencilla se puede realizar un mapa K para cada dígito del resultado.

TABLE III
MAPA K PARA EL PRIMER DÍGITO DE LA SUMA.

$X_1 X_0 \backslash Y_1 Y_0$	00	01	11	10
00	0	1	1	0
01	1	0	0	1
11	1	0	0	1
10	0	1	1	0

TABLE IV
MAPA K PARA EL SEGUNDO DÍGITO DE LA SUMA.

$X_1 X_0 \backslash Y_1 Y_0$	00	01	11	10
00	0	0	1	1
01	0	1	0	1
11	1	0	1	0
10	1	1	0	0

Analizando el mapa K de la tabla III, se puede obtener la siguiente ecuación booleana para el primer dígito del resultado.

$$Y'_0 = \overline{X_0}Y_0 + \overline{Y_0}X_0 \quad (5)$$

De igual manera con la tabla IV se puede obtener una ecuación para el segundo dígito del resultado

$$Y'_1 = X_1 \overline{Y_1} \overline{Y_0} + X_1 \overline{X_0} \overline{Y_1} + \overline{X_1} X_0 \overline{Y_1} Y_0 + X_1 X_0 Y_1 Y_0 + X_1 Y_1 \overline{Y_0} \quad (6)$$

Se puede observar que la ecuación 5 es equivalente a la operación XOR, mientras que la ecuación 6 se puede simplificar mediante álgebra booleana obteniendo unas ecuaciones simplificadas para cada dígito del resultado.

$$Y'_0 = X_0 \oplus Y_0 \quad (7)$$

$$Y'_1 = (X_1 \oplus Y_1) \oplus X_0 Y_0 \quad (8)$$

Nuevamente, utilizando las ecuaciones 7 y 8, se obtiene el siguiente diseño para el codificador de la suma.

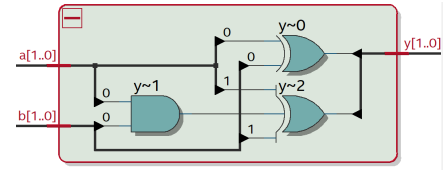


Fig. 2. Codificador de la suma.

El resultado de la suma es actualizado en el registro del acumulador, además de ser enviado a un BCD para obtener la representación necesaria para el display de 7 segmentos, y enviarlo a este mismo.

Adicionalmente, se requiere seleccionar un intervalo que active un motor, debido a la cantidad de bits utilizados, se pueden representar 4 números, por que se selecciona únicamente un dígito para activar el motor. En este caso se selecciona el número 3 para la activación, de manera que se pueda utilizar una compuerta AND con cada dígito del acumulador, esta compuerta se conecta a la base de un transistor BJT, el emisor de este transistor se conecta a tierra, mientras que al colector se conecta el motor, con su propia alimentación.

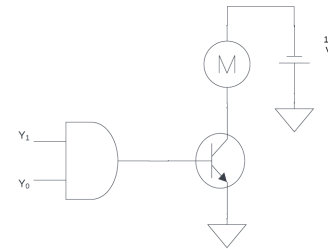


Fig. 3. Etapa de desacople.

Una vez diseñadas las diferentes etapas del sistema se puede proceder a realizar la implementación en protoboard.

III. RESULTADOS

Se realizó una prueba para el diseño de la codificación de la entrada y el codificador de la suma propuestos utilizando quartus, y realizando un testbench con self-checking.

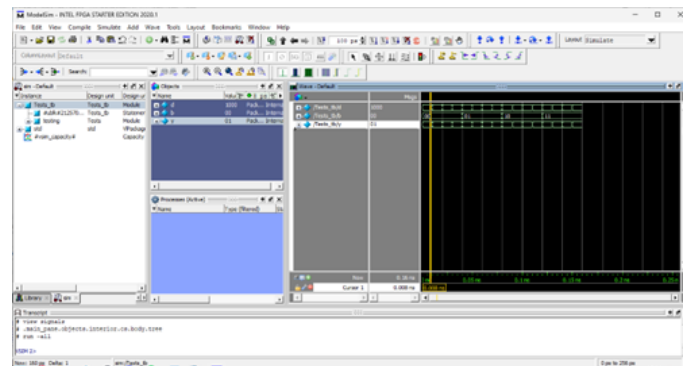


Fig. 4. Prueba en ModelSim.

La ejecución del testbench de la figura 4 no presentó ningún error por lo que se puede decir que la propuesta es una buena solución para el circuito que se desea implementar.

A la hora de hacer la implementación en protoboard del diseño propuesto, no se obtuvo ningún tipo de respuesta en los componentes, por lo tanto no se pudo realizar la implementación de manera exitosa.

IV. CONCLUSIONES

En este proyecto se propuso una solución para una calculadora tomógrafo, con el desarrollo se logró profundizar los conceptos de circuitos digitales, lógica combinacional y secuencial, además de aplicar técnicas para el diseño como álgebra Booleana y mapas K.

REFERENCES

- [1] Hennessy, J. L., & Patterson, D. A. (2011). *Computer architecture: a quantitative approach*. Elsevier.