



EA113 – Projet d'électronique analogique

Rapport du projet

Partie 1 : conception d'un amplificateur audio

2024-2025

Binôme
Khalil Bitar
Abdesselem Tariket

Groupe : G1
Encadrant : Valéry Jean Lebreton

I.	Introduction	3
II.	Cahier des charges	3
III.	Architecture du circuit	4
III.1.	Premier étage : Etage de commande :	4
III.2.	Deuxième étage : Etage de sortie :	5
IV.	Etude du circuit	5
IV.1.	Le MOSFET canal N :	5
IV.2.	Circuit push pull “primitif” :	7
IV.3.	Elimination de la distorsion de croisement :	10
IV.4.	Circuit complet	13

I. Introduction

L'objet de cette première partie, consiste à concevoir un amplificateur de puissance audio. L'objectif est de maîtriser les différentes étapes de conception d'un circuit : de la lecture du cahier des charges à la réalisation physique sur PCB, en passant par la simulation, le choix des composants et le dessin du schéma. On utilise le logiciel PROTEUS (modules ISIS et ARES) pour la modélisation, la simulation et la réalisation du circuit imprimé.

L'amplificateur conçu est destiné à alimenter un haut-parleur de $8\ \Omega$ à partir d'un signal d'entrée de 100 mV efficace (type sortie de smartphone) et alimenté par une tension symétrique de $\pm 15\text{ V}$. Il devra fonctionner dans une bande passante allant de 40 Hz à 15 kHz et présenter une impédance d'entrée de $47\text{ k}\Omega$. L'architecture retenue s'articule autour d'un étage driver à amplificateur opérationnel (TL071) suivi d'un étage de puissance push-pull en classe B à base de MOSFETs complémentaires.

II. Cahier des charges

- On alimentera un haut-parleur d'impédance $8\ \Omega$. Dans cette 1^{ère} partie, on va représenter ce haut-parleur par une résistance de même valeur.
- En entrée, la source des signaux audiofréquences est supposée délivrer une tension efficace de l'ordre de 100 mV_{eff}
- La bande passante cible est : $[40\text{ Hz}, 15\text{ kHz}]$
- L'alimentation continue est : $\pm 15\text{ V}$
- L'impédance d'entrée dans la bande passante : $47\text{ k}\Omega$
- Un filtrage passe haut en entrée pour éliminer toute composante continue du signal
- Le gain global du système suffisant pour obtenir une puissance de l'ordre de 10W en sortie.

Réponses aux questions théoriques :

1. La puissance utile max en sortie si l'on admet une tension de déchet d'environ 3 V :

- Tension d'alim : $\pm 15\text{ V} \rightarrow V_{\text{max théorique}} = 15 - 3 = 12\text{ V}$
- Tension efficace :

$$V_{eff} = \frac{12}{\sqrt{2}} \approx 8,49\text{ V}$$

- Puissance :

$$P = \frac{V_{eff}^2}{R} = \frac{8,49^2}{8} \approx 9,01\text{ W}$$

2. Courant crête max en sortie à pleine puissance :

$$I_{max} = \frac{V_{crête}}{R} = \frac{12}{8} = 1,5\text{ A}$$

3. L'amplification en tension globale du montage :

$$A_v = \frac{24}{0,282} \approx 85$$

$$(0,282\text{ V} = 100\text{ mV efficace} \times \sqrt{2} \times 2 \text{ pour } V_{pp})$$

4. Il est souhaitable de couper l'éventuelle composante continue du signal d'entrée **pour éviter de faire circuler un courant continu dans l'étage de puissance** ce qui pourrait entraîner un échauffement des composant, une saturation de l'amplificateur et une déformation donc du signal audio.

III. Architecture du circuit

III.1. Premier étage : Etage de commande :

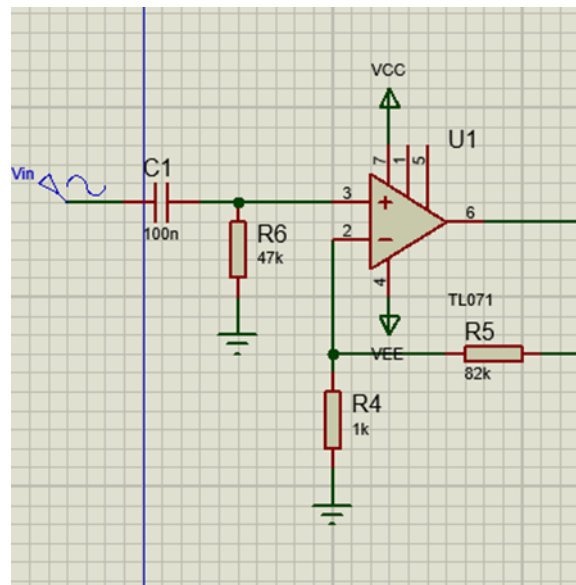


Figure 1 - Schéma de l'étage "driver"

Cet étage est constitué :

- d'un filtre passe-haut formé par le circuit (C1,R6) qui coupe la composante continue ainsi que toutes les fréquences $f < f_c$. La fréquence de coupure est imposée par le cahier de charge à 40Hz
- d'une contre réaction négative globale de gain $\frac{R_2}{R_1}$

Réponses aux questions théoriques :

1. La contre-réaction consiste à réinjecter une partie du signal de sortie à l'entrée de l'amplificateur, en opposition de phase. Cela sert à améliorer la stabilité de l'amplificateur, de linéariser le gain et réduire donc la distortion du signal.
Ici, on choisit une contre-réaction globale, c'est-à-dire qui part de la sortie finale du montage (après l'étage de puissance) et revient jusqu'à l'ensemble du montage, pas seulement de l'AOP, y compris ceux introduits par l'étage de puissance push-pull.

2. Expression de l'amplification en tension :

$$A_v = 1 + \frac{R_2}{R_1}$$

- R1 est la résistance entre la sortie et la masse (ou l'entrée inverseuse)
- R2 est la résistance entre la sortie et l'entrée inverseuse (contre-réaction)

III.2. Deuxième étage : Etage de sortie :

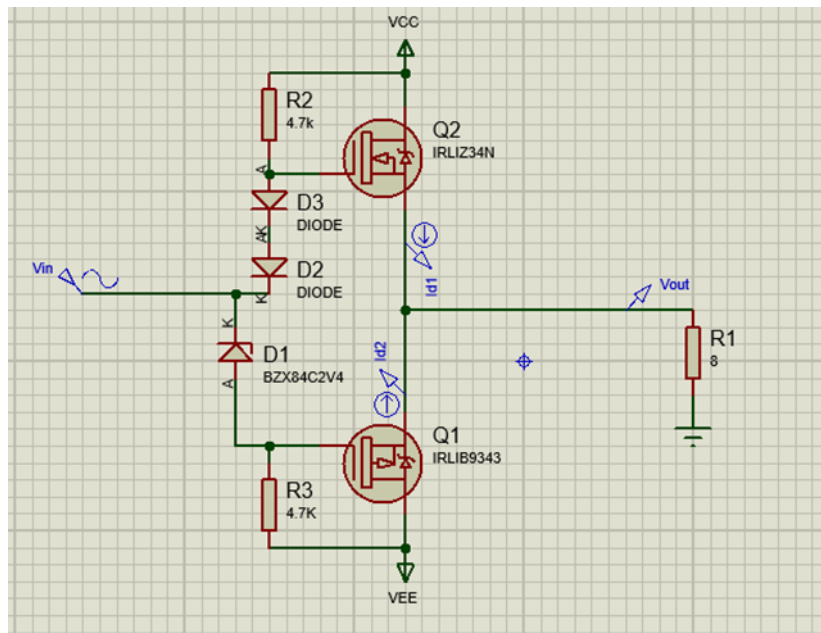


Figure 2 - Schéma de l'étage "push pull"

IV. Etude du circuit

IV.1. Le MOSFET canal N :

a) Caractéristique de transfert :

- On simule pour une tension $V_{DS} = cte = 10V$, la caractéristique de transfert $I_D(V_{GS})$

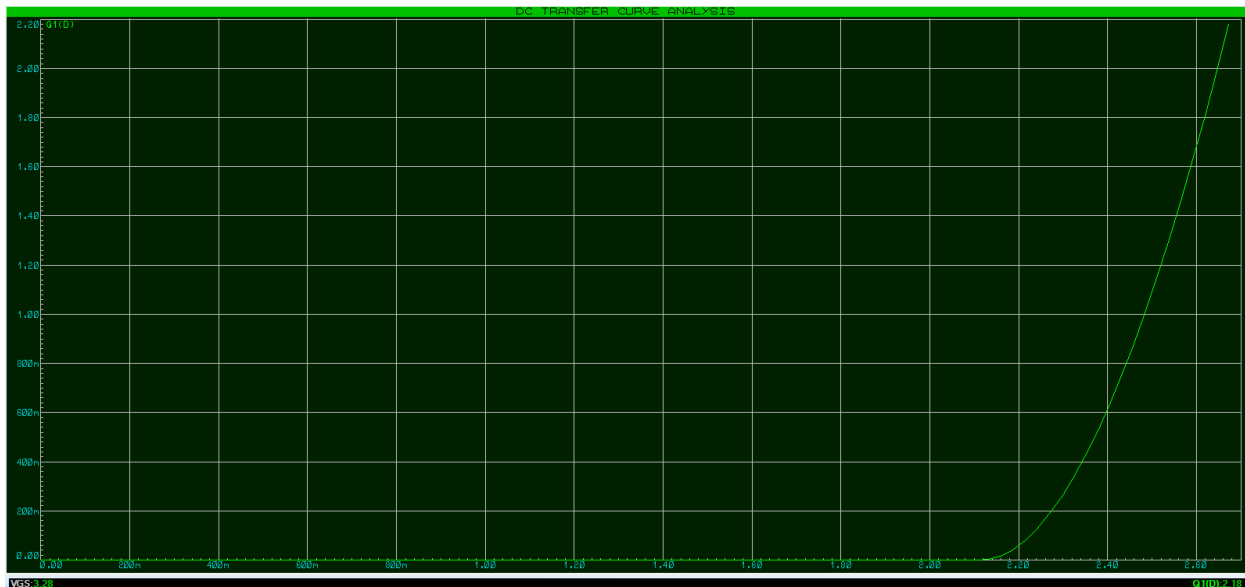


Figure 3 - Tracé de la caractéristique de transfert $I_d(V_{gs})$

D'après la figure ci-dessus, on peut déterminer la tension du seuil $V_T \approx 2.1V$

- Pour calculer la transconductance g_m , on prend les deux points suivants voisins du point $I_{D0} = 0,5A$:
 - $V_{GS} = 2.4V \Rightarrow I_D \approx 0,60A$
 - $V_{GS} = 2.44V \Rightarrow I_D \approx 0,80A$

L'expression de la transconductance est donnée par :

$$g_m = \left. \frac{dI_D}{dV_{GS}} \right|_{V_{GS0}}$$

$$= \frac{0.8 - 0.6}{2.44 - 2.4} = 5S$$

- D'après la courbe, à $I_D = 1.5A$, on lit :

$$V_{GS} \approx 2.54V$$

Et donc la tension d'overdrive $V_{OD} = V_{GS} - V_T = 2.54 - 2.1 = 0.44V$

Par conséquent :

Dans notre application, le transistor MOSFET est utilisé pour délivrer un courant pouvant atteindre jusqu'à 1.5 A. D'après la courbe on observe que pour atteindre ce courant, la tension V_{gs} doit être d'environ 2.54 V. Étant donné que la tension de seuil V_t est de 2.1 V, cela signifie que le transistor fonctionne bien en régime saturé dans la plage d'utilisation envisagée.

La tension d'overdrive est ici de 0.44 V. Cette valeur modérée indique que le transistor est efficacement commandé, tout en restant relativement proche du seuil, ce qui permet de conserver une bonne

linéarité. On peut donc conclure que, dans notre montage, la tension v_{gs} reste dans une plage adaptée au bon fonctionnement du MOSFET.

b) Caractéristique de sortie :

- On mesure à $I_{D0} = 0.5A$, on relève $V_{GS0} = 2.37V$. On trace la caractéristique de sortie $I_D(V_{DS})$ pour $0 < V_{DS} < 10V$

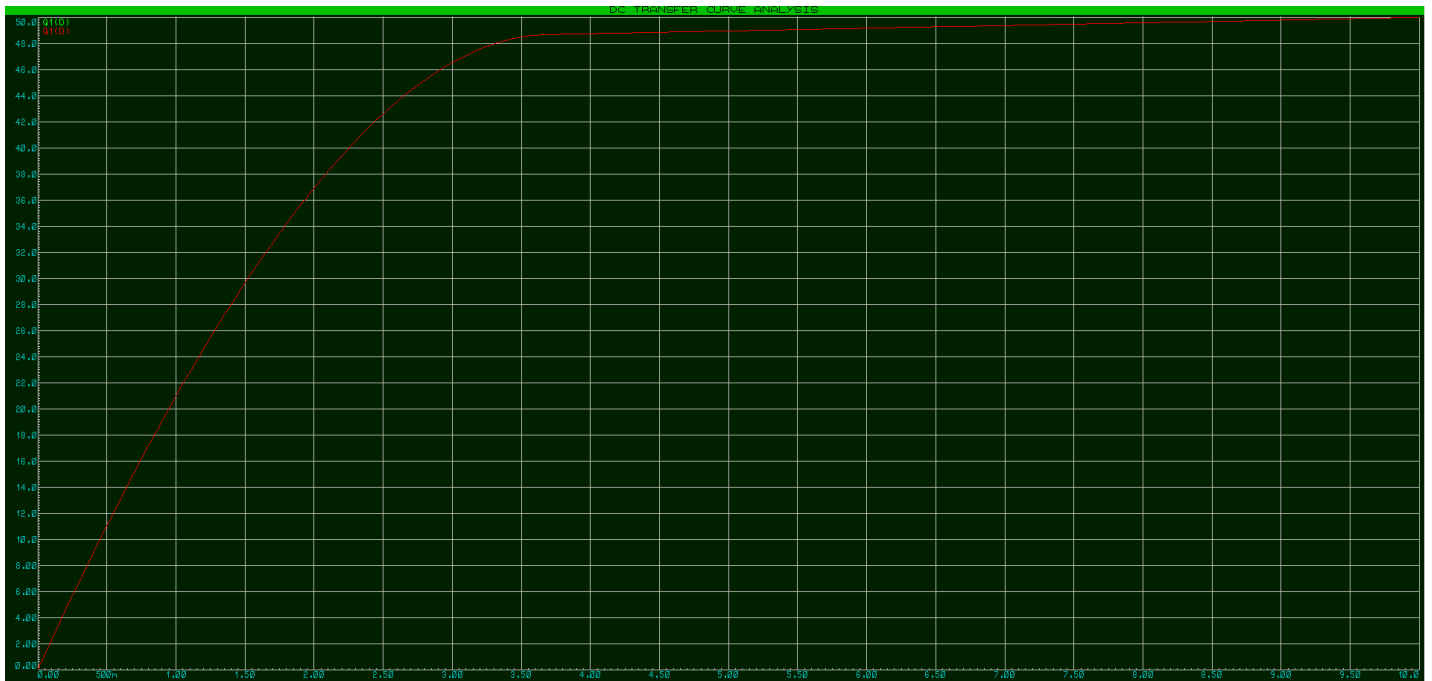


Figure 4 - La caractéristique de sortie $I_D(V_{DS})$ pour $V_{GS} = V_{GS0}$

- On trouve les deux zones délimitées par une tension $V_{DSS} = 3.5V$.
- On mesure donc R_{DSon} dans la zone ohmique sur 2 points : $R_{DSon} = \frac{21-11}{1-0.5} = 20\Omega$

IV.2. Circuit push pull “primitif” :

1) Schéma :

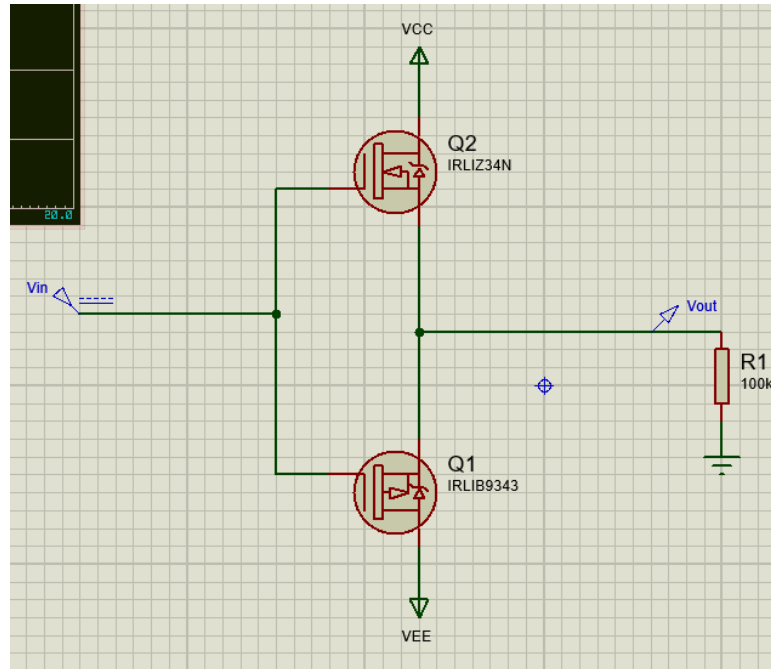


Figure 5 – Schéma du circuit push pull « primitif »

2) Simulation :

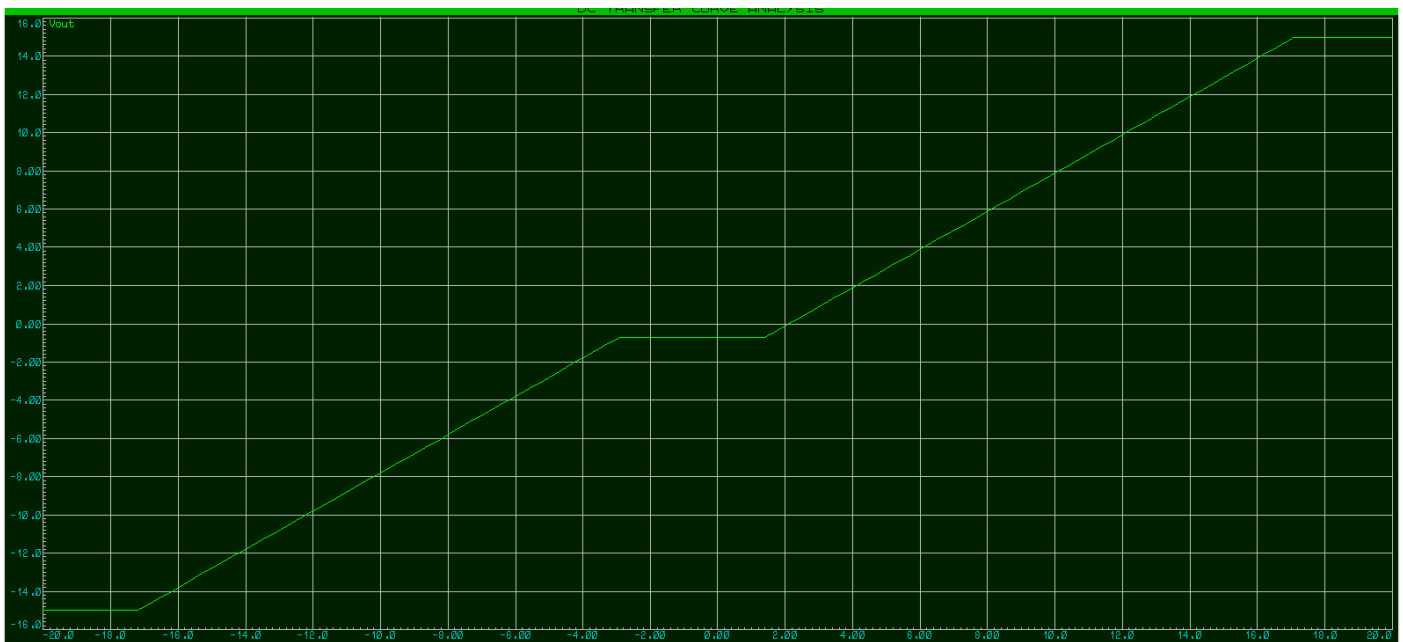


Figure 6 - Caractéristique de transfert $V_{out}(V_{in})$ avec $-20V < V_{in} < 20V$

On a $V_{out} = 0$ pour $-2,9V < V_{in} < 1,7V$ donc la zone de blocage du push pull $\Delta = 1.7 + 2.9 = 4.6V$, donc le suiveur de tension n'est pas parfait.

- On change maintenant de générateur V_{in} pour qu'il applique un sinus d'offset 0V, d'amplitude 5V et de fréquence 100Hz, on effectue une simulation sur 25ms

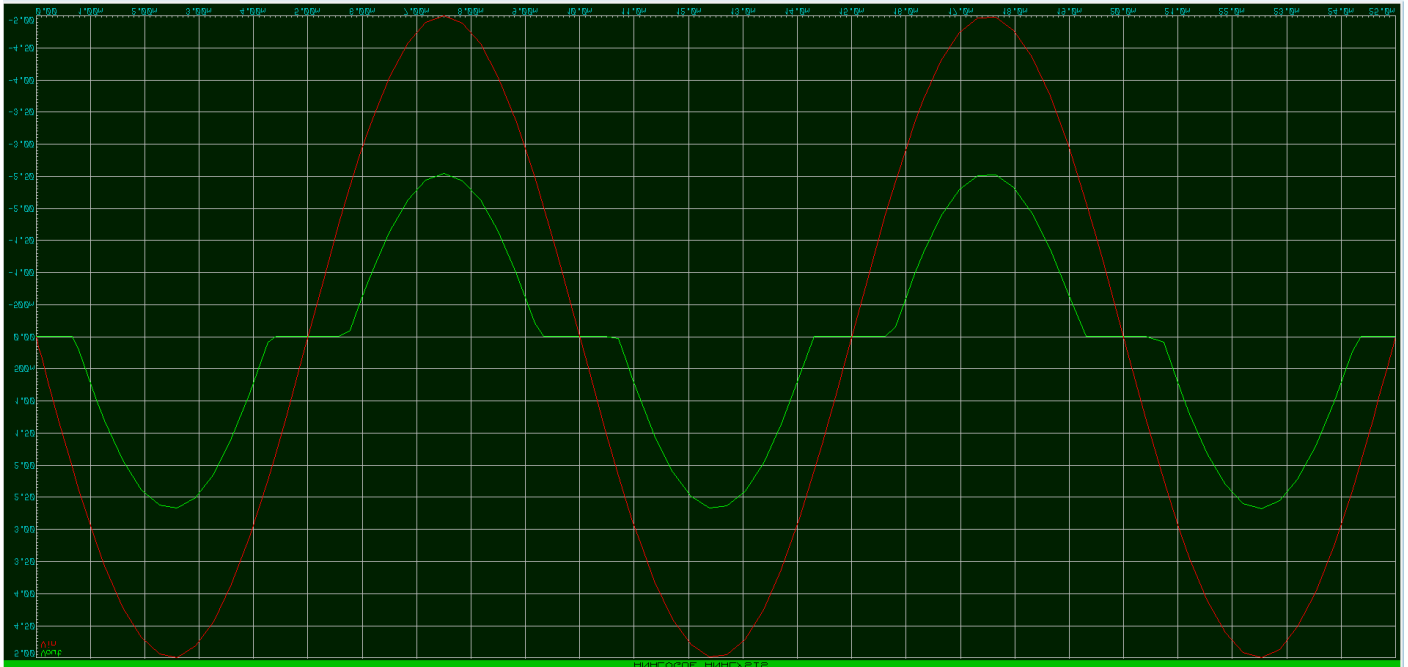


Figure 7 - Simulation temporelle de $V_{out}(t)$ et $V_{in}(t)$ sur 25ms

- D'après la figure ci-dessus, on peut voir une déformation remarquable du signal de sortie, cela est due à la zone de blocage du push pull étant très étendue $\Delta = 1.7 + 2.9 = 4.6V$, et donc notre $V_{out} = 0$ lorsque notre entrée sinusoïdale balaye entre les 2 valeurs $-2.9V$ et $1.7V$

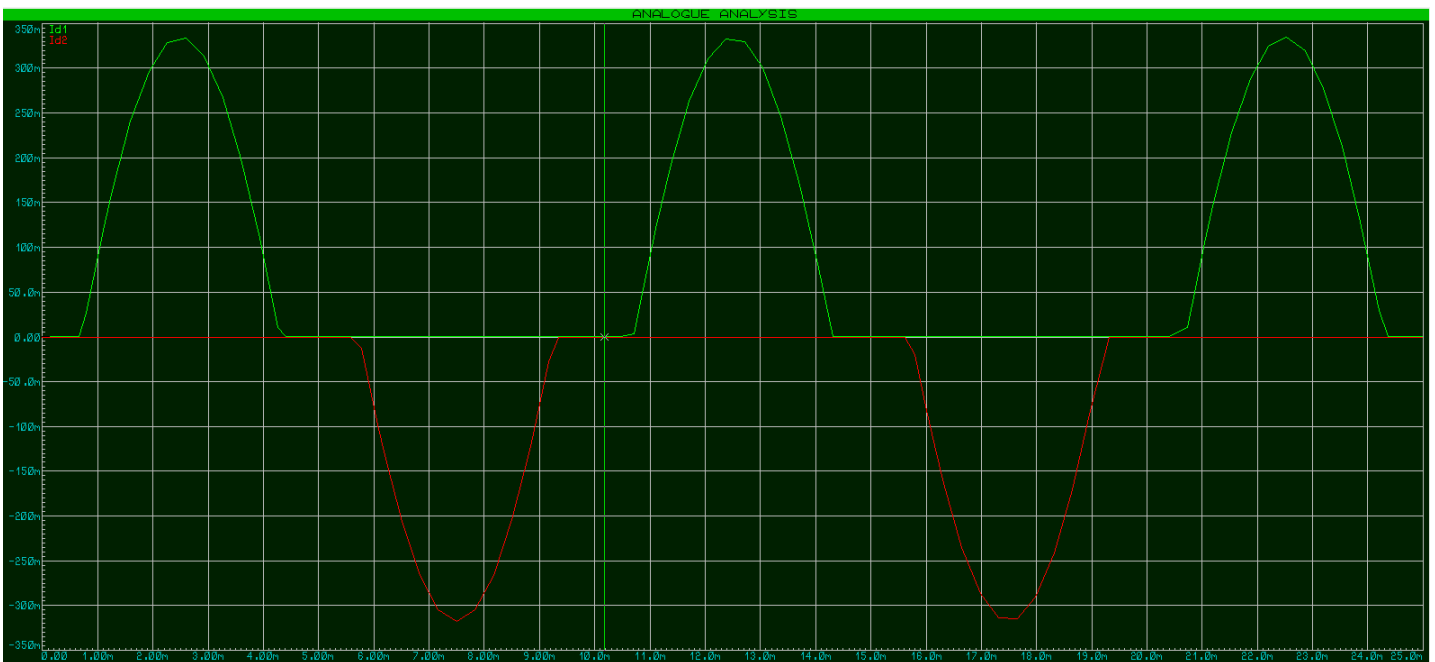


Figure 8 - L'effet push-pull du circuit

- le courant I_{D1} correspond au courant qui passe par la sortie du NMOS, donc le NMOS « pull » notre courant.
- le courant I_{D2} correspond au courant qui passe par la sortie du PMOS, donc le PMOS « push » notre courant.

- On peut remarquer la nature push-pull du circuit d'après la figure 5 qui reste imparfaite à cause de la tension de déchet et donc pour éliminer ce déchet, on passe à un schéma qui élimine les zones de blocage des 2 MOS responsable de l'imperfection.

IV.3. Elimination de la distorsion de croisement :

1) Schéma :

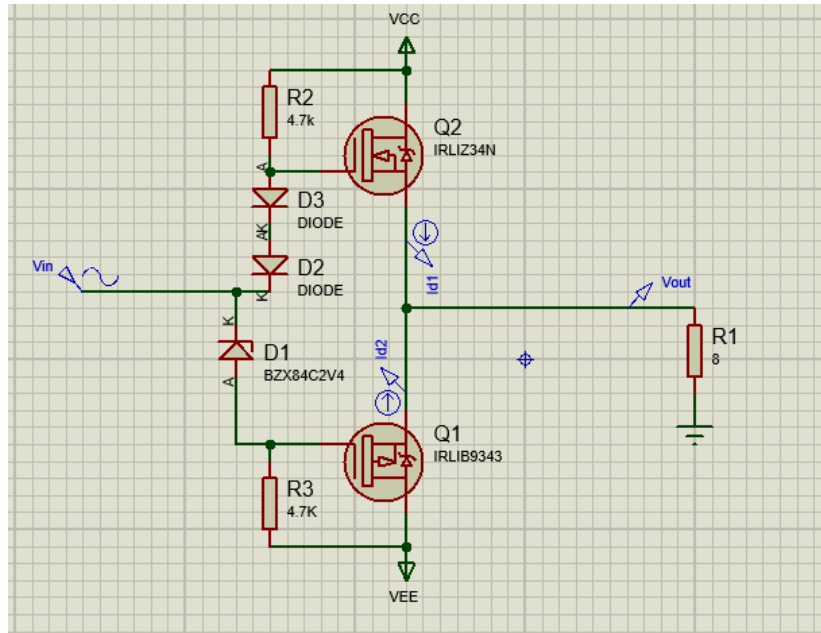


Figure 9 - Schéma du circuit push pull pour éliminer la distorsion de croisement

- Pour réduire la distorsion de croisement, on ajoute sur notre schéma une diode Zéner D1 coté PMOS, et deux diodes en série D2 et D3 coté NMOS

2) Simulation

- On simule encore la caractéristique de transfert du circuit et on obtient la courbe suivante :

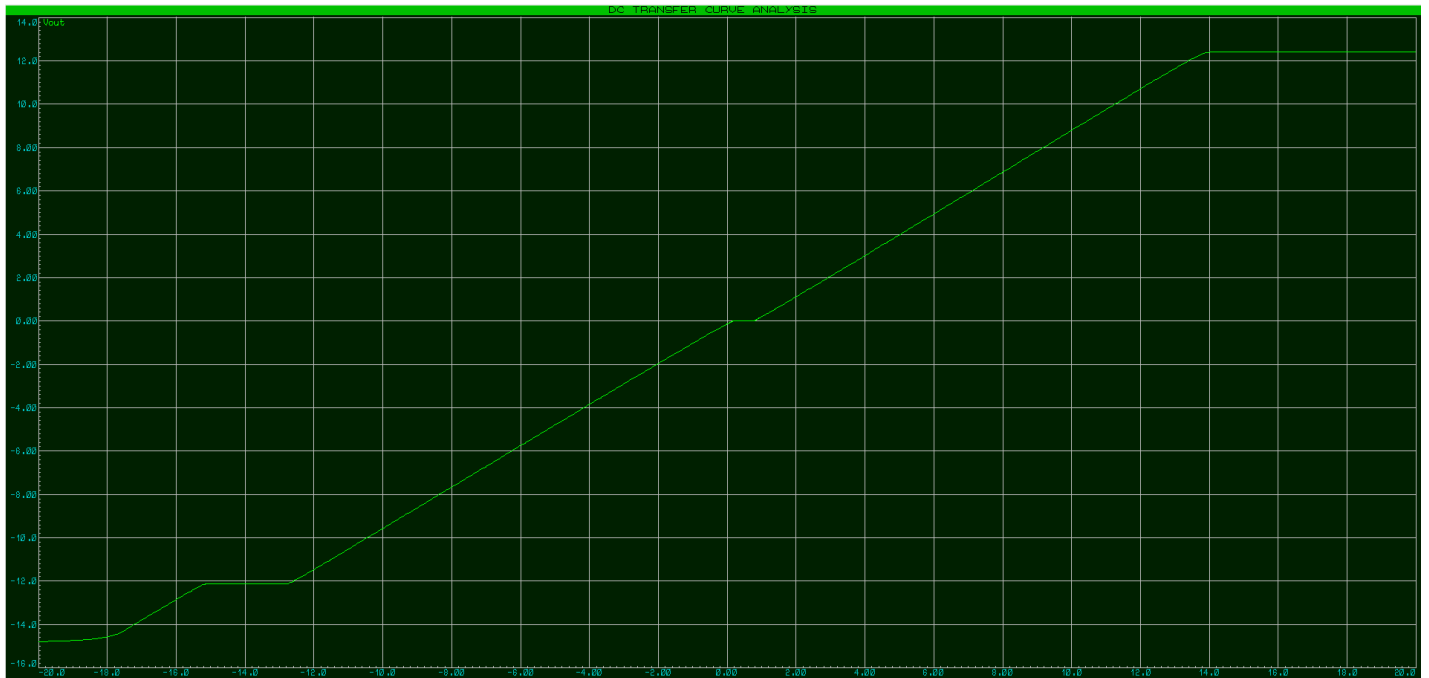


Figure 10 – La caractéristique de transfert $V_{out}(V_{in})$

- On voit sur la figure que la zone de blocage est quasi nulle. Pour vérifier, on injecte un sinus sur l'entrée comme dans la figure 4 :



Figure 11 - Simulation temporelle de $V_{out}(t)$ et $V_{in}(t)$ sur 25ms

- On vérifie ensuite la nature de notre circuit en simulant les courants aux sorties des transistors sur ~5ms :

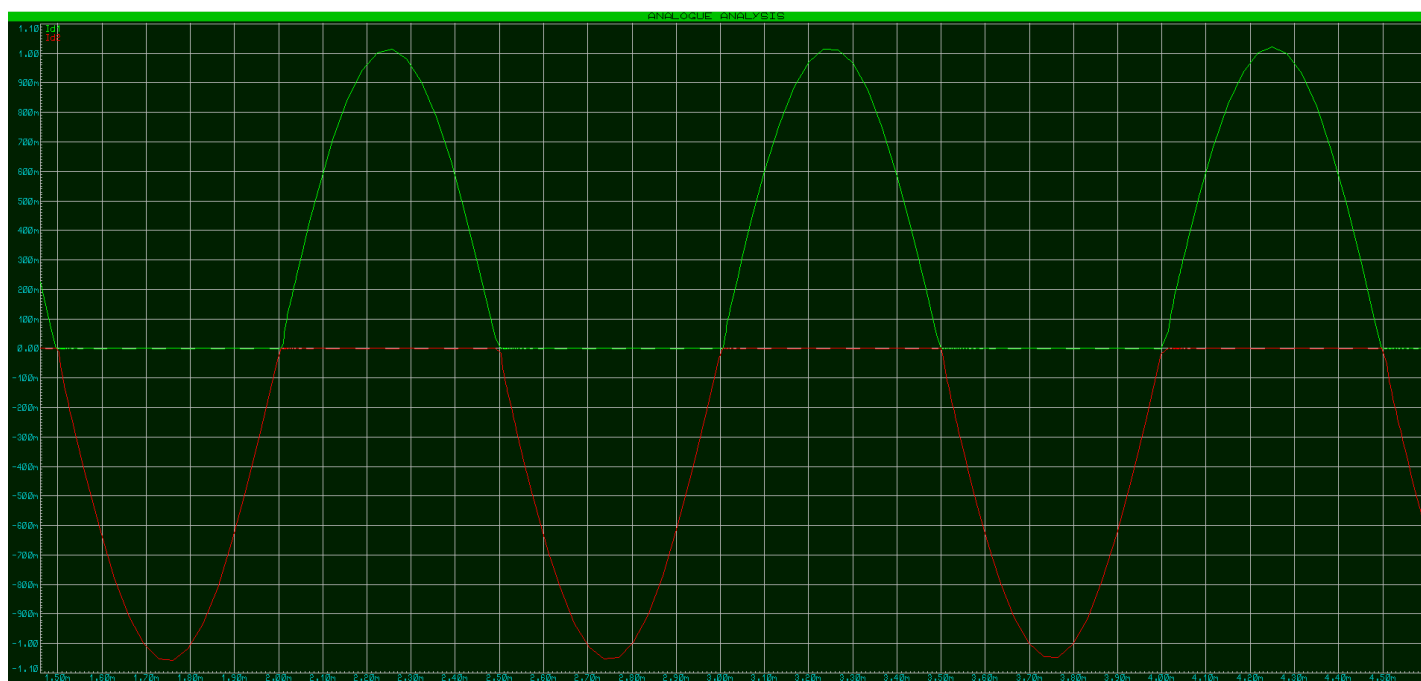


Figure 12 - L'effet push-pull du circuit

3) Impédance d'entrée :

- On simule à ce niveau l'impédance d'entrée sur un plan fréquentiel avec un générateur V_{sin} d'offset 2V

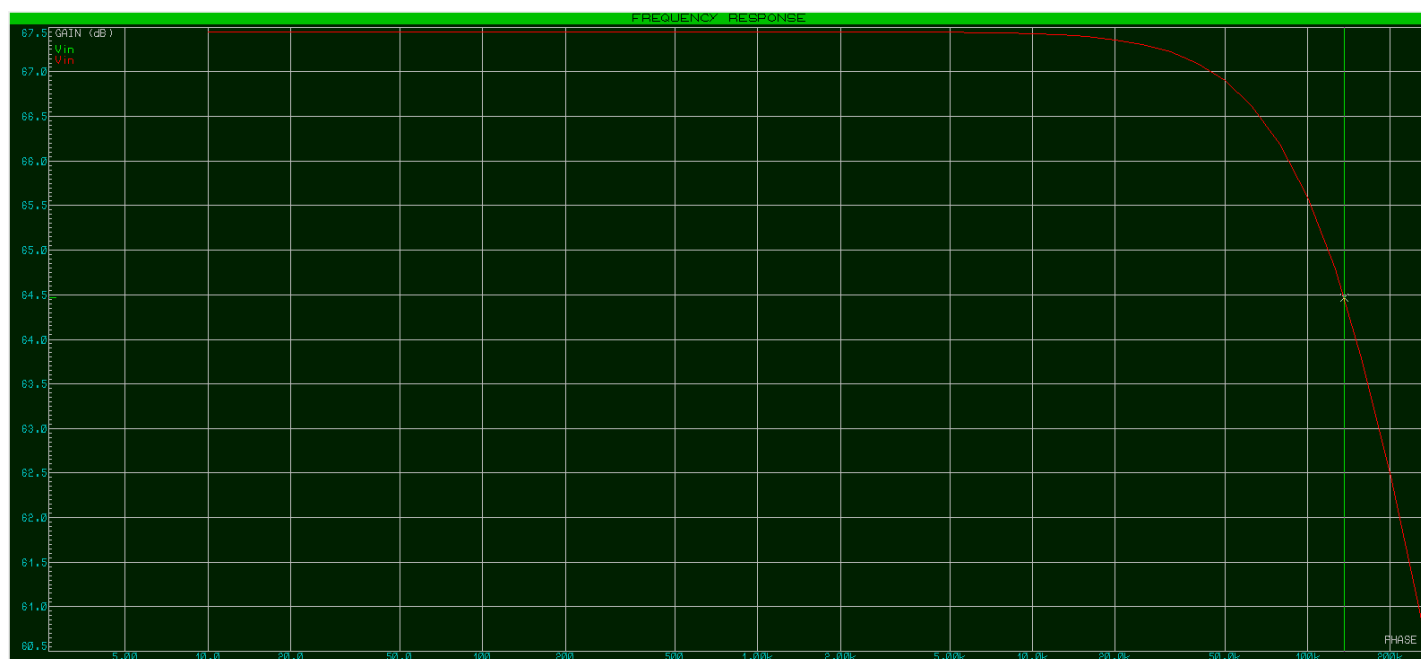


Figure 13 - Evolution d'impédance d'entrée en fonction de fréquence

IV.4. Circuit complet

1) Schéma :

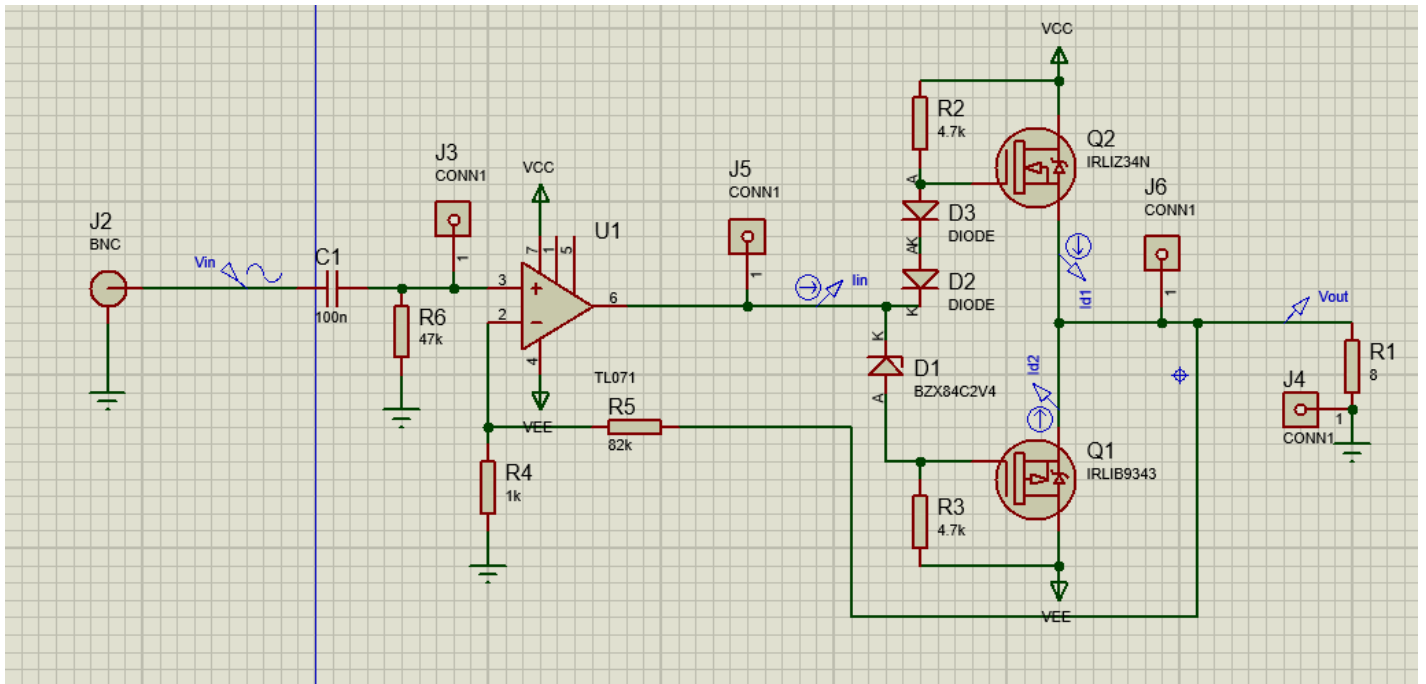


Figure 14 - Schéma du circuit entier amplificateur audio

- Pour répondre au cahier des charges et respecter les normes données, on prend $R_1 = 1k\Omega$, $R_2 = 82k\Omega$, $R_3 = 47k\Omega$, $C_3 = 100nF$
 - La fréquence de coupure du filtre passe-haut (C_3, R_3) a pour expression

$$f_c = \frac{1}{2\pi C_3 R_3}$$

cette fréquence d'après le cahier des charges doit être 40Hz, avec les valeurs choisies, on a $f_c = 33.88$ Hz qui n'est pas trop loin de la valeur recherchée

- Le gain global doit être 85. On choisit une résistance $R_2 = 82k\Omega$, ce qui impose $R_2 = 1k\Omega$. Avec ces résistances choisies, on obtient :

$$\frac{R_2}{R_1} = 82$$

2) Simulation :

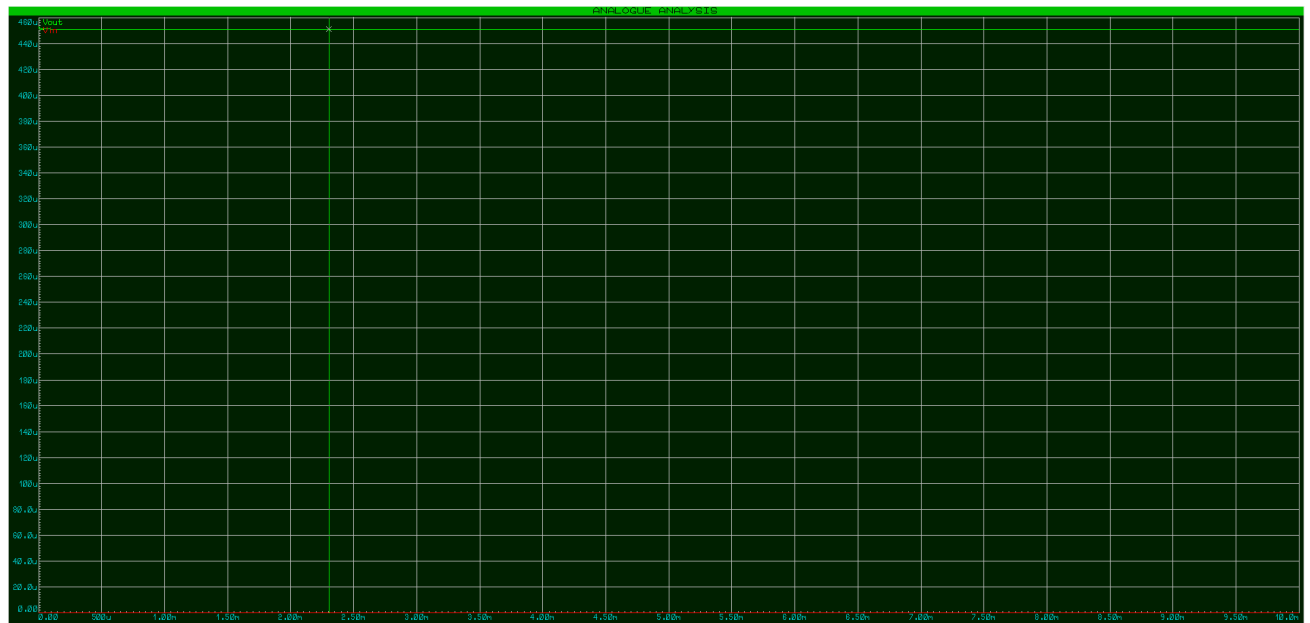


Figure 15 - Vout non nulle

V_0 non nulle à cause des dissymétries des composants réels, de la polarisation du push-pull, et de l'offset éventuel de l'AOP. Cela n'affecte pas le fonctionnement audio, tant que la composante continue reste faible par rapport au signal utile.

- On injecte un sinus à l'entrée à $F = 1kHz$ pour avoir $8V_{pp}$ en sortie

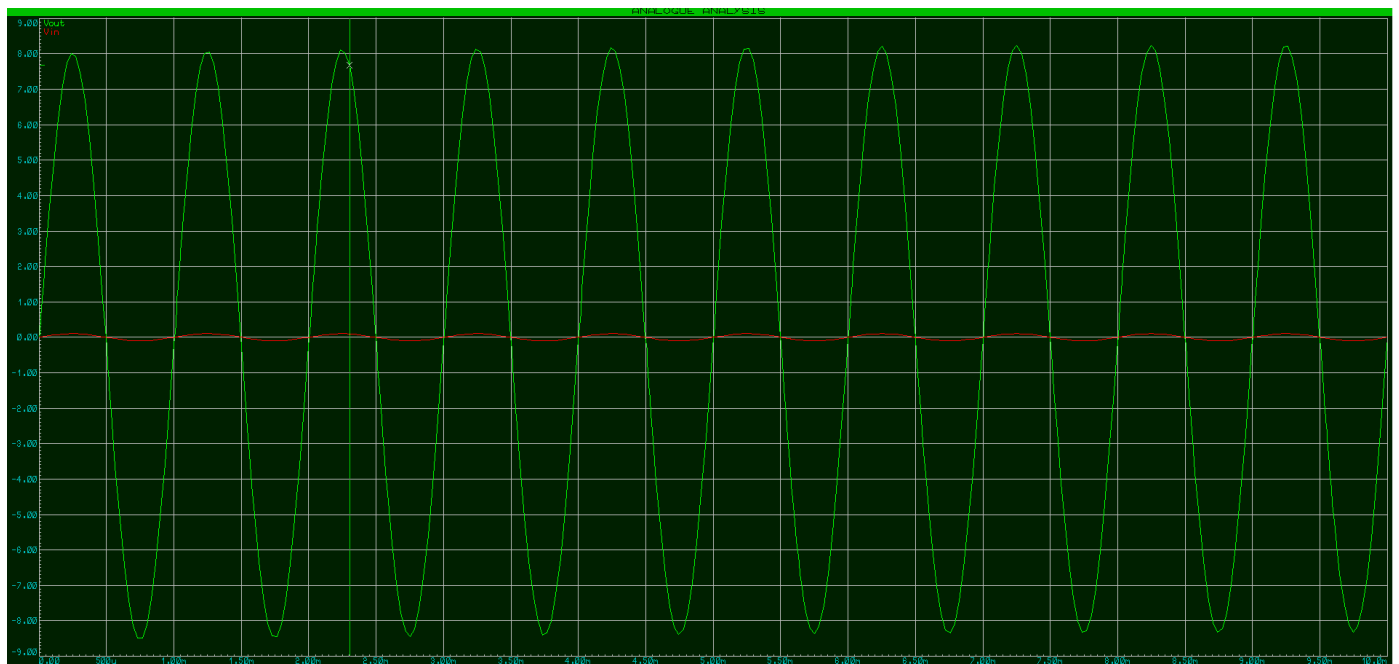


Figure 16 - Simulation temporelle de Vin et Vout

On remarque que la distorsion de croisement n'est pas visible, l'amplification correspond graphiquement à ~ 85

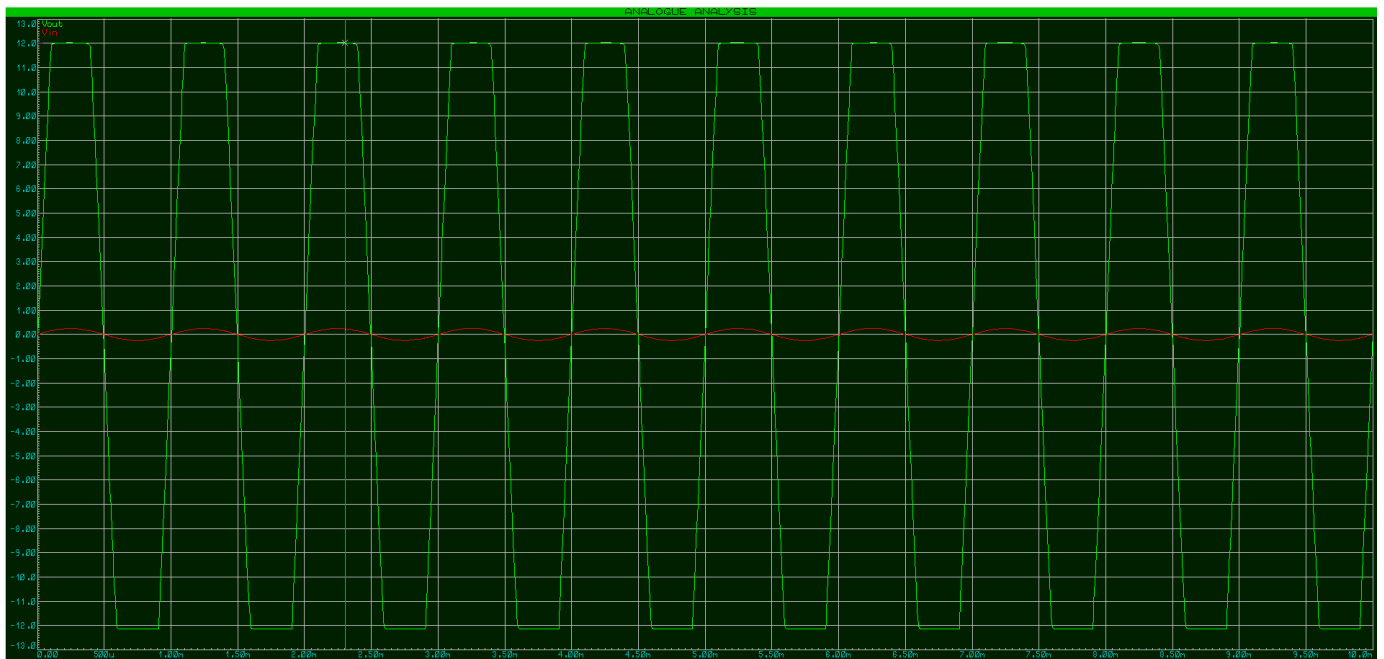


Figure 17 - Tension de décrêtage

- Pour une tension $V_{in} = 150mV$, on commence à observer l'écrêtage de la tension de sortie, la tension de déchet est $12.750 - 12 = 750mV$

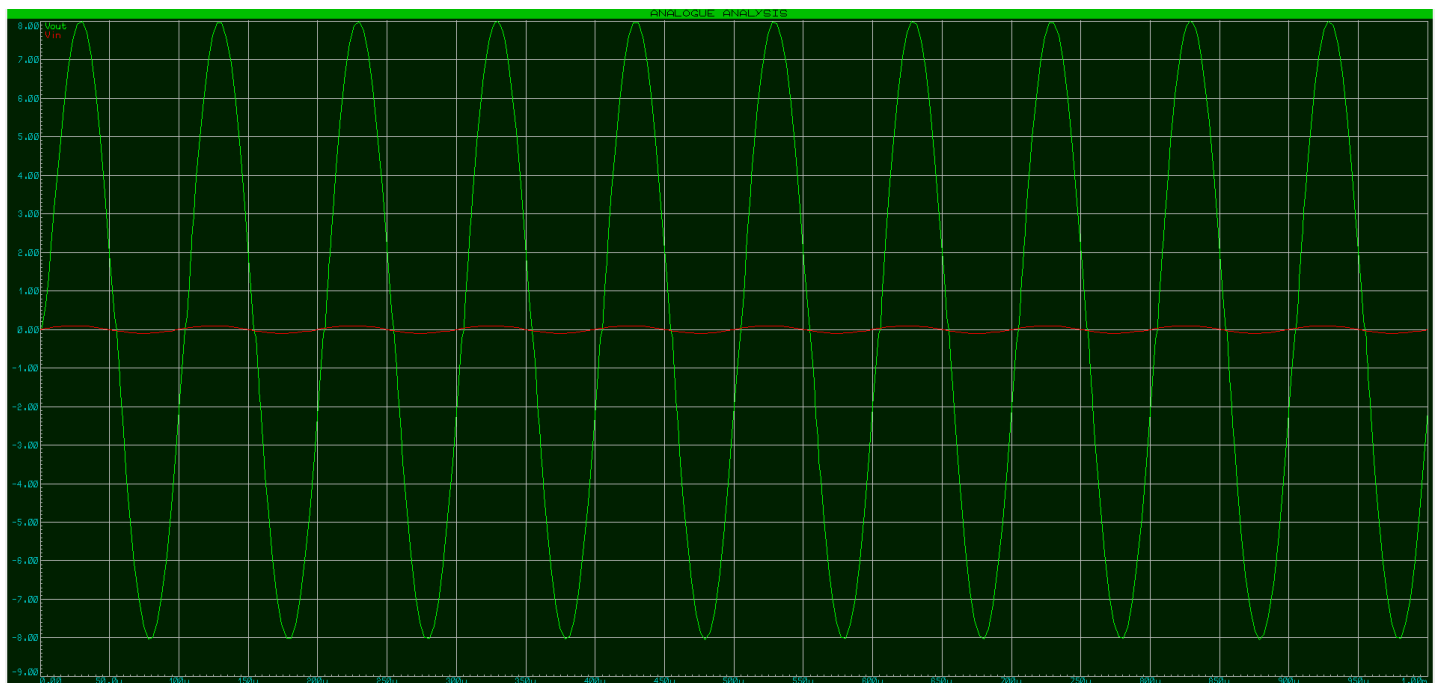


Figure 18 - à 10 kHz

- Il n'existe pas de déformations, et donc, à ces fréquences, notre signal reste identique malgré l'amplification.

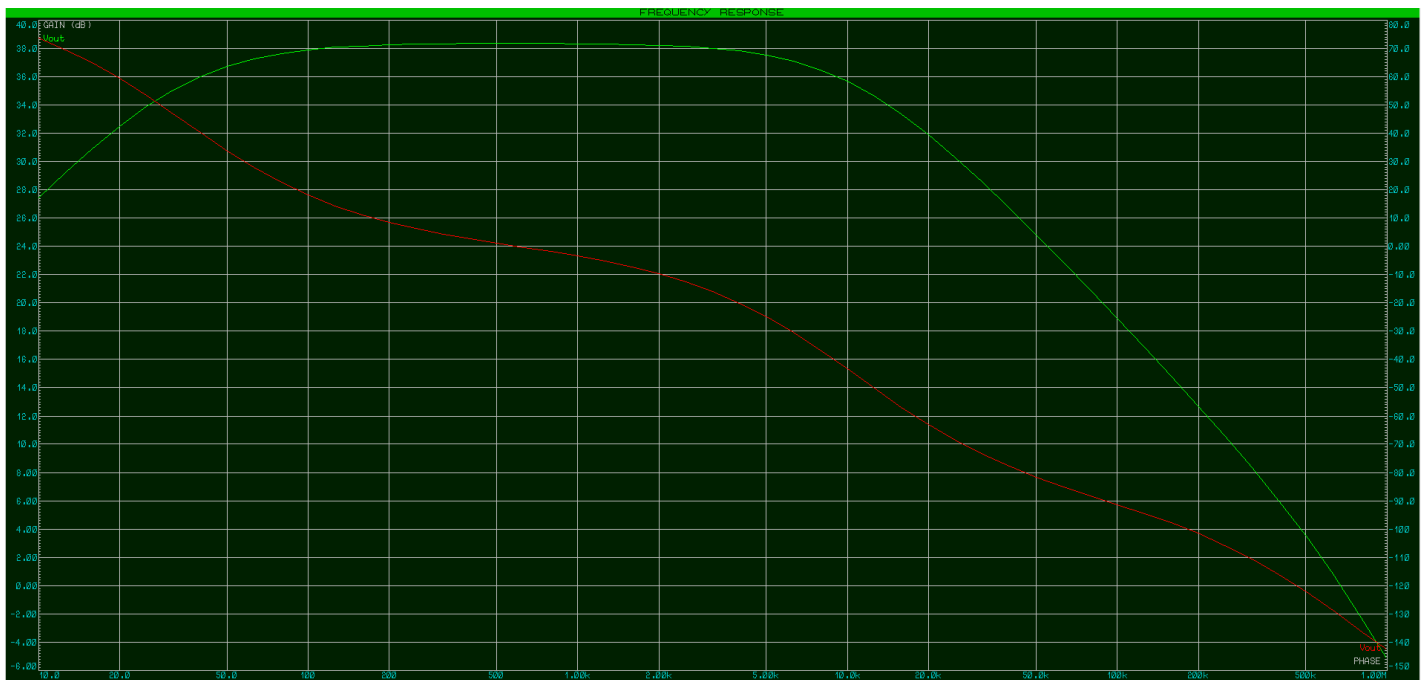


Figure 19 - Simulation fréquentielle

- La courbe verte de la figure 6 présente le gain en dB, on peut remarquer donc que la bande passante est $\sim [40\text{Hz}, 15\text{kHz}]$. C'est très proche de ce qui a été demandé dans le cahier des charges.

Conception du LAYOUT

La conception du LAYOUT a été réalisée à l'aide du module ARES du logiciel PROTEUS, en respectant les contraintes physiques et fonctionnelles du circuit. La carte a été définie à partir du schéma final du circuit complet, après ajout des éléments nécessaires à la fabrication : connecteurs d'alimentation (VCC, VEE, GND), points de test, embases BNC et condensateurs de découplage.

Les composants ont été placés de manière à :

- Minimiser la longueur des pistes critiques, notamment celles des condensateurs de découplage, du push-pull et de la charge, afin de réduire les pertes ohmiques et les perturbations liées à l'inductance des pistes.
- Respecter une organisation logique et lisible, avec les résistances orientées dans la même direction et les circuits intégrés correctement alignés.

Les pistes haute puissance ont été routées manuellement en largeur T30 ($\approx 0.75\text{ mm}$) sur la face inférieure (BOTTOM COPPER), afin de garantir une bonne tenue en courant, notamment pour l'étage push-pull. Le reste du routage a été terminé en semi-automatique, en veillant à éviter les pistes sous les dissipateurs des MOSFETs.

Les condensateurs de découplage ont été placés au plus près des broches d'alimentation de l'AOP et des MOSFETs.

Enfin, les points de test, ainsi que les identifiants des binômes ont été ajoutés sur la couche TOP COPPER, en rouge.

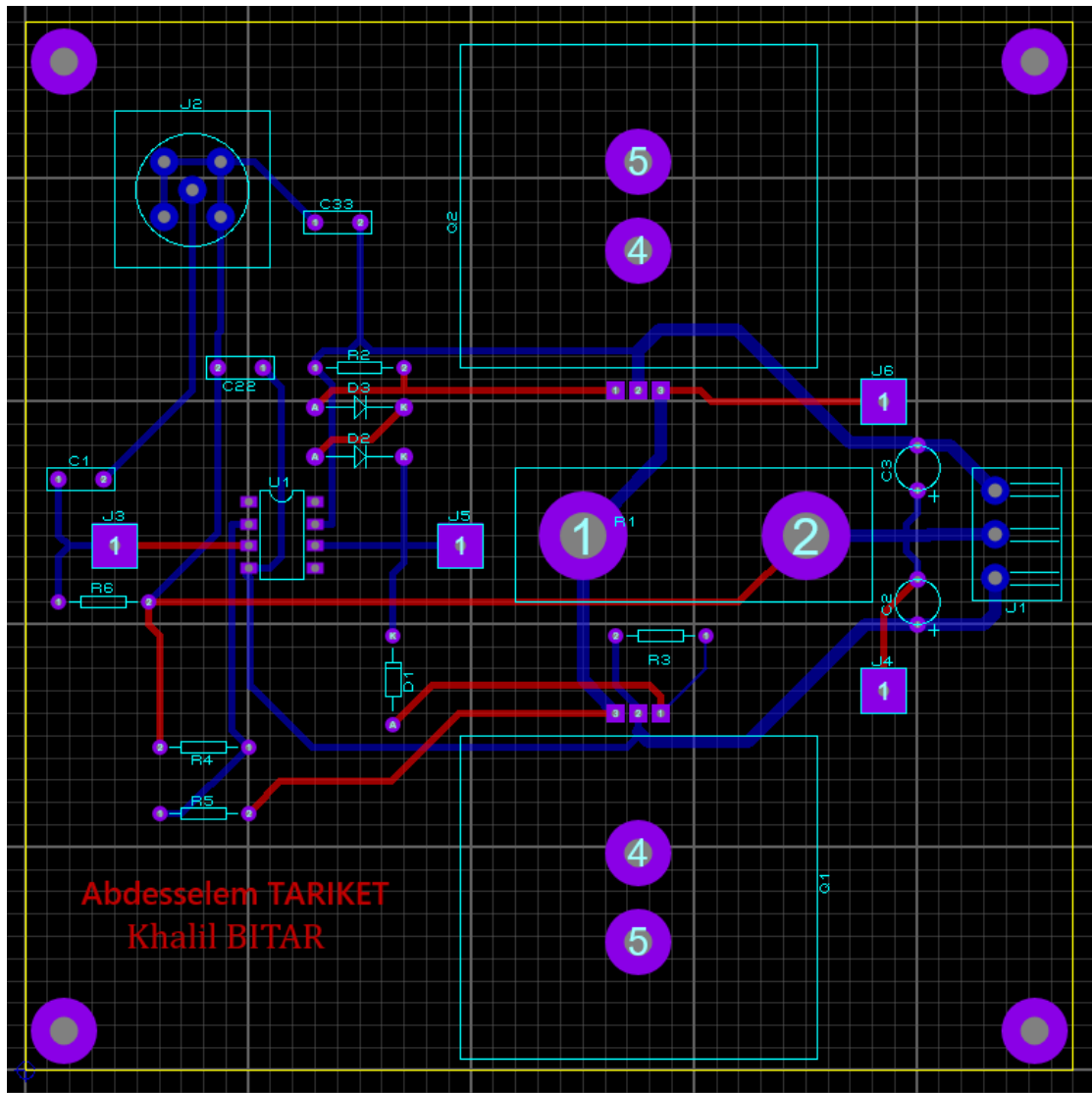


Figure 20 - Schéma PCB du circuit entier

TEST DE LA CARTE

- On injecte un signal d'entrée sinusoïdale d'amplitude 100mVpp, on observe sur la sortie :

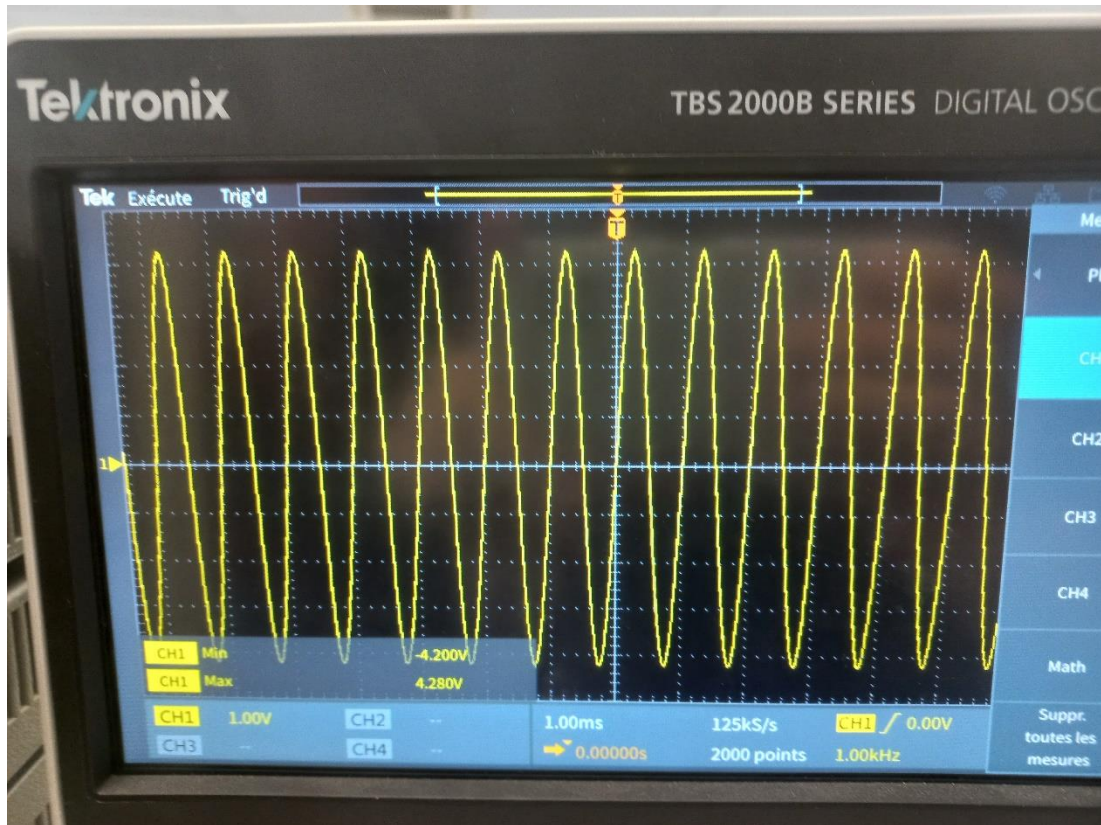


Figure 21 - Visualisation de la sortie sur l'oscilloscope

De crête à crête, l'amplitude de la tension de sortie vaut 8.48V, et donc le gain en amplitude du système est 84.8, la valeur recherchée est 85, donc notre circuit est système est très bon.

Pour déterminer la bande passante, on continue à augmenter la fréquence, et en utilisant la méthode des 7 carreaux, on trouve que la fréquence de coupure vaut 16kHz

- On augmente ensuite la tension d'entrée jusqu'à qu'on observe le phénomène d'écrêtage sur la sortie :

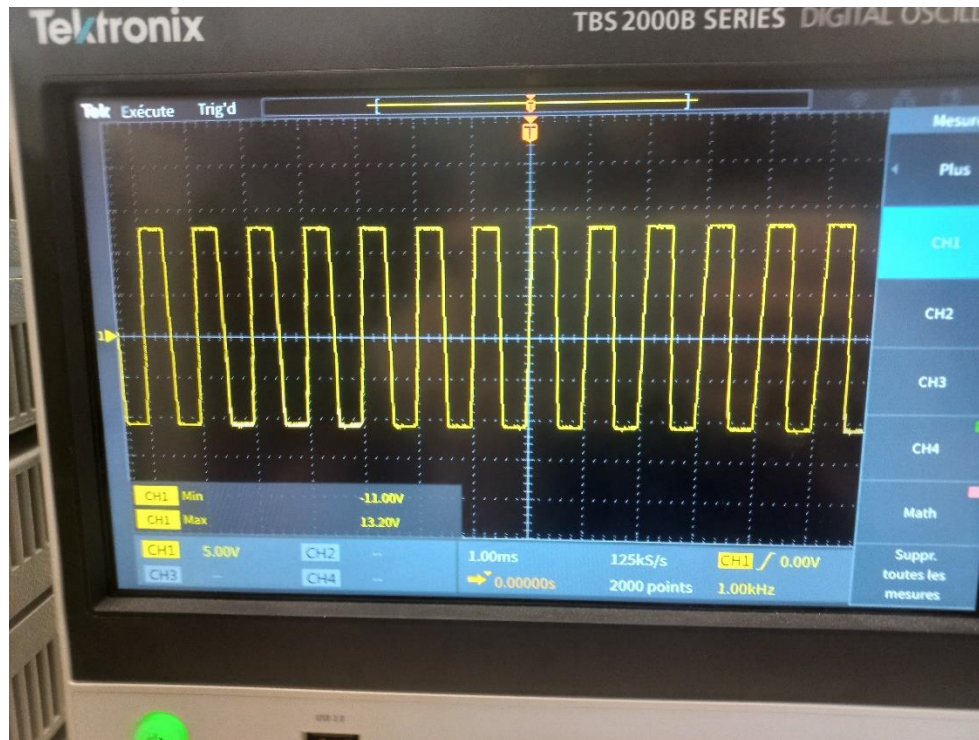


Figure 22 - Ecrêtage du signal de sortie

- La tension de sortie s'écrête à 13.2V et -11V

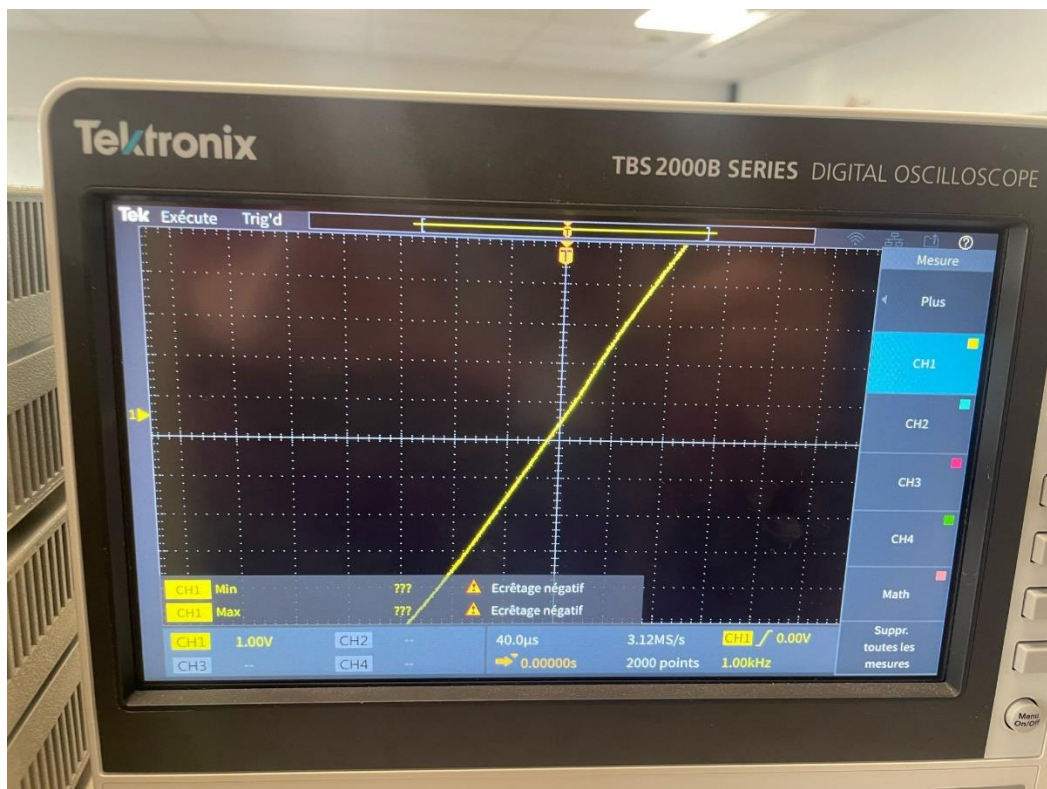


Figure 23 - Slew-rate

- On calcule le slew-rate d'après l'oscilloscope

$$\frac{4 + 4}{(40 + 60)\mu s} = 80V/ms$$

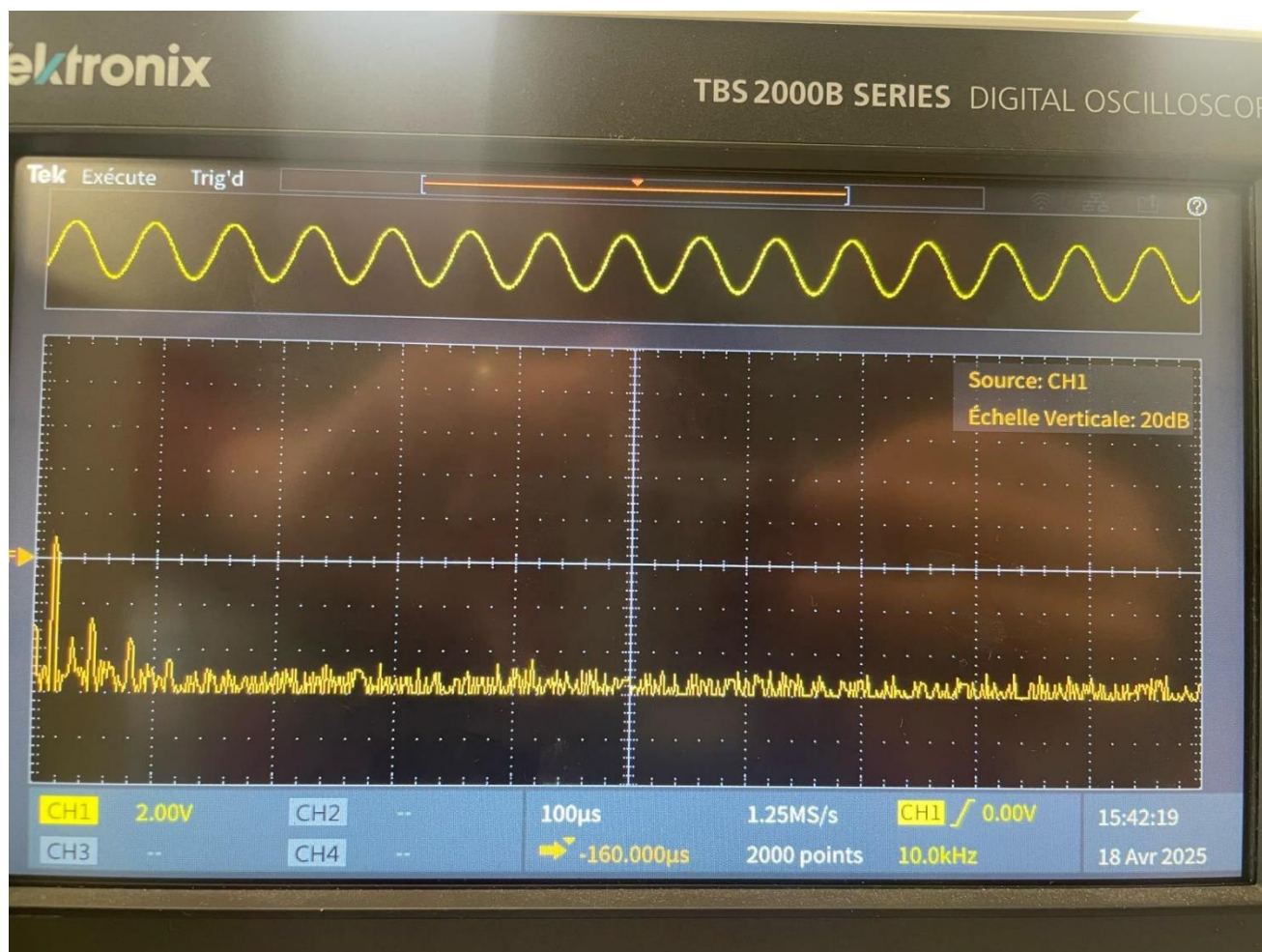


Figure 24 - FFT du signal de sortie