

数电实验5

【实验题目】

- 使用 Vivado 进行仿真

【实验目的】

- 熟悉 Vivado 软件的下载、安装及使用
- 学习使用 Verilog 编写仿真文件
- 学习使用 Verilog 进行仿真，查看并分析波形文件

【实验环境】

- PC 一台
- vlab.ustc.edu.cn
- Vivado 工具

【实验步骤】

Step1. 下载并安装 Vivado 环境（在这里我使用了虚拟机）

Step2. 建立 Vivado 工程

Step3. 添加 Verilog 设计文件

Step4. 添加仿真文件

Step5. 波形仿真

Step6. 掌握Verilog 仿真文件常用语法

【实验练习】

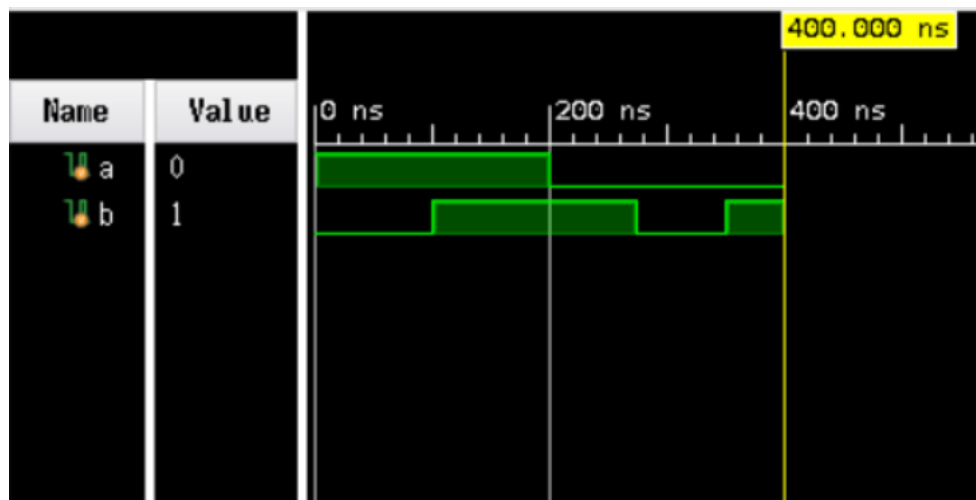
T1

```
1 module T1();
2     reg a,b;
3     initial//对a的操作
4         begin
5             a=1;
6             #200 a=~a;
7             #200 $stop;
8         end
9     initial//对b的操作
10        begin
11            b=0;
12            #100 b=~b;
13            #175 b=~b;
14            #75 b=~b;
```

```

15         #50 $stop;
16     end
17 endmodule
18

```



T2

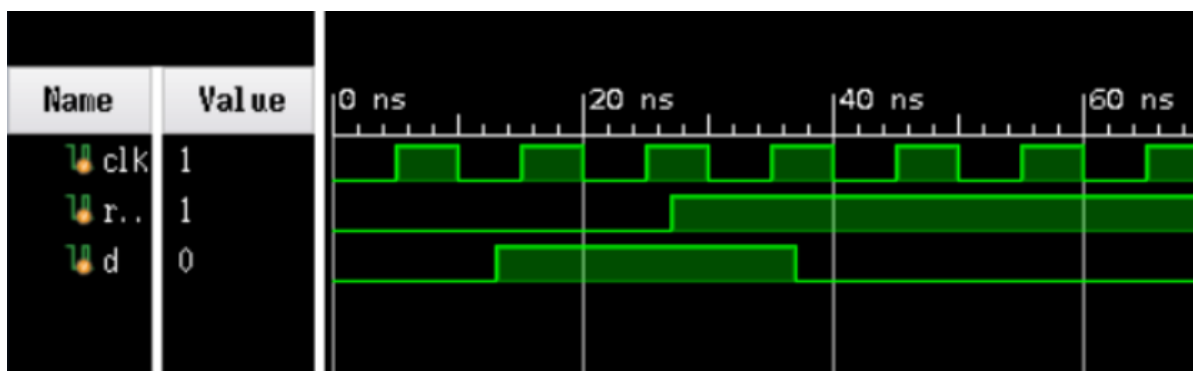
编写仿真文件

```

1 module Q2();
2     reg clk,rst_n,d;
3     initial//clk时钟信号
4         clk=0;
5         always #5 clk=~clk;
6     initial//rst_n
7     begin
8         rst_n=0;
9         #27 rst_n=~rst_n;
10    end
11    initial//d
12    begin
13        d=0;
14        #13 d=~d;
15        #24 d=~d;
16    end
17 endmodule

```

对clk,rst_n,d进行仿真，得到波形图如下：

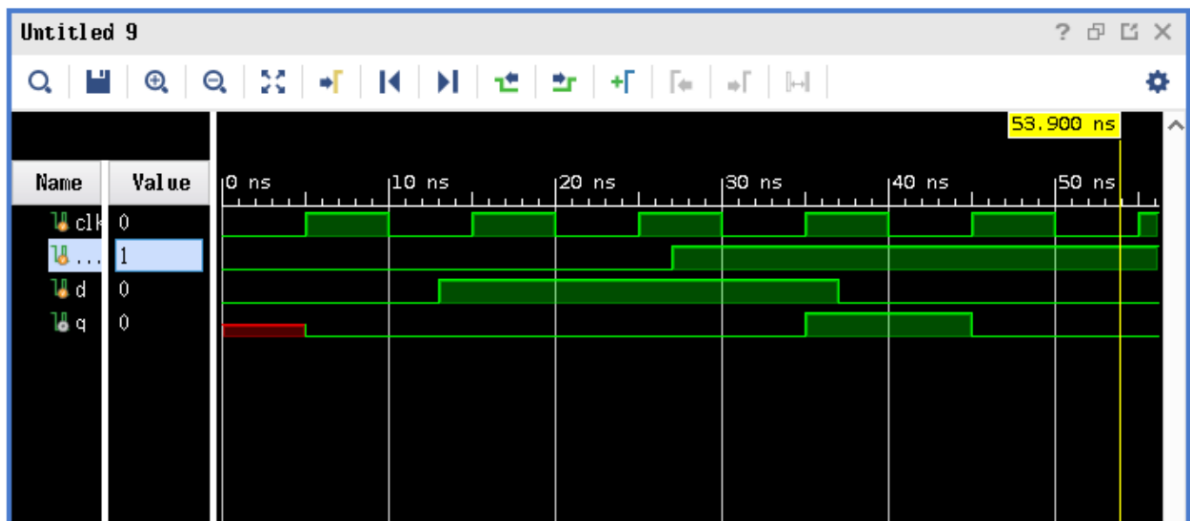


T3

将题目三中的代码作为设计文件：

```
1  module T3();
2  reg clk,rst_n,d;
3  wire q;
4  d_ff_r d_ff_r(.clk(clk),.rst_n(rst_n),.d(d),.q(q));
5  initial
6      clk=0;
7      always #5 clk=~clk;
8  initial
9      begin
10         rst_n=0;
11         #27 rst_n=~rst_n;
12     end
13  initial
14      begin
15         d=0;
16         #13 d=~d;
17         #24 d=~d;
18     end
19  endmodule
20
21  module d_ff_r(
22  input clk,rst_n,d,
23  output reg q);
24  always@(posedge clk)
25      begin
26          if(rst_n==0)
27              q <= 1'b0;
28          else
29              q <= d;
30          end
31  endmodule
```

波形图如下：



由于一开始未给q赋值，因此刚开始为不确定值X。

T4

设计文件

```
1 module Design(A,E1,E2_low,E3_low,Y_low);
2     input [2:0] A;
3     input E1; //高电平有效使能端
4     input E2_low;//低电平有效使能端
5     input E3_low;//低电平有效使能端
6     output [7:0] Y_low;//8位输出，低电平有效
7     reg [7:0] Y_low;
8     always @ (A or E1 or E2_low or E3_low)
9     begin
10         if(E1 && ~E2_low && ~E3_low)
11             //使能输入有效
12             case(A)//输出低电平有效，所以是0
13                 3'b000 : Y_low = 8'b11111110;
14                 3'b001 : Y_low = 8'b11111101;
15                 3'b010 : Y_low = 8'b11111011;
16                 3'b011 : Y_low = 8'b11110111;
17                 3'b100 : Y_low = 8'b11101111;
18                 3'b101 : Y_low = 8'b11011111;
19                 3'b110 : Y_low = 8'b10111111;
20                 3'b111 : Y_low = 8'b01111111;
21                 default : Y_low = 8'b11111111;
22             endcase
23             else//使能输入无效
24                 Y_low = 8'b11111111;
25         end
26     endmodule
```

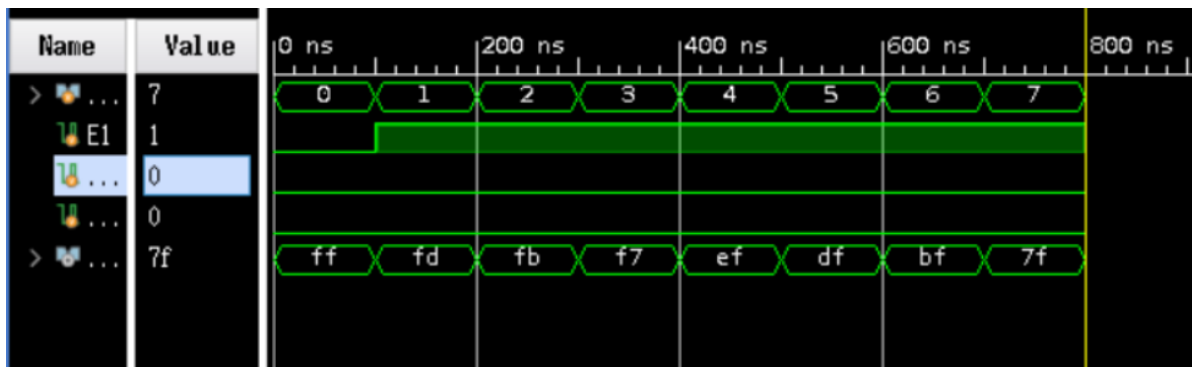
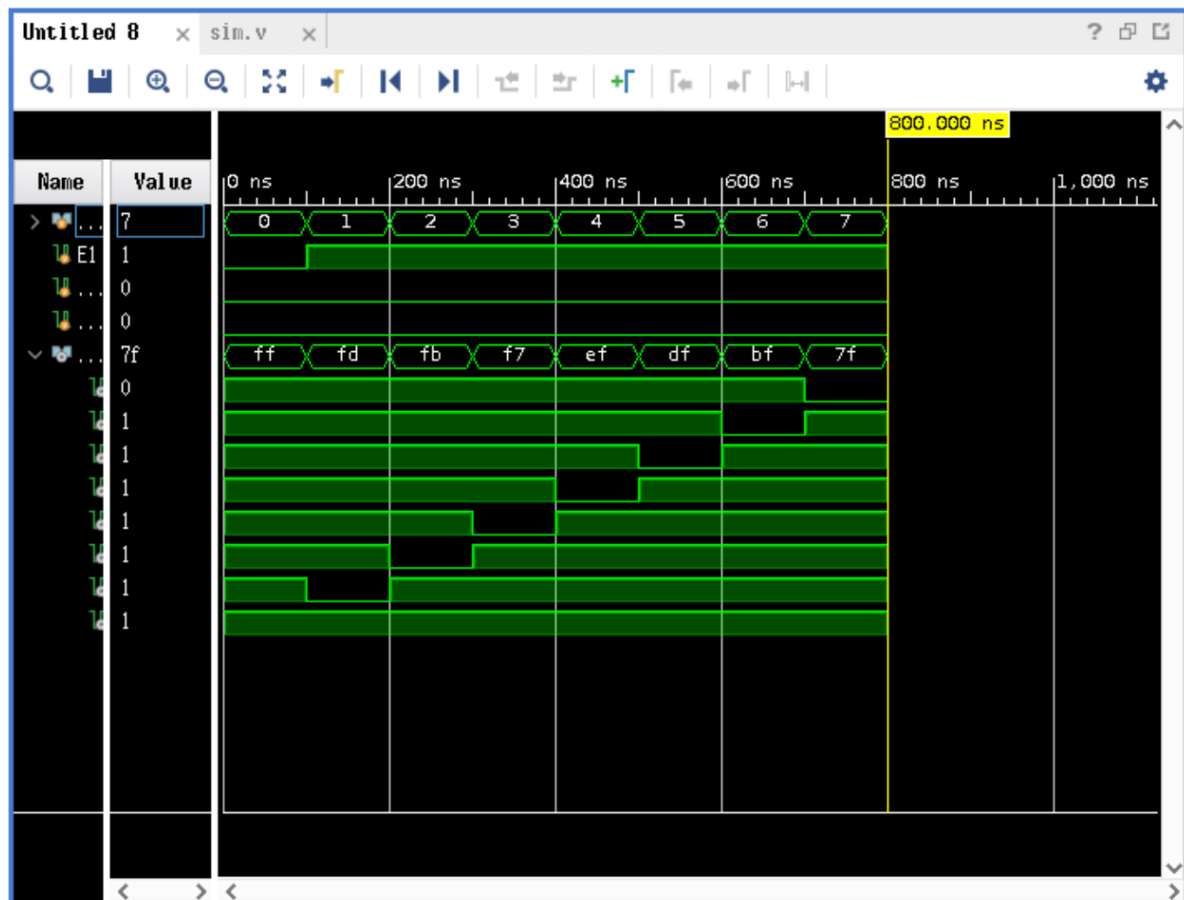
仿真测试文件

```
1 module sim1();
2     reg [2:0] A;
3     reg E1;
4     reg E2_low;
5     reg E3_low;
6     wire [7:0] Y_low;
7     Design simu (A,E1,E2_low,E3_low,Y_low);
8     initial
9     begin
10         E1=0;
11         E2_low=0;
12         E3_low=0;//使能无效
13         A=3'b000;
14         #100 //延时100ns
15         E1=1;
16         E2_low =0;
17         E3_low=0;//使能有效
18         A=3'b001;#100
19         A=3'b010;#100
20         A=3'b011;#100
21         A=3'b100;#100
```

```

22     A=3'b101;#100
23     A = 3'b110;#100
24     A = 3'b111;#100 $stop;
25 end
26 endmodule

```



【总结与思考】

收获：学会了运用Vivado进行编写、仿真

难易程度：一般

建议：可以在指导手册上更详细一点介绍vivado的功能