

数电实验二

实验题目: *Logisim*入门

学生姓名: 王涵

学生学号: *PB21111723*

完成日期: 2022.10.20

【实验题目】

简单组合逻辑电路

【实验目的】

- 1.熟练掌握 Logisim 的基本用法
- 2.进一步熟悉 Logisim 更多功能
- 3.用 Logisim 设计组合逻辑电路并进行仿真
- 4.初步学习 Verilog 语法

【实验环境】

PC 一台,能流畅的连接校园网

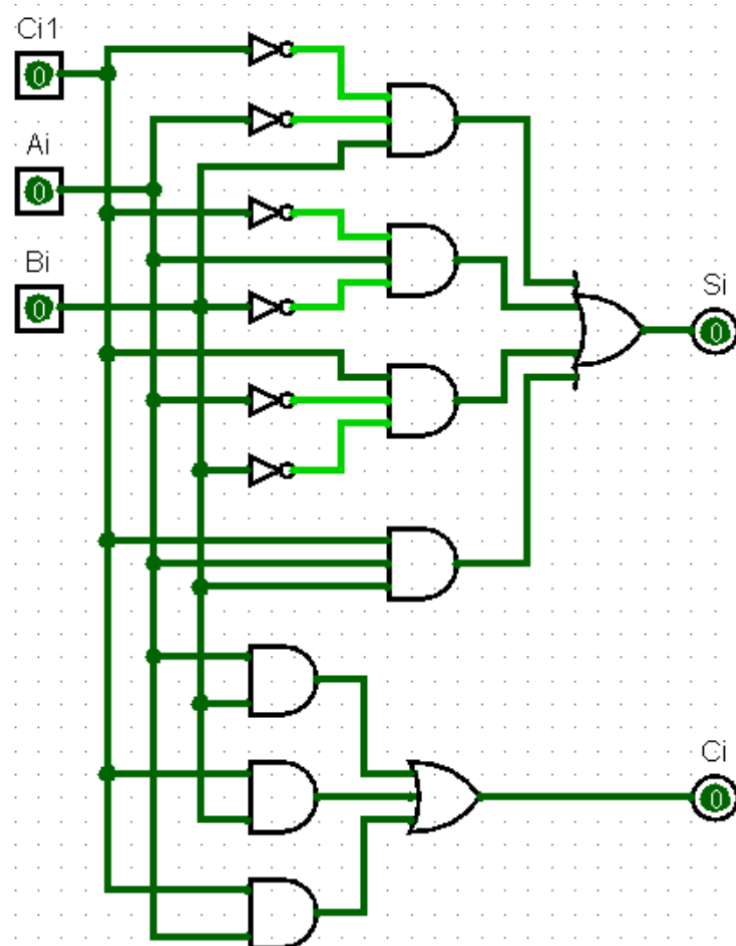
Logisim 仿真工具

vlab.ustc.edu.cn

【实验过程】

T_1

依据真值表, 通过 Logisim 编辑真值表功能, 完成电路设计。

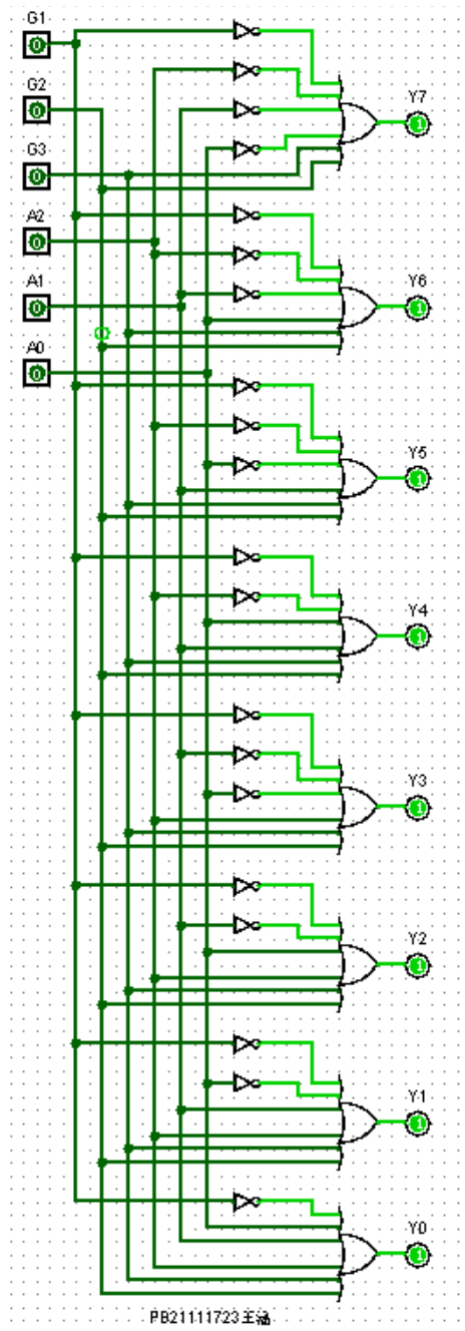


王涵 PB21111723

$Ci1$	Ai	Bi	Si	Ci
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

T_2

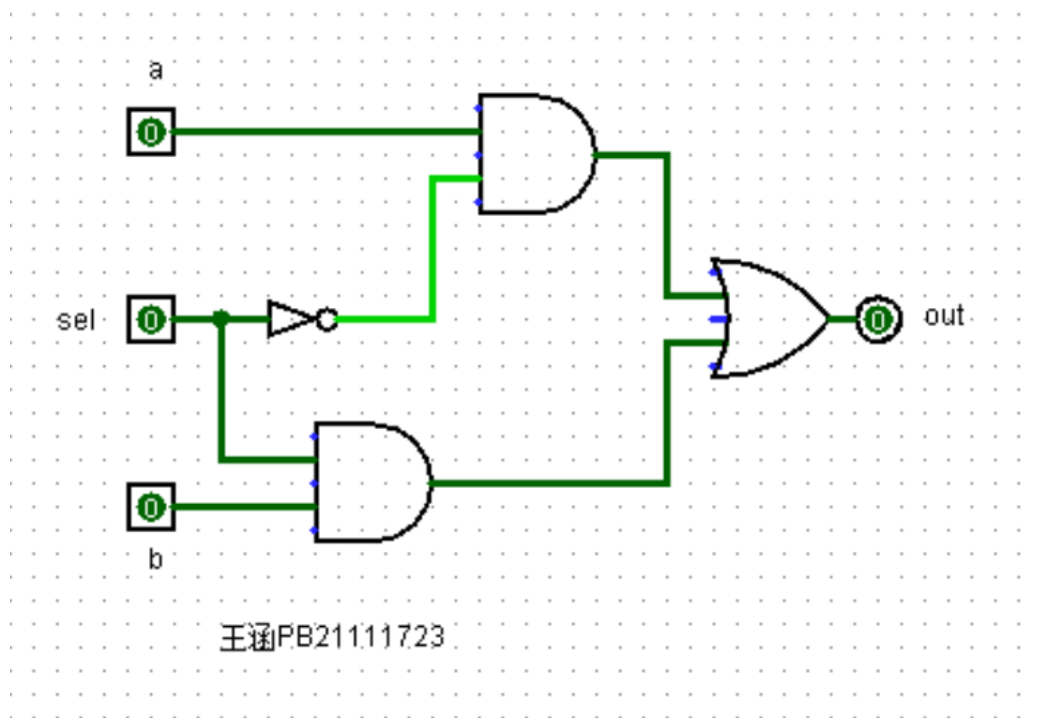
根据下列真值表，通过 Logisim 的编辑表达式功能完成电路设计



1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	0	1
1	0	0	0	1	0	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1
1	0	0	1	0	0	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	0	1	1	1	1
1	0	0	1	1	0	1	0	1	1	1	1	1
1	0	0	1	1	1	0	1	1	1	1	1	1

T_3

二选一数据选择器，当sel=0时通a，当sel=1时通b。



verilog代码如下,

```

1  module mux2_1(
2
3      input  a,
4
5      input  b,
6
7      input  sel,
8
9      output out
10
11 );
12
13 assign out = sel?b:a;
14
15 endmodule

```

T_4

通过例化题目 3 中的二选一选择器，用 Verilog 实现一个四选一选择器，并画出对应的电路图

```

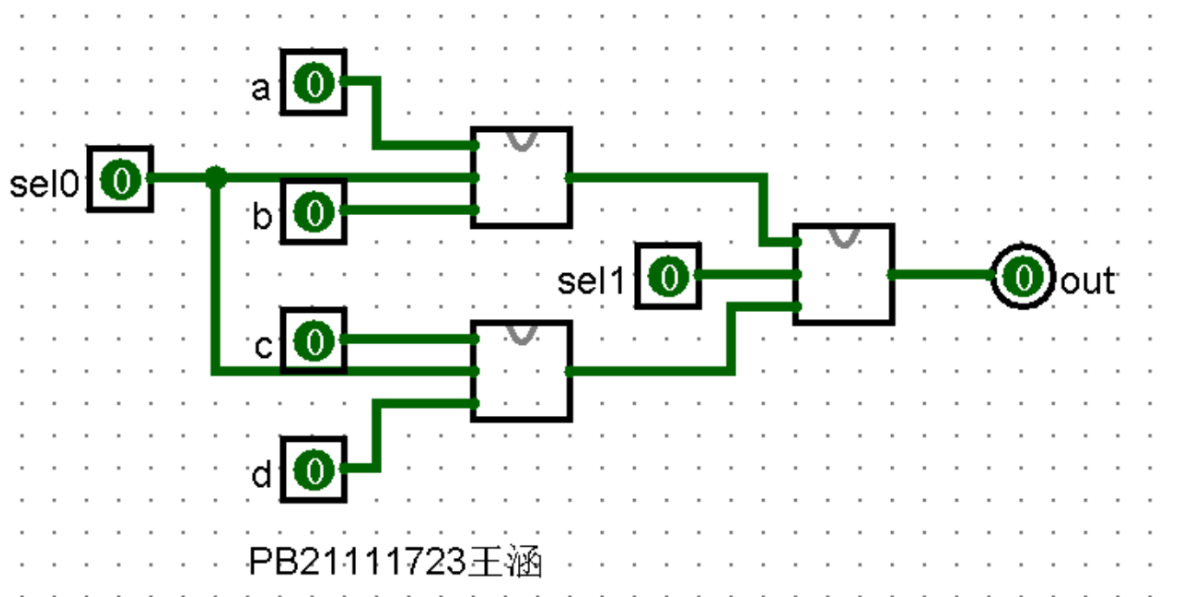
1  module mux4_1(a,b,c,d,sel0,sel1,out);
2      input a,b,c,d,sel0,sel1;
3      output out;
4      wire carry1,carry2;
5      mux2_1 mux2_1_1(
6          .a(a),
7          .b(b),
8          .sel(sel0),
9          .out(carry1)
10     );
11     mux2_1 mux2_1_2(
12         .a(c),

```

```

13         .b(d),
14         .sel(sel0),
15         .out(carry2)
16     );
17     mux2_1 mux2_1_3(
18         .a(carry1),
19         .b(carry2),
20         .sel(sel1),
21         .out(out)
22     );
23 endmodule

```



T_5

根据前面用到的八位优先编码器真值表，编写 verilog 代码。

```

1 module mux8_3(
2     input  i0,i1,i2,i3,i4,i5,i6,i7,
3     output y0,y1,y2
4 );
5 assign y2 = i7 | (~i7 & i6) | (~i7 & ~i6 & i5) | (~i7 & ~i6 & ~i5 & i4);
6 assign y1 = i7 | (~i7 & i6) | (~i7 & ~i6 & ~i5 & ~i4 & i3) | (~i7 & ~i6 & ~i5
& ~i4 & ~i3 & i2);
7 assign y0 = i7 | (~i7 & ~i6 & i5) | (~i7 & ~i6 & ~i5 & ~i4 & i3) | (~i7 & ~i6
& ~i5 & ~i4 & ~i3 & ~i2 & i1);
8 endmodule
9

```

T_6

题中所示verilog代码如下

```
1 module test(  
2   input a,b,c,  
3   output s1,s2);  
4   assign s1= ~a & ~b & c | ~a & b & ~c | a & ~b & ~c | a & b & c;  
5   assign s2= ~a & b & c | a & ~b & c | a & b & ~c | ~a & ~b & ~c;  
6 endmodule
```

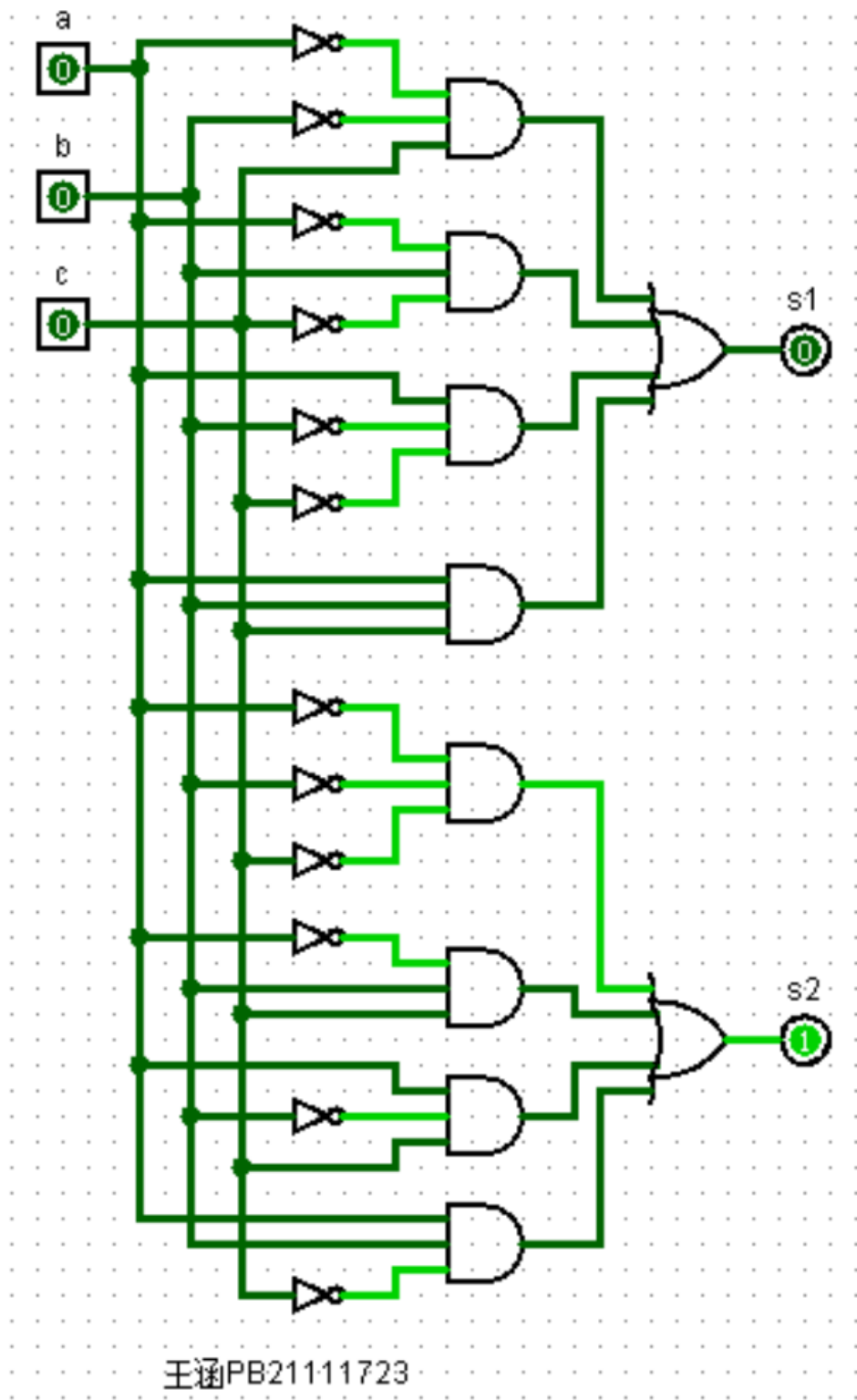
可根据代码写出 s_1, s_2 的逻辑函数表达式：

$$s_1 = \bar{a}\bar{b}c + \bar{a}b\bar{c} + a\bar{b}\bar{c} + abc$$

$$s_2 = \bar{a}bc + a\bar{b}c + ab\bar{c} + \bar{a}\bar{b}\bar{c}$$

再根据逻辑函数表达式

进入logisim的"project->Analyse Circuit->Expression"然后分别将 s_1, s_2 的表达式填入，从而建立电路图。



功能是当a,b,c中有奇数个1时 $s_1 = 1, s_2 = 0$;

当有偶数个1时, $s_1 = 0, s_2 = 1$ 。

【总结与思考】

1. 收获：通过完成以上6个题目，更深入了解认识了 *logisim* 的使用，学会了简单组合逻辑电路的 Verilog 代码表示，并学会了模块的例化。
2. 难易程度：实验本难度不大，几个小时的工作量。
3. 建议课件上给出更多的案例并且更详细的讲解所需要用的知识。