

数电实验3

【实验题目】

我们通过之前的实验应该能够达到熟练使用 Logisim 工具以及阅读、编写简单组合逻辑 Verilog HDL 代码的程度。因此本次实验我们将使用 Logisim 设计简单时序电路，并学习用 Verilog 语言描述简单时序逻辑电路。

【实验目的】

- 掌握时序逻辑相关器件的原理及底层结构
- 能够用基本逻辑门搭建各类时序逻辑器件
- 能够使用 Verilog HDL 设计简单逻辑电路

【实验环境】

- vlab.ustc.edu.cn
- Logisim
- verilogj.ustc.edu.cn

【实验过程】

时序逻辑电路的输出受到电路当前输入和之前状态两种因素的影响。当输入信号完全一样时，时序逻辑电路的输出及状态可能不一样，因此说，时序逻辑电路具有记忆功能，能够记住电路之前的状态。下面我们将使用与或非三种基本门逐步搭建出各种时序逻辑电路的关键器件，在此过程中加深对时序逻辑器件结构和工作原理的理解。

.搭建双稳态电路

双稳态电路是由两个非门交叉耦合构成，如下图所示，完全一样

的电路结构，却可以具备两种完全不同的状态，这一点与组合逻辑电路存在本质的区别。双稳态电路是一种最简单的时序逻辑电路，没有

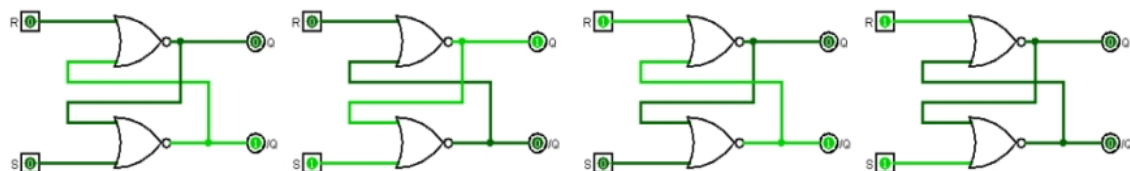
输入信号，状态一旦确定之后也无法改变，没有实际使用价值，但却是所有时序逻辑电路的基础。



在 Logisim 中搭建此电路时，应先将两条交叉耦合线断开一条，等输入信号将其状态初始到确定状态后再将耦合线连上。

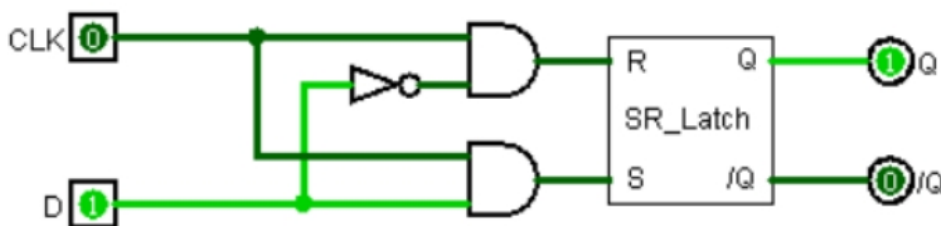
.搭建SR锁存器

双稳态电路没有输入信号，所以无法进行操作，我们对其进行修改，将两个非门用或非门代替。两个输入信号分别命名为 S 和 R，输出信号命名为 Q 和 \bar{Q} ，其中 \bar{Q} 是 Q 取反的意思，S 信号负责对 Q Set，R 信号负责对 Q 信号 Reset。当 SR 信号都无效（为 0）时，电路将保持之前的状态，即处于锁存状态，因此这种电路称为 SR 锁存器。SR 信号都有效（为 1）时，Q 和 \bar{Q} 信号都为零，虽然也是一种确定状态，但不符合 \bar{Q} 为 Q 取反的定义，因此我们将其看成是一种未定义状态，在实际使用过程中应避免这种状态的出现。

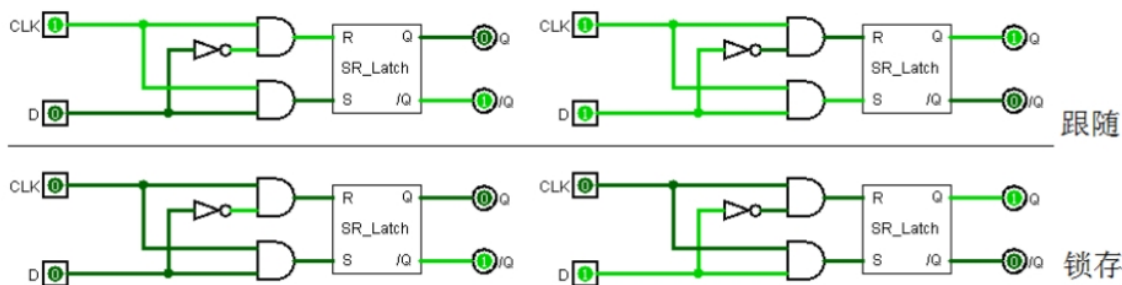


.搭建D锁存器

SR 锁存器两个输入都为 1 是一种未定义状态，我们不希望这种状态出现，为此我们在 SR 锁存器前面添加两个与门和一个非门，如下图所示，便构成了 D 锁存器。

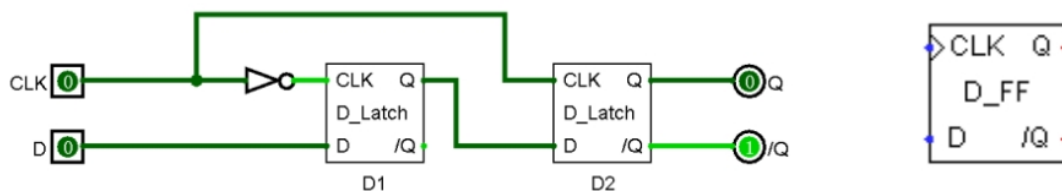


分析 D 锁存器电路可以发现，当 CLK 信号为高电平时，Q 信号将随着 D 端输入信号的变化而变化，称之为“跟随”状态。当 CLK 信号为低电平时，Q 信号将保持之前的值，不会收到 D 信号变化的影响，称之为“锁存”状态。D 锁存器是一种电平敏感的时序逻辑器件。

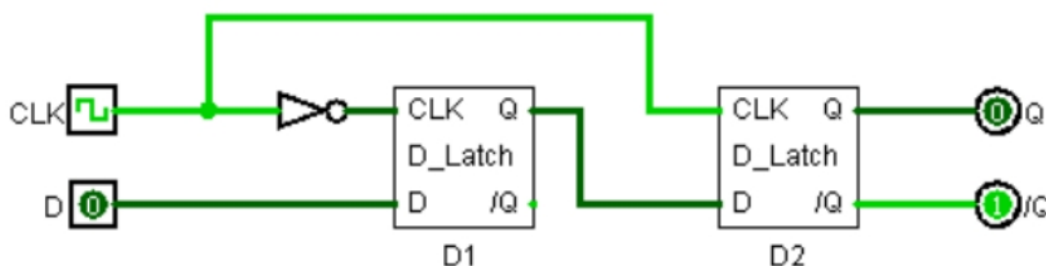


.搭建D触发器

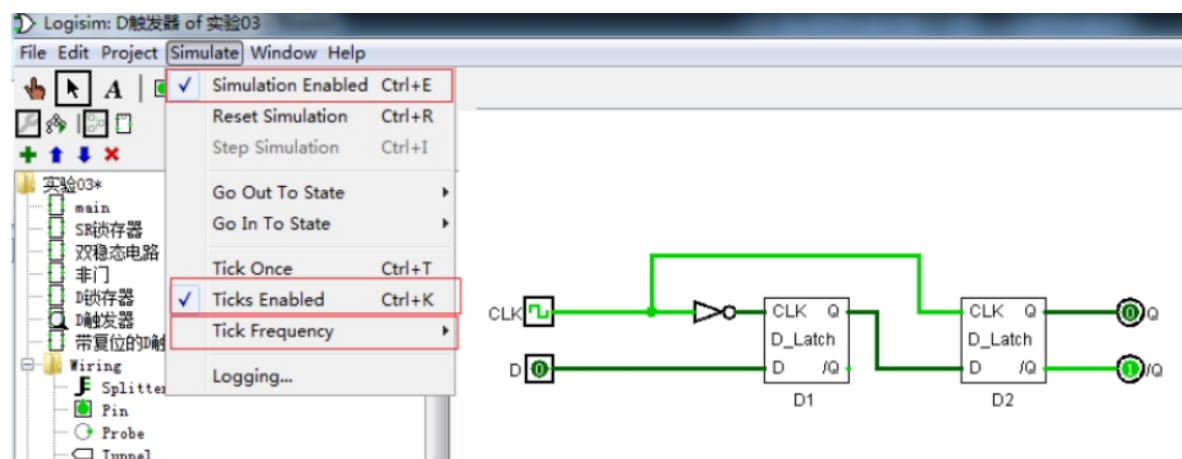
通过对 D 锁存器的行为特性分析，我们可以发现，D 锁存器在信号的传输过程中起到了类似于开关的作用，当开关（CLK 信号）打开的时候，信号能够传输过去，当开关（CLK 信号）关闭时信号无法通过。如果我们将两个 D 锁存器串起来，其控制信号有效值始终相反，会是什么样的情况呢？实际上这就构成了 D 触发器，如下图所示，CLK 信号为低电平时，D 信号通过了 D1，当 CLK 信号由低电平变为高电平时，D1 关闭，D2 打开，信号到达 Q 端。



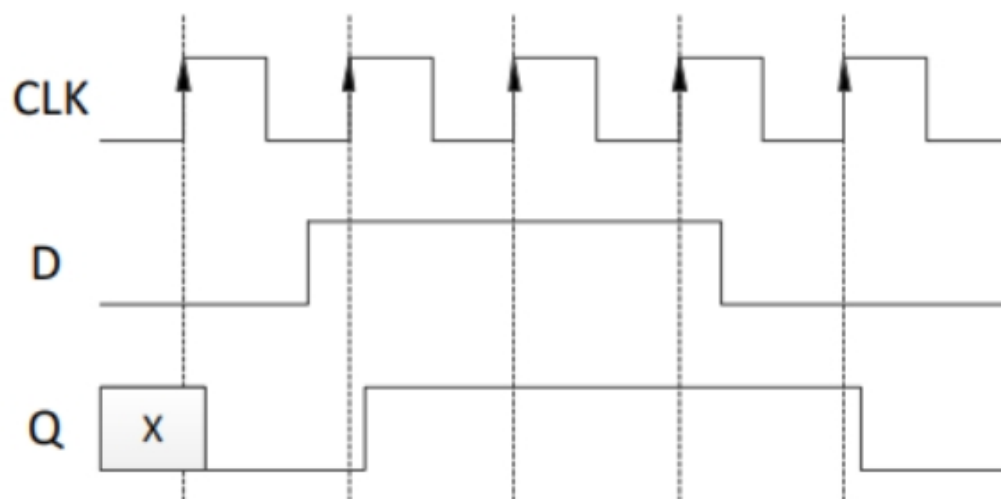
为了更直观的观察 D 触发器的行为特性，我们可以把 CLK 端口换成一个可自动变化的时钟信号，如下图所示。



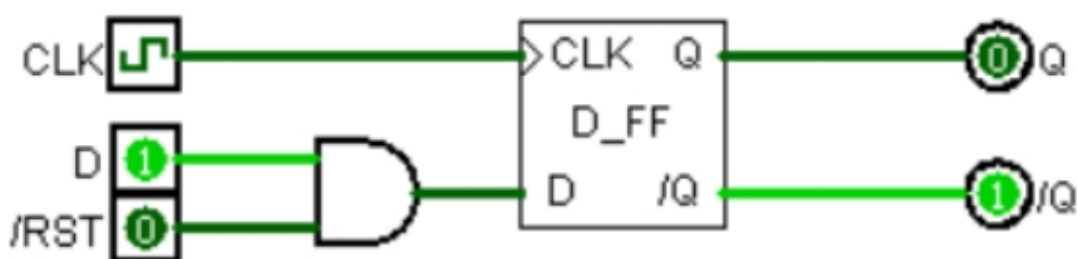
修改完之后，我们可在 Logisim 菜单栏中点击“simulation”选项，首先将“Tick Frequency”设置为“1Hz”，然后使能仿真和触发功能，在“CLK”信号以 1Hz 频率跳变过程中，改变 D 信号的输入值，观察 Q 信号的输出。



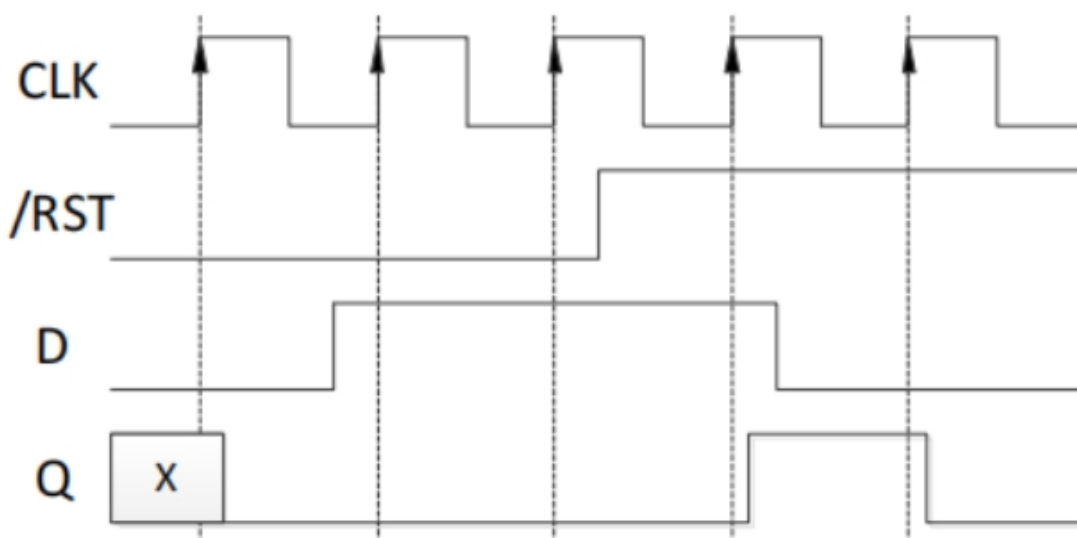
通过分析我们可以发现，只有在 CLK 信号由低电平变为高电平的瞬间，D 信号才会传播到 Q 端，其余时刻 Q 端的值都保持不变。将 D 触发器作为一个整体观察，该行为特性如下波形图所示。



我们还可以为触发器添加复位信号，如下图所示，可以看出，当复位信号有效（低电平有效）时，输出信号 Q 始终为零。



其波形图如下图所示。



这种触发器的复位信号只有在时钟信号的上升沿才起作用，在非上升沿时刻，复位信号不起作用。这种复位方式称为同步复位。

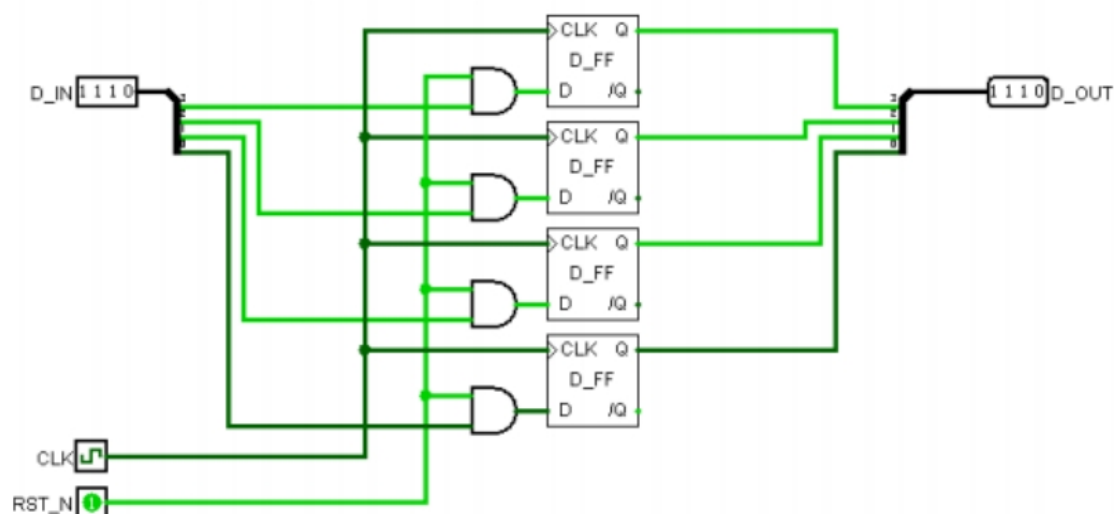
可以看出，异步复位与同步复位最大的区别在于，复位信号与时钟信号同时出现在了 always 语句的敏感变量列表中，在没有时钟上升沿的情况下，复位信号也能够起作用。因为复位操作不再完全与时钟信号的上升沿同步，因此称为异步复位。

D 触发器与 D 锁存器的最大不同在于它是边沿敏感的器件，电路输出状态只在时钟信号的边沿（一般来说是上升沿）发生（异步复位除外），时钟成为整个电路的同步信号，因此由 D 触发器为核心构成的电路一般称为同步时序逻辑电路，而锁存器构成的一般都是异步时序逻辑电路。

同步时序逻辑电路在电路设计中非常重要，绝大部分的电路都是同步时序逻辑电路，而 D 触发器又是同步时序逻辑电路的核心器件，D 触发器的重要性不言而喻。

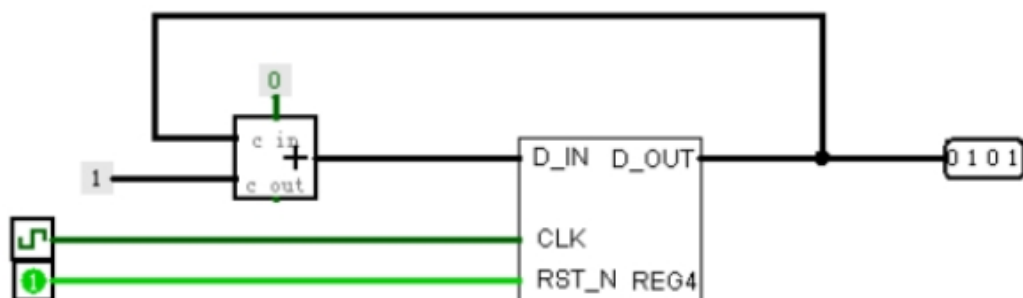
.搭建寄存器

寄存器本质来说就是 D 触发器，如下图所示，我们用 4 个 D 触发器构成了一个能够存储 4bit 数据的寄存器，带有低电平有效的同步复位信号。



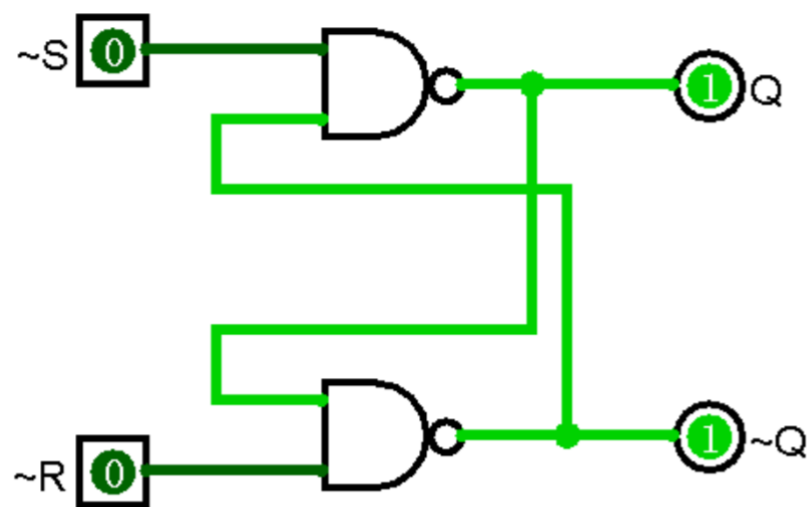
.搭建简单的时序逻辑电路

我们利用 4bit 寄存器，搭建一个 4bit 的计数器，该计数器在 0~15 之间循环计数，复位时输出值为 0，电路图如下所示：



【实验题目】

T1



PB21111723王涵

$\sim S$	$\sim R$	Q	Q'
1	1	0	0 (保持)
1	1	1	1 (保持)
0	1	0	1 (置1)
0	1	1	1 (置1)
1	0	0	0 (置0)
1	0	1	0 (置0)
0	0	0	不定
0	0	1	不定

T2

同步置位：只有在时钟上升沿到来的时，置位信号才有效。

```

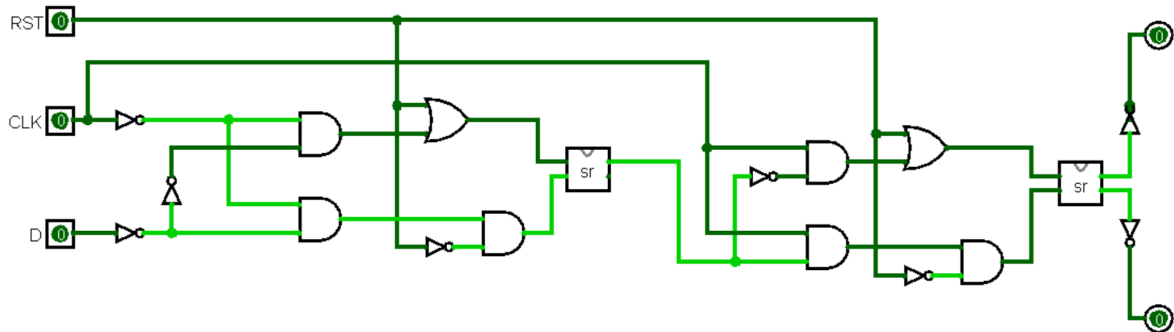
1  module T2(
2      input  clk,d,st,
3      output reg Q,~Q);
4      always@(posedge clk)
5          begin
6              if(st) Q <= 0;
7              else Q <= d;
8          end
9  endmodule

```

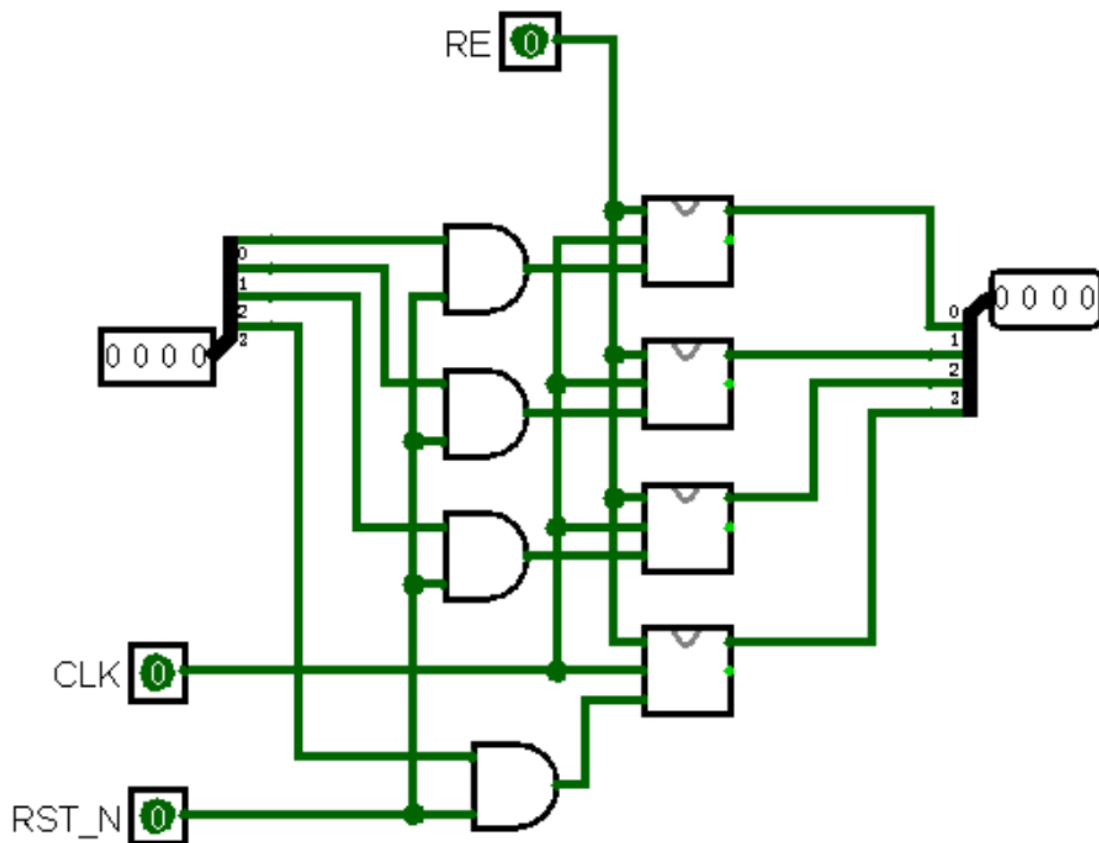
T3

搭建异步复位的D触发器如图所示：

PB21111723王涵

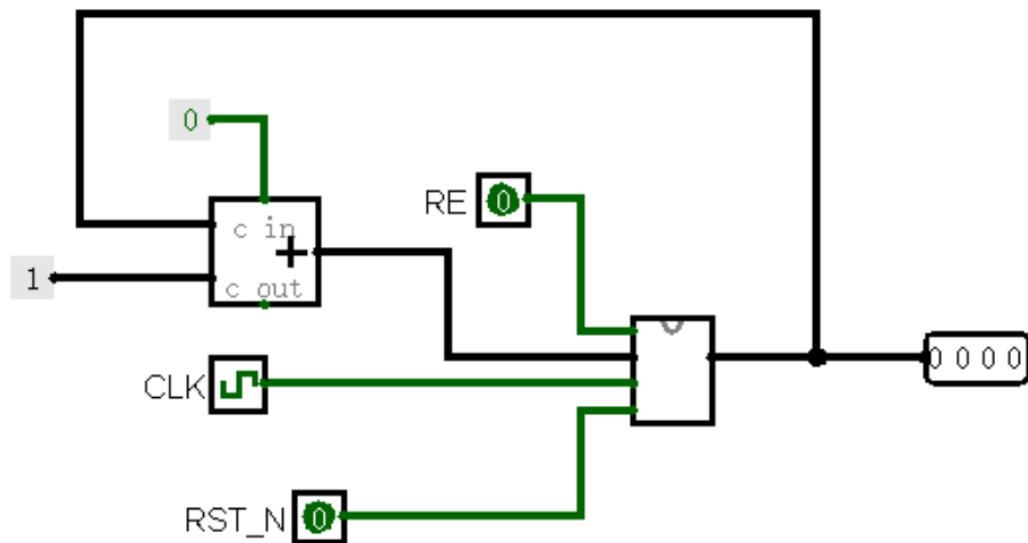


用上述触发器构造寄存器：



PB21111723王涵

用寄存器构建的计数器如图：



PB21111723王涵

它的Verilog代码如下：

```
1 module REG4(  
2     input CLK,RST_N,RE,  
3     output reg[3:0] CNT  
4 );  
5 always@(posedge CLK or negedge RST_N)  
6 begin  
7     if(RE==0) CNT <= 4'b0;  
8     else  
9         if(RST_N==0) CNT <= 4'b0;  
10        else CNT <= CNT + 4'b1;  
11    end  
12  
13 endmodule
```

T4

```
1 module sub_9_0(  
2     input CLK,Re,RST_N,  
3     output reg[3:0] OUT  
4 );  
5 always @(posedge CLK or negedge RST_N)  
6 begin  
7     if (RST_N==0) OUT<=4'b1001;  
8     else  
9         begin  
10            if(OUT==4'b1111) OUT<=4'b1001;  
11            else OUT<=OUT-4'b1;
```



```
12         end
13     end
14 endmodule
15
```

T5

```
1  module d_FF_r(
2      input CLK,RST_N,D,
3      output reg Q
4  );
5  always@(posedge CLK)
6  begin
7      if(RST_N==1) Q <= 1'b0;
8      else Q <= D;
9  end
10
11 endmodule
```

【总结与思考】

个人认为本次实验难度较大，所以操作时可能会出现各种问题，自学起来十分困难，好在能完成ddl。

建议PPT增加一些指导性知识点。