**Lab 1: Portes Logiques**

**Hiver 2018**

**École de Génie Électrique et Science Informatique**

**Université d’Ottawa**

**Professeur: Dr. Ahmed Karmouch**

**Groupe 4**

**Khang Nguyen 300007277**

**Vergenie Howayek 300008321**

**Date de l’expériment: Février 1 2018**

**Date de Soumission: Février 15 2018**

**Objectives:**

* Construit des portes logiques
* Déterminer le fonction des circuits
* Déterminer les sorties avec différent entrer
* Comparer les sortie théorique versus expérimental

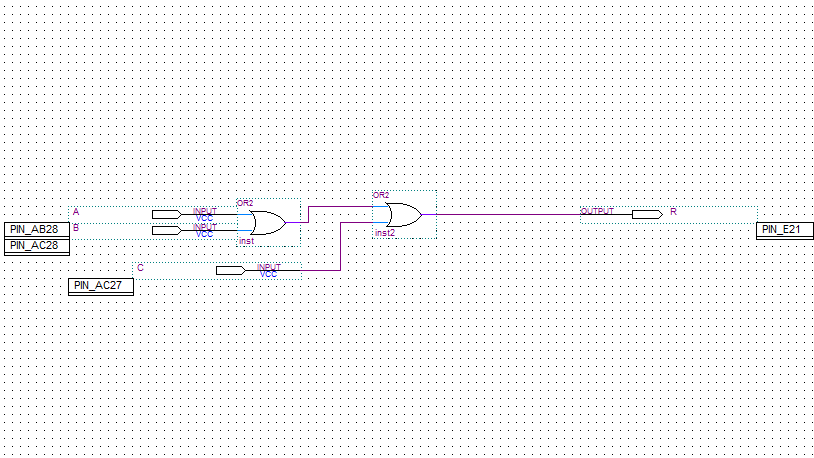
**Matériel:**

* Programme Quartus II 13.0 Service-Pack 1
* Carte Altera DE2-115

**Diagramme de Circuits:**

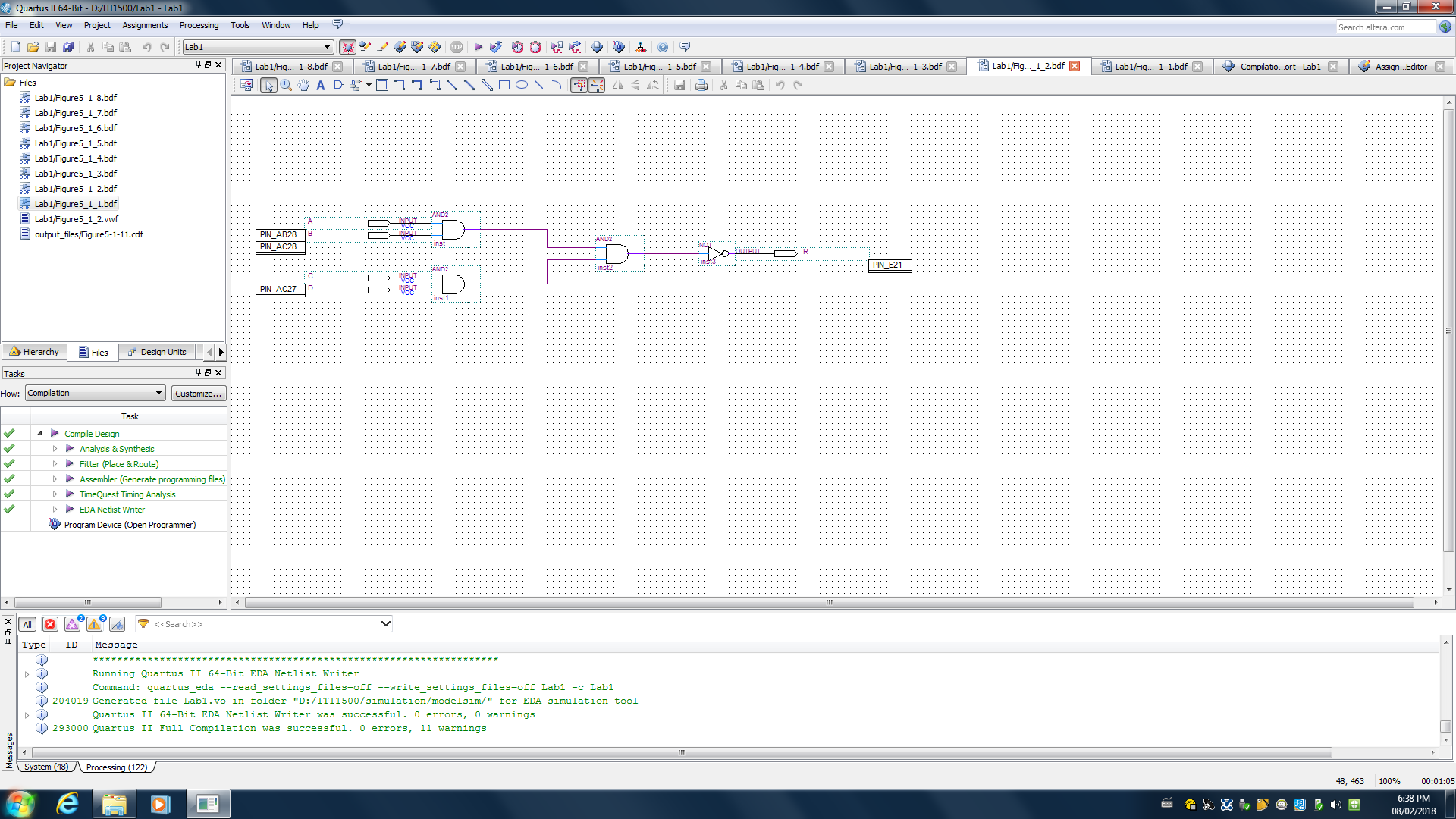
**Partie 1 - Construction de Circuits Logiques Combinatoires**

**Circuit Logique à Une Puce**



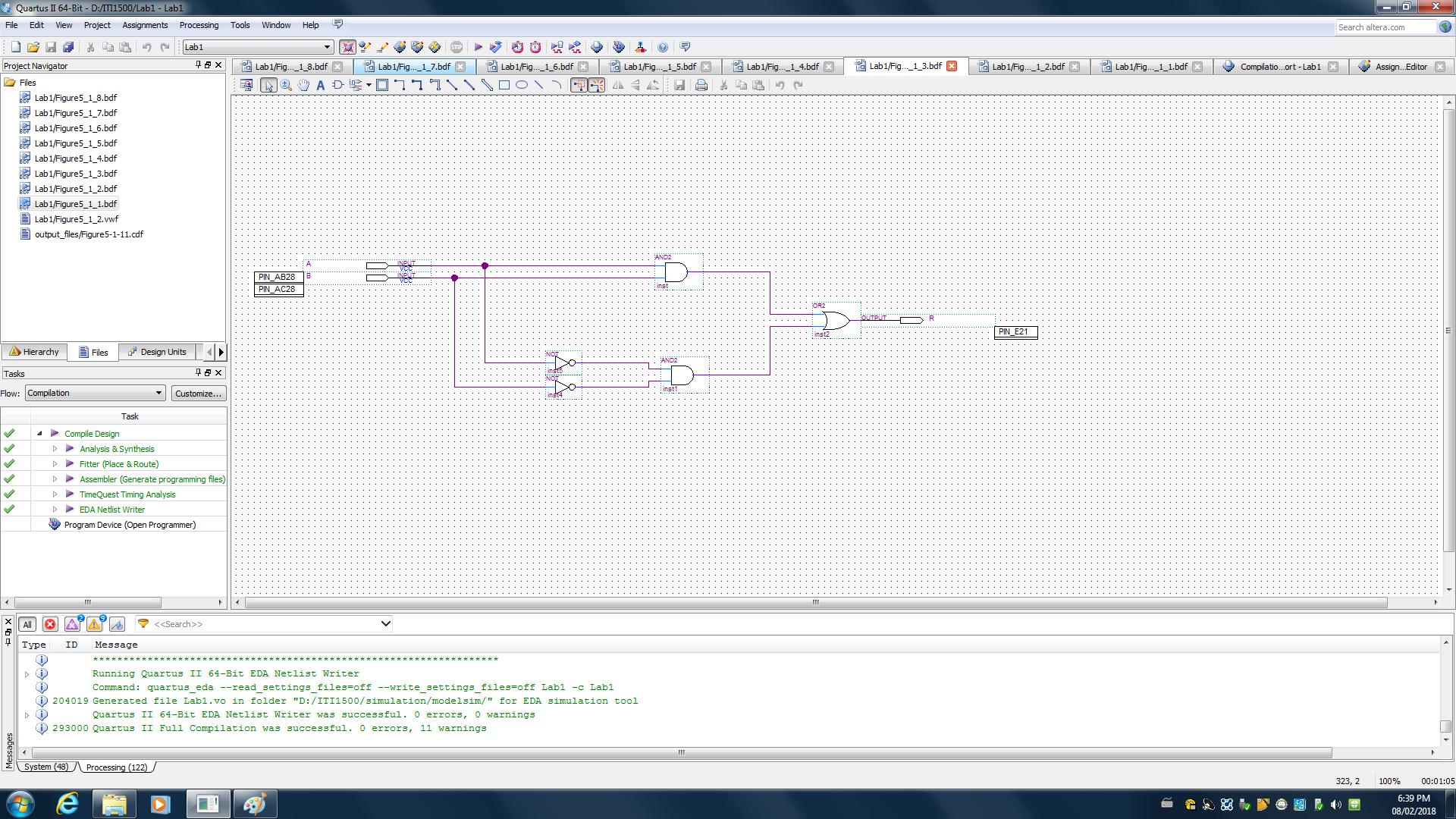
**Figure 1: Capture d’écran du schéma de circuit à une puce (Figure 5.1.1 Manuel de Lab)**

**Circuit Logique à Deux Puces**



**Figure 2: Capture d’écran du schéma de circuit à deux puces (Figure 5.1.2 Manuel de Lab)**

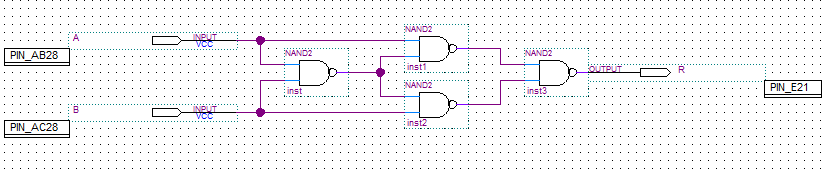
**Circuit Logique à Trois Puces**



**Figure 3: Capture d’écran du schéma de circuit à trois puces (Figure 5.1.3 Manuel de Lab)**

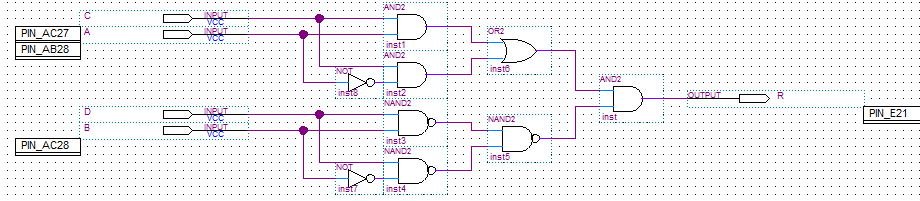
**Partie 2 - Analyse de Circuits Logiques Combinatoires**

**Circuit OU Exclusif**

****

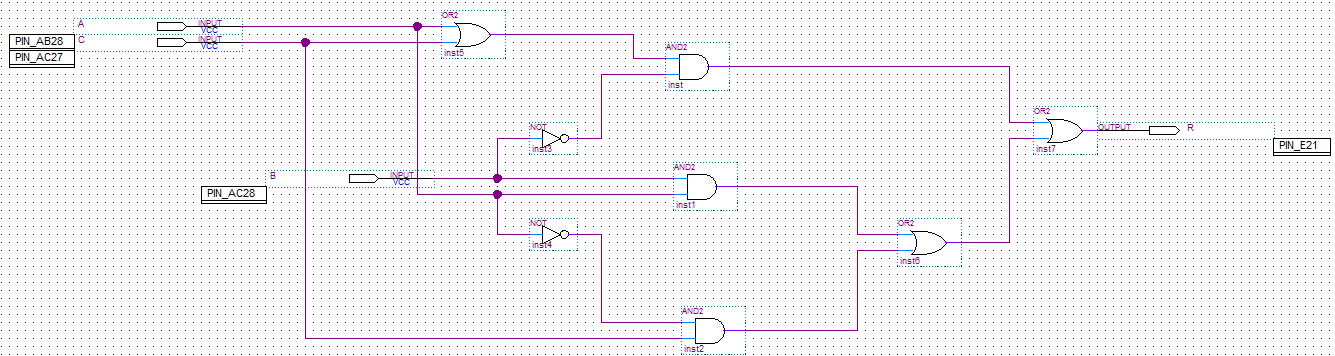
**Figure 4: Capture d’écran du schéma de circuit OU exclusif (Figure 5.1.5 Manuel de Lab)**

**Circuit ET**

****

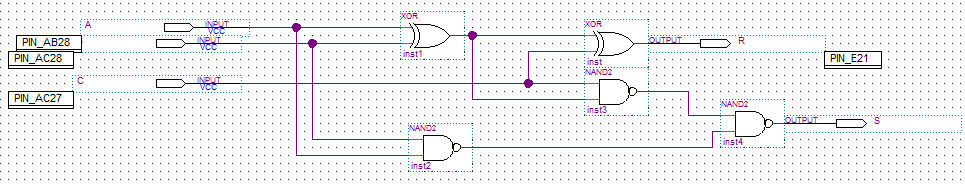
**Figure 5: Capture d’écran du schéma de circuit ET (Figure 5.1.6 Manuel de Lab)**

**Circuit OU**

****

**Figure 6: Capture d’écran du schéma de circuit OU (Figure 5.1.7 Manuel de Lab)**

**Circuit à Sorties Multiples**

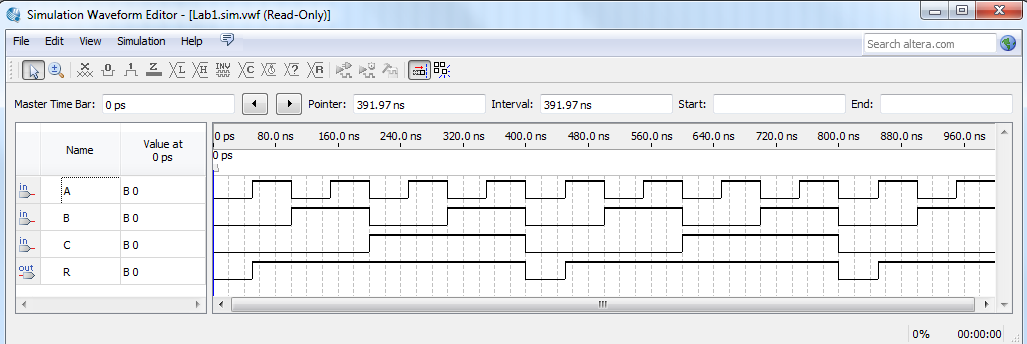
****

**Figure 7: Capture d’écran du schéma de circuit à Sorties Multiples Figure 5.1.8**

**Données Expérimentales et Traitement de Données:**

**Partie 1 - Construction de Circuits Logiques Combinatoires**

**Circuit Logique à Une Puce**

****

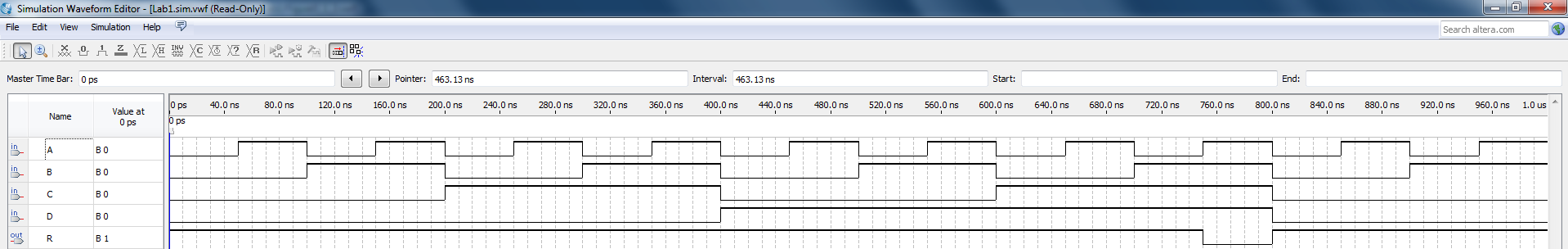
**Figure 8 : Simulation de l'onde de sortie d'un circuit à une puce**

**Entrées Sortie**

|  |  |  |  |
| --- | --- | --- | --- |
| **A** | **B** | **C** | **R** |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

**Tableau 1 : Données expérimentales observées à partir de la carte de circuit Altera DE2-115**

**Circuit Logique à Deux Puces**



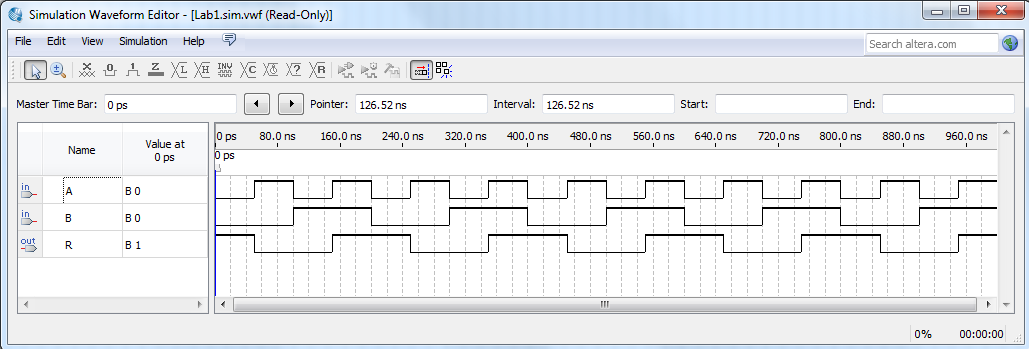
**Figure 9 : Simulation de l'onde de sortie d'un circuit à deux puces**

**Entrées Sortie**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **D** | **U** |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

**Tableau 2 : Données expérimentales observées à partir de la carte de circuit Altera DE2-115**

**Circuit Logique à Trois Puces**

****

**Figure 10 : Simulation de l'onde de sortie d'un circuit à trois puces**

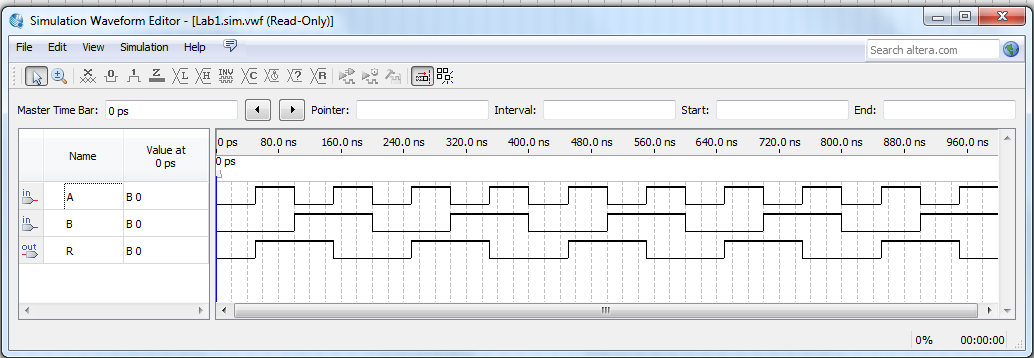
**Entrées Sortie**

|  |  |  |
| --- | --- | --- |
| **A** | **B** | **K** |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

**Tableau 3 : Données expérimentales observées à partir de la carte de circuit Altera DE2-115**

**Partie 2 - Analyse de Circuits Logiques Combinatoires**

**Circuit Logique OU Exclusif**



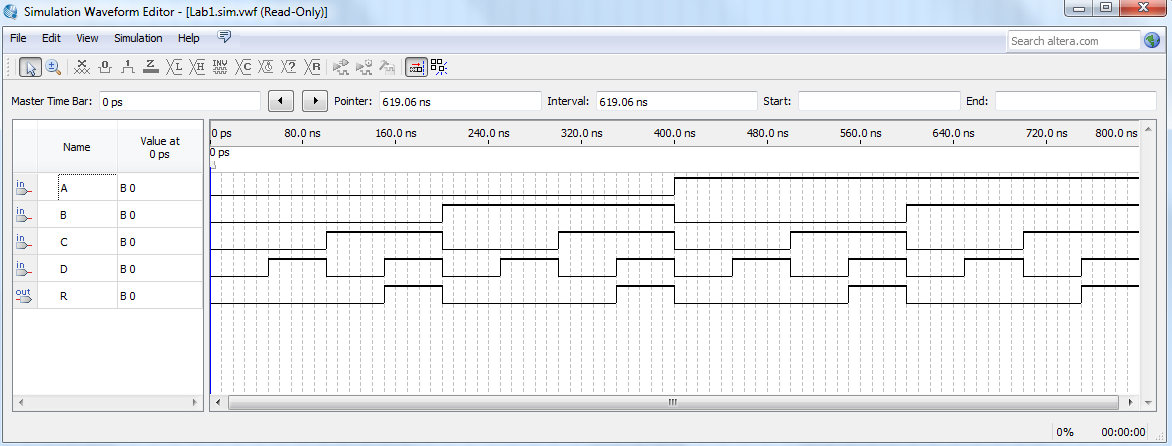
**Figure 10 : Simulation de l'onde de sortie d'un circuit OU exclusif**

**Entrées Sortie**

|  |  |  |
| --- | --- | --- |
| **A** | **B** | **S** |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

**Tableau 4 : Données expérimentales observées à partir de la carte de circuit Altera DE2-115**

**Circuit Logique ET**

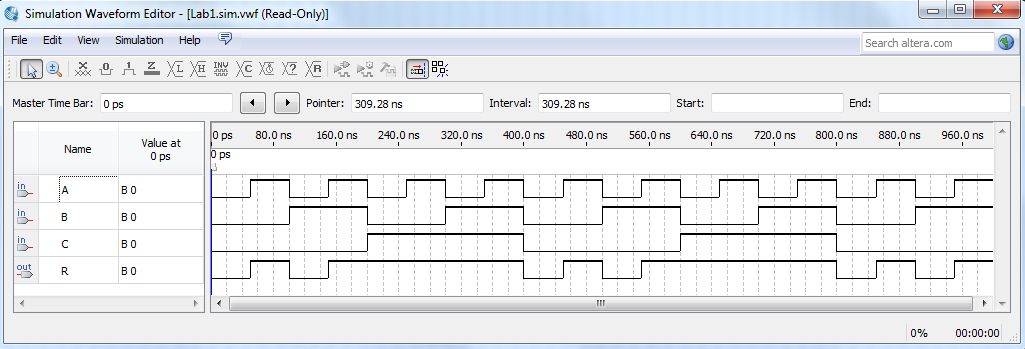


**Figure 11 : Simulation de l'onde de sortie d'un circuit ET**

**Entrées Sorties**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **D** | **V** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

**Tableau 5: Données expérimentales observées à partir de la carte de circuit Altera DE2-115**

**Circuit Logique OU**

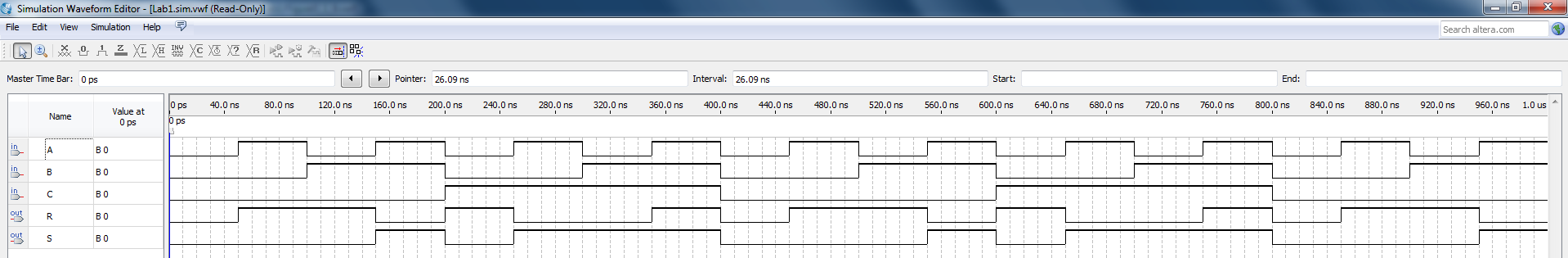
**Figure 12 : Simulation de l'onde de sortie d'un circuit OU**

**Entrées Sortie**

|  |  |  |  |
| --- | --- | --- | --- |
| **A** | **B** | **C** | **P** |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

**Tableau 6: Données expérimentales observées à partir de la carte de circuit Altera DE2-115**

**Circuit à Sorties Multiples**



**Figure 13 : Simulation de l'onde de sortie d'un circuit à sorties multiples**

**Entrées Sortie**

|  |  |  |  |
| --- | --- | --- | --- |
| **A** | **B** | **C** | **C0** |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

**Tableau 7: Données expérimentales observées à partir de la carte de circuit Altera DE2-115**

**Comparaison des Données Attendues et des Données Expérimentales:**

**Partie 1 - Construction de Circuits Logiques Combinatoires**

**Circuit Logique à Une Puce**

**Entrées Rés. Expé. Rés. Att.**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **R** | **R** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 |

**Tableau 8: Comparaison des données attendues et des données expérimentales pour un circuit logique à une puce**

**Circuit Logique à Deux Puces**

**Entrées Rés. Expé. Rés. Att.**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **D** | **U** | **U** |
| 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 |

**Tableau 9: Comparaison des données attendues et des données expérimentales pour un circuit logique à deux puces**

**Circuit Logique à Trois Puces**

**Entrées Rés. Expé. Rés. Att.**

|  |  |  |  |
| --- | --- | --- | --- |
| **A** | **B** | **K** | **K** |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |

**Tableau 10: Comparaison des données attendues et des données expérimentales pour un circuit logique à trois puces**

**Partie 2 - Analyse de Circuits Logiques Combinatoires**

**Circuit OU Exclusif**

**Entrées Rés. Expé. Rés. Att.**

|  |  |  |  |
| --- | --- | --- | --- |
| **A** | **B** | **S** | **S** |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |

**Tableau 11: Comparaison des données attendues et des données expérimentales pour un circuit logique OU exclusif**

**Circuit Logique ET**

**Entrées Rés. Expé. Rés. Att.**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **D** | **V** | **V** |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 |

**Tableau 11: Comparaison des données attendues et des données expérimentales pour un circuit logique ET**

**Circuit Logique OU**

**Entrées Rés. Expé. Rés. Att.**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **P** | **P** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 |

**Tableau 11: Comparaison des données attendues et des données expérimentales pour un circuit logique OU**

**Circuit à Sorties Multiples**

**Entrées Rés. Expé. Rés. Att.**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **C0** | **C0** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 |

**Tableau 12: Comparaison des données attendues et des données expérimentales pour un circuit logique à sorties multiples**

**Conclusion:**

Dans cette expérience, nous avons construit et analyser sept circuits pour déterminer le fonctionnement de chaque circuit. Avec ces tests, nous avons construit des tableaux de vérité pour les comparer aux tableaux que nous avons faits dans le prélab. Selon nos comparaisons, les résultats attendus étaient les mêmes que les résultats expérimentaux. Pour chaque circuit que nous avons analysé, les résultats attendus étaient les mêmes que les résultats obtenues. Pour le circuit logique à une puce, nous avons déterminé que la porte logique équivalente à ce circuit est la porte OU. Pour le circuit logique à deux puces, la porte équivalente est la porte NON-ET. Le circuit logique à trois puces semble être équivalent à Porte NON-OU-EXCLUSIVE. Dans la partie 2, nous avons construit un circuit équivalent à une porte OU-EXCLUSIVE, un circuit était équivalent à une porte ET pour les entrées C et D et finalement un circuit à 2 sorties.