

زیرا خاوری / بررسی پروژه از ما بشود مدار ساختن و خطاری کامپیوتری

در Part 1 / یک پردازنده RISC-V صورت سینتیک ساختن پیاده سازی شده است

در Part 2 / یک پردازنده RISC-V صورت Pipeline پیاده سازی شده است

انترا / یک CPU-V CPU-VVP -o pl-cpu-verilog  
فایل VVP جهت می آید

برای وقت باید دستورهای زیر را اجرا کنیم

1. x20, 0(x10)

add x21, 0, x20

sub x6, x21, x20

sw x20, 0(x10)

beq x20, x21, -4



ابتدا این دستورها را به باینری و بایت به هکتا ارسال تبدیل می‌کنیم

و آن‌ها را در Instruction Memory ذخیره می‌کنیم.

بعد از آن آدرس PC به آدرس خانه در Instruction Memory

اشاره می‌کند و هر دفعه ۴ بایت اضافه می‌شود و دستور غرض اجرا می‌شود.

در حالت Register file باید شماره رجیسترها خوانده شود

ALU هم به ALU Control وصل است و ورودی‌هایی را که می‌گیرد عملیات add - subtract - and - or را روی داده‌ها انجام می‌دهد و خروجی

نهایی آن به Data Memory می‌رود.

پس از Data Memory به مالتی پلکس وجود دارد که بر اساس

MemToReg که از ست کنترل می‌آید و ALU Result را در

Register file ذخیره می‌کند.

در حالت stage ها، در استیج اول (stage 1) یک مالتی پلکس

وجود دارد و در هر stage، اطلاعات ذخیره شده در stage های

بعد ارائه داده می‌شود

Hazard نیز وجود دارد.

\* در این پروژه، احتمال برخورد