

Logic Gates

Sequential Logic Circuits

1

Course Outline

- | | |
|----------------------------------|-------------------------------------|
| 1. Introduction | 8. Sequential Circuit I |
| 2. Logic Gates & Related Devices | 9. Sequential Circuit II |
| 3. Combination Circuits I | 10. Sequential Circuit III |
| 4. Combination Circuits II | 11. Sequential Circuit IV |
| 5. Combination Circuits III | 12. FPGA + Logic circuit project I |
| 6. Combination Circuits IV, Kmap | 13. FPGA + Logic circuit project II |
| 7. Combination Circuits IV, Kmap | 14. Lab Exam |

2

Logic Circuit Laboratory Week9

Agenda

1. Counter Circuit
2. Ripper Counter
3. Self Stopping Counter
4. Synchronous Counter
5. Modulo Counter
6. Design Counter Circuit

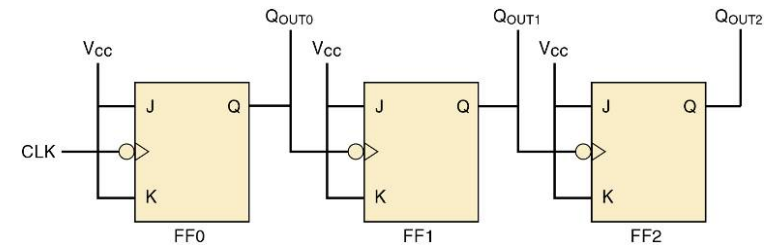
Counter Circuit

วงจรนับ

5

Counter Circuit

- ประยุกต์เอา Flip Flop มาสร้างวงจร
- Flip Flop 1 ตัวเก็บข้อมูลได้ 1 Bit



A three-bit binary counter.

6

Counter Circuit

1. Asynchronous Counter
 - Ripper Counter
 - Self Stopping Counter
2. Synchronous Counter
 - Synchronous Counter
 - Modulo Counter
 - Modulo Counter with Setting Value
3. Design Counter Circuit

7

Asynchronous Counter

Ripper Counter

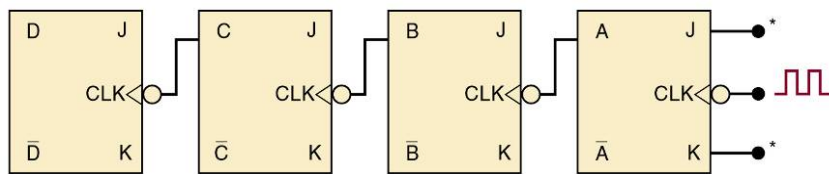
8

Asynchronous Counter

Asynchronous (Ripple) Counters

Flip Flop แต่ละตัวจะทำงานไม่พร้อมกัน

- CLK จะต่อเข้ากับ Flip Flop เพียงตัวเดียว (ตัวแรก)
- Flip Flop (ตัวถัดไป) จะรับ Output จากตัวก่อนหน้าเข้า CLK
- ผลจะเกิดขึ้นไปจนถึง Flip Flop ตัวสุดท้าย
- Output ที่ได้จะเป็นการเพิ่มขึ้นของ เลขฐานสอง (Binary Counter)



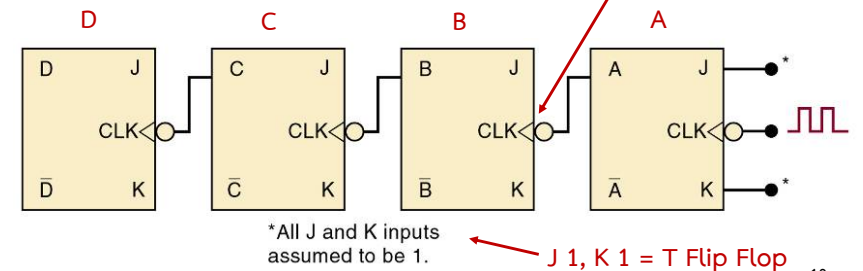
9

Asynchronous Counter

Asynchronous (Ripple) Counters

Review of 4 bit counter operation

- CLK input to FF A.
- J & K are HIGH in all FFs.
- Output of FF A is CLK of FF B, etc.



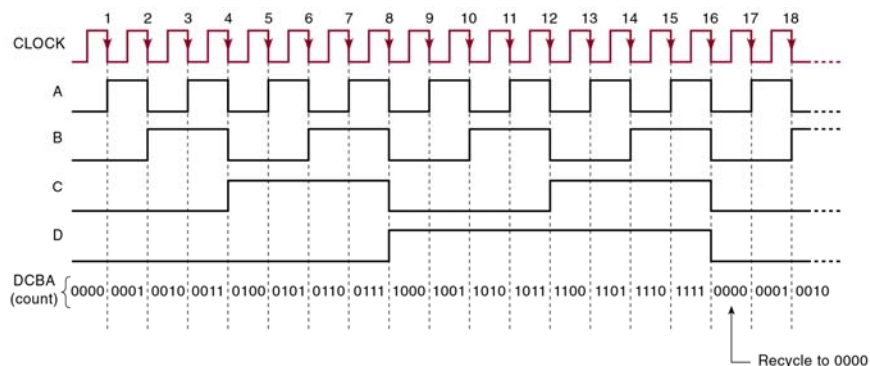
10

Asynchronous Counter

Asynchronous (Ripple) Counters

Review 4 bit counter operation

- After the 15th clock pulse : FFs are recycled back to 0000.

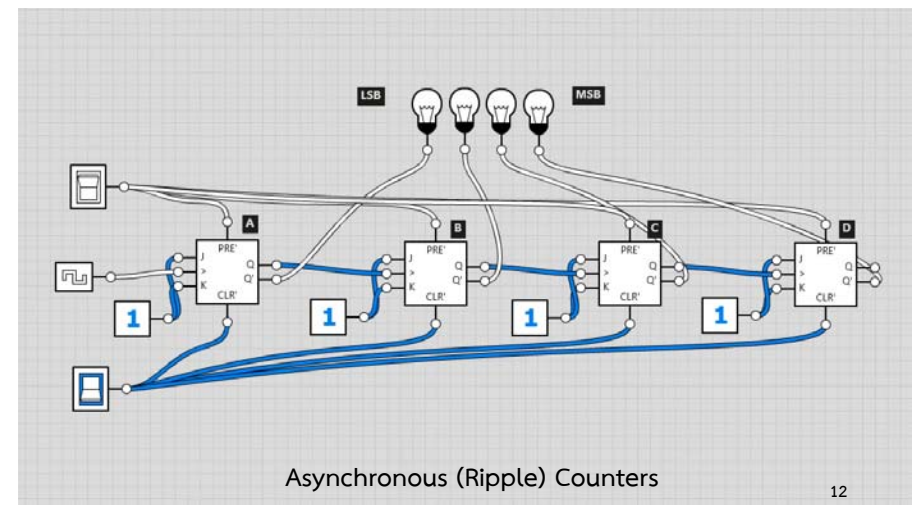


11

Asynchronous Counter

Review of 4 bit counter operation

- CLK input to FF A.
- J & K are HIGH in all FFs.
- Output of FF A is CLK of FF B, etc.



12

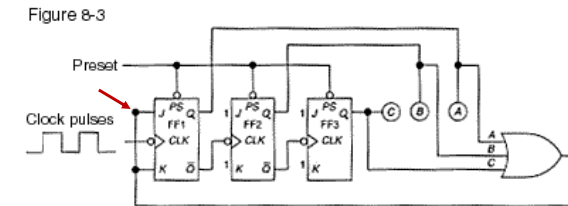
Asynchronous Counter

Self Stopping Counter

13

Modulo Counter

- วงจรนับที่ผ่านมา จะนับจาก 0 ไปจนถึงค่าสูงสุดที่ตั้งค่า
- จากนั้นจะกลับมวน เริ่มนับ 0 ใหม่
- สามารถออกแบบให้เมื่อนับจนถึงค่าที่ต้องการแล้วหยุด



- ขา JK ของตัวแรก จะไม่ตั้งค่า 1 ตลอด เพิ่ม logic gate

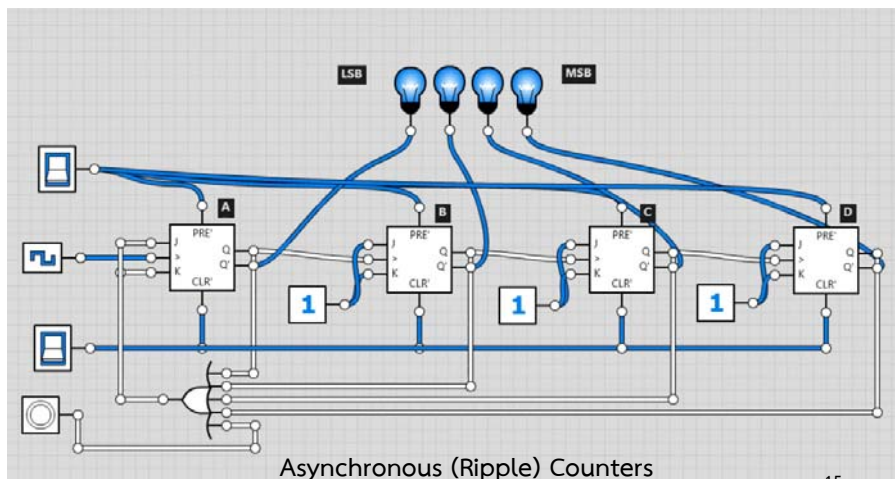
14

Asynchronous Counter

Review of 4 bit counter operation

With Self Stopping Counter

- CLK input to FF A.
- J & K are HIGH in all FFs.
- Output of FF A is CLK of FF B, etc.



15

Counter Circuit

1. Asynchronous Counter
 - Ripper Counter
 - Self Stopping Counter
2. Synchronous Counter
 - Synchronous Counter
 - Modulo Counter
 - Modulo Counter with Setting Value
3. Design Counter Circuit

16

Synchronous Counter

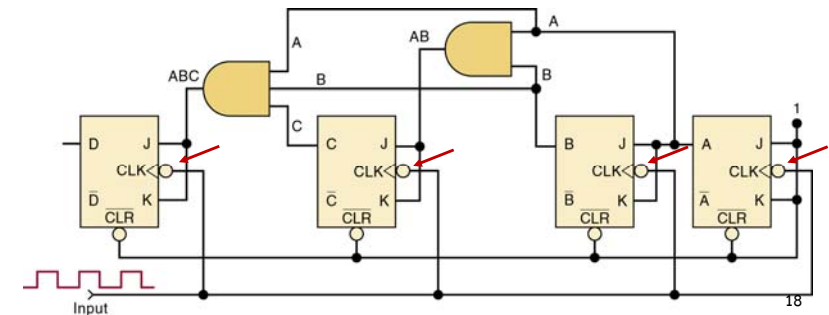
วงจรนับชนิดเข้าจังหวะ

17

Synchronous Counter

Flip Flop แต่ละตัวจะทำงานพร้อมกัน

- CLK จะต่อเข้ากับ Flip Flop ทุกตัว
- Flip Flop จะทำงานพร้อมกัน
- ความผิดพลาดเมื่อความถี่สูงๆ จะน้อยกว่าแบบ Async



Synchronous Counter

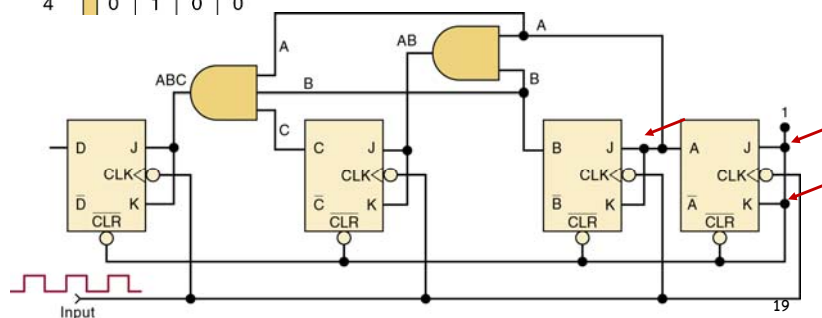
- JK ตัวแรกของวงจร จะเป็น 1,1 หมายถึงจะเปลี่ยนค่าทุกๆรอบ CLK
- การออกแบบวงจรต้องอาศัย การดูตารางค่าความจริง.

Count	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0

ตัวอย่าง

A = เปลี่ยนค่าตาม CLK

B = เปลี่ยนค่าเมื่อ A เป็น 1



Count	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
0	0	0	0	0

Synchronous Counter

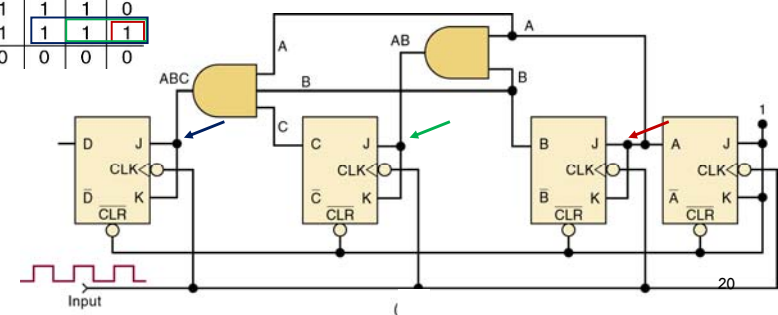
ตัวอย่าง

A = เปลี่ยนค่าตาม CLK

B = เปลี่ยนค่าเมื่อ A เป็น 1

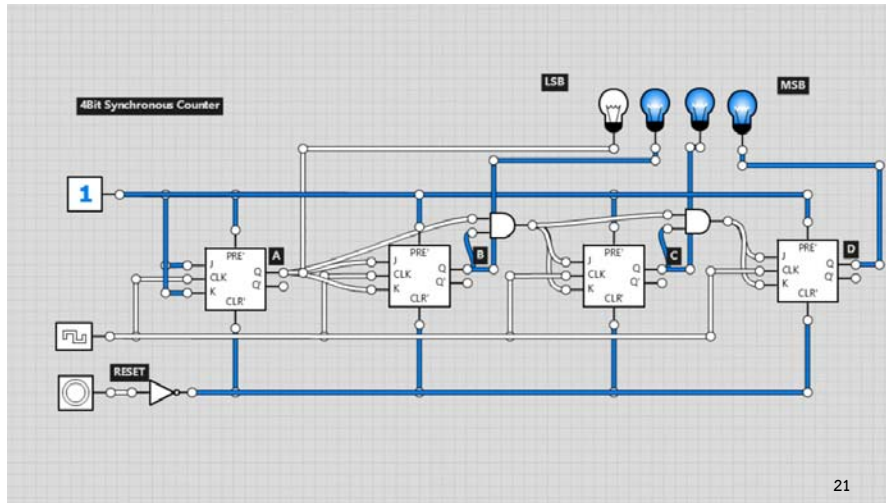
C = เปลี่ยนค่าเมื่อ A = 1 และ B = 1

D = เปลี่ยนเมื่อ A, B, C = 1



Synchronous Counter

Review of 4 bit Synchronous counter operation



21

Synchronous Counter

Modulo Counter

22

Modulo Counter

- วงจรนับที่จะตั้งค่าการนับได้
- ค่าสูงสุดของวงจรนับ $2^n - 1$ เมื่อ n คือจำนวน Flip Flop ของวงจร

เช่น วงจรนับมี Flip Flop 4ตัว

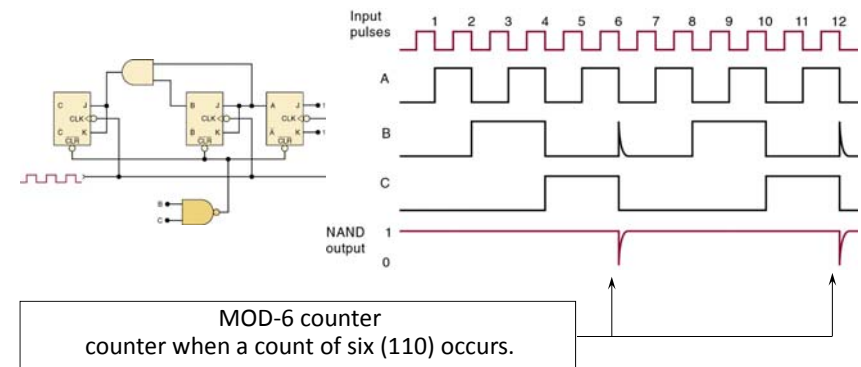
- สามารถออกแบบวงจร M Counter สูงสุด 15
- ถ้าต้องการให้วงจรนับ 0 ถึง 5 (ทำได้) = วงจร Mod6
- ถ้าต้องการให้วงจรนับ 0 ถึง 12 (ทำได้) = วงจร Mod13
- ถ้าต้องการให้วงจรนับ 0 ถึง 17 (ทำไม่ได้) = วงจร Mod18

23

Modulo Counter

วงจรนับมี Flip Flop 4ตัว

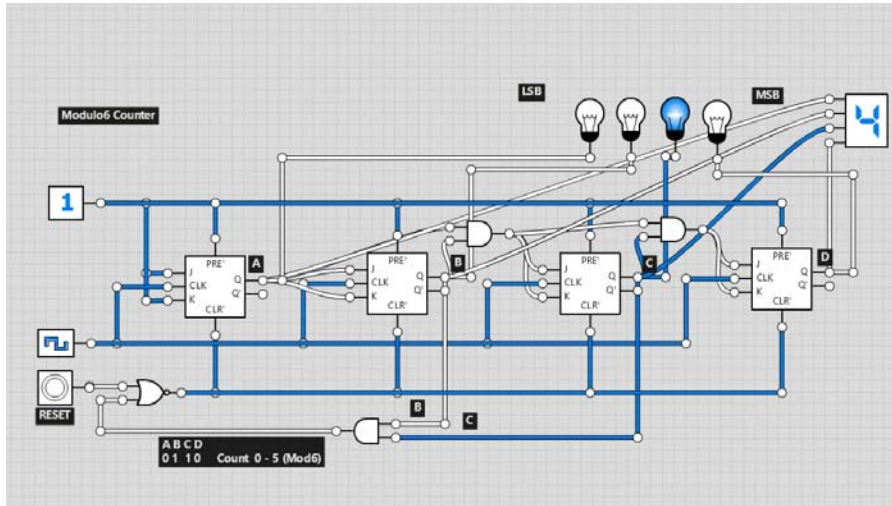
- สามารถออกแบบวงจร M Counter สูงสุด 15
- ถ้าต้องการให้วงจรนับ 0 ถึง 5 (ทำได้) = วงจร Mod6



24

Modulo Counter

Mod6 Counter

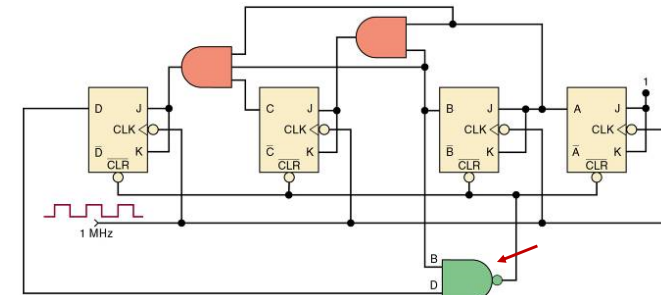


25

Modulo Counter

วงจรนับมี Flip Flop 4 ตัว

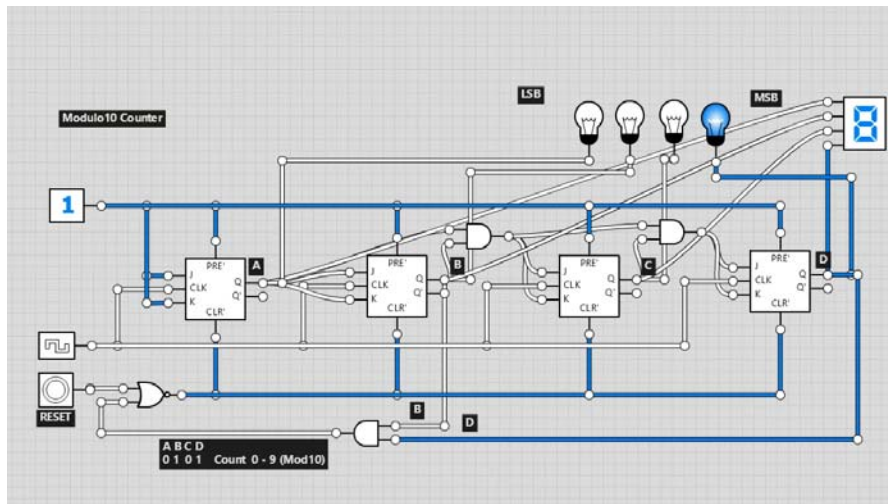
- สามารถออกแบบวงจร M Counter สูงสุด 15
- ถ้าต้องการให้วงจรนับ 0 ถึง 9 (ทำได้) = วงจร Mod10
- ดังนั้น ABCD ขาที่ต้อง Set ดังนี้ A = 0, B = 1, C = 0, D = 1



26

Modulo Counter

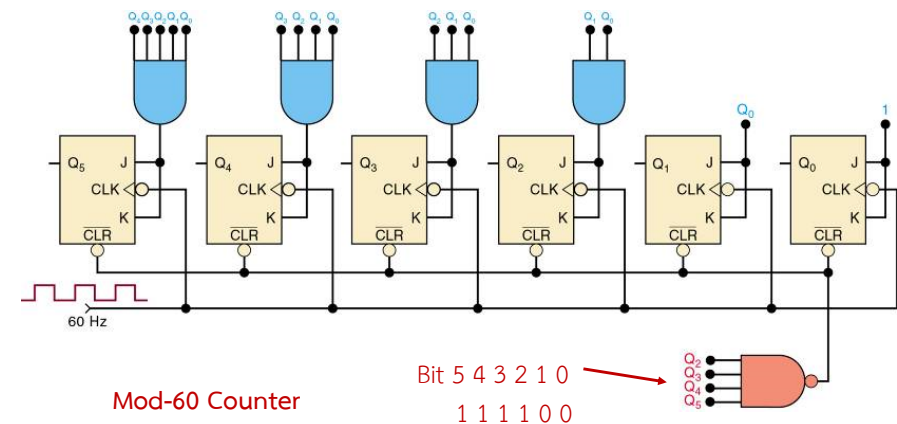
Mod10 Counter



27

Modulo Counter

Flip Flop = 6 ตัว นับได้สูงสุด $64 - 1 = 63$



28

Synchronous Counter

Modulo Counter with Setting Value

29

Modulo Counter

- วงจรนับที่จะตั้งค่าการนับได้
- ค่าสูงสุดของวงจรนับ $2^n - 1$ เมื่อ n คือจำนวน Flip Flop ของวงจร

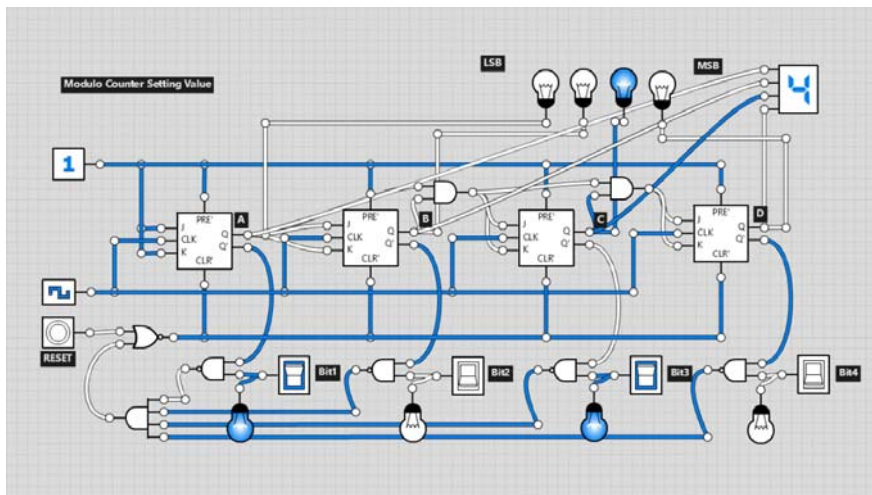
Setting Value

- เพิ่มวงจรในการกำหนดค่าสูงสุดในการนับ
- ง่ายต่อการนำไปใช้ และยืดหยุ่นในการทำงาน
- ใช้ประโยชน์จากขา Q' นำมาออกแบบวงจรให้ไป CLR ค่าของ JK Flip Flop เมื่อถึงการนับที่กำหนด

30

Modulo Counter

Modulo Counter with Setting Value



31

Counter Circuit

1. Asynchronous Counter
 - Ripper Counter
 - Self Stopping Counter
2. Synchronous Counter
 - Synchronous Counter
 - Modulo Counter
 - Modulo Counter with Setting Value
3. Design Counter Circuit

32

Design Counter Circuit

#1 RS Flip Flop (NAND)

Design Counter Circuit

ตัวอย่าง ออกแบบวงจรนับ ดังนี้

- นับจาก 0 > 3 > 5 > 2 > 1 > 0 วนกลับมาที่ 0 ใหม่
- ใช้ RS Flip Flop แบบ NAND Gate

Step การออกแบบดังนี้

1. ตรวจสอบว่าใช้ Flip Flop กี่ตัวจาก -> 3 ตัว นับค่าได้สูงสุดที่ 7
2. เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด
3. เขียน Stage Transition ตารางการเปลี่ยนสถานะ

Design Counter Circuit

- นับจาก 0 > 3 > 5 > 2 > 1 > 0 วนกลับมาที่ 0 ใหม่ (RS NAND)

Step การออกแบบดังนี้

1. ตรวจสอบว่าใช้ Flip Flop กี่ตัวจาก -> 3 ตัว นับค่าได้สูงสุดที่ 7
2. เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด

ตารางการกระตุ้น RS Flip Flop NAND Gate

Q(t) > Q(t+1)	S	R
0 > 0		
0 > 1		
1 > 0		
1 > 1	X	1

1 Memory 1 1
Error 0 0

2 Tip
ใส่ค่าของ Not Change ก่อน
S R
1 1
0 1

Design Counter Circuit

- นับจาก 0 > 3 > 5 > 2 > 1 > 0 วนกลับมาที่ 0 ใหม่ (RS NAND)

Step การออกแบบดังนี้

1. ตรวจสอบว่าใช้ Flip Flop กี่ตัวจาก -> 3 ตัว นับค่าได้สูงสุดที่ 7
2. เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด

ตารางการกระตุ้น RS Flip Flop NAND Gate

Q(t) > Q(t+1)	S	R
0 > 0	1	X
0 > 1		
1 > 0		
1 > 1	X	1

Memory 1 1
Error 0 0

3 ใส่ค่าของ Error
S R
1 1
1 0
Tip สลับ Not Change

Design Counter Circuit

- นับจาก $0 > 3 > 5 > 2 > 1 > 0$ วงกลับมาที่ 0 ใหม่ (RS NAND)

Step การออกแบบดังนี้

1. ตรวจสอบว่าใช้ Flip Flop กี่ตัวจาก \rightarrow 3 ตัว นับค่าได้สูงสุดที่ 7
2. เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด

ตารางการกระตุ้น RS Flip Flop NAND Gate

$Q(t) > Q(t+1)$	S	R
$0 > 0$	1	X
$0 > 1$	0	1
$1 > 0$	1	0
$1 > 1$	X	1

Memory 1 1
Error 0 0

④

ใส่ค่าของ RS NAND					
$0 > 1$					
S	R				
0	1				
$1 > 0$					
S	R				
1	0				

37

Design Counter Circuit

นับจาก $0 > 3 > 5 > 2 > 1 > 0$ วงกลับมาที่ 0 ใหม่ (RS NAND)

2. เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด
3. เขียน Stage Transition ตารางการเปลี่ยนสถานะ

Stage Transition

Output					
Q(t)			Q(t+1)		
A	B	C	A	B	C

Input					
A		B		C	
S	R	S	R	S	R

38

Design Counter Circuit

นับจาก $0 > 3 > 5 > 2 > 1 > 0$ วงกลับมาที่ 0 ใหม่ (RS NAND)

2. เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด
3. เขียน Stage Transition ตารางการเปลี่ยนสถานะ

Stage Transition

①
ใส่ค่าของ
Output ให้ครบ

	Output					
	Q(t)			Q(t+1)		
	A	B	C	A	B	C
$0 > 3$	0	0	0	1	1	0
$3 > 5$						
$5 > 2$						
$2 > 1$						
$1 > 0$						

39

Design Counter Circuit

นับจาก $0 > 3 > 5 > 2 > 1 > 0$ วงกลับมาที่ 0 ใหม่ (RS NAND)

2. เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด
3. เขียน Stage Transition ตารางการเปลี่ยนสถานะ

Stage Transition

①
ใส่ค่าของ
Output ให้ครบ

	Output					
	Q(t)			Q(t+1)		
	A	B	C	A	B	C
$0 > 3$	0	0	0	1	1	0
$3 > 5$	1	1	0	1	0	1
$5 > 2$	1	0	1	0	1	0
$2 > 1$	0	1	0	1	0	0
$1 > 0$	1	0	0	0	0	0

40

Design Counter Circuit

นับจาก $0 > 3 > 5 > 2 > 1 > 0$ วงกลับมาที่ 0 ใหม่ (RS NAND)

- เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด
- เขียน Stage Transition ตารางการเปลี่ยนสถานะ

Stage Transition

	Output					
	Q(t)			Q(t+1)		
	A	B	C	A	B	C
$0 > 3$	0	0	0	1	1	0
$3 > 5$	1	1	0	1	0	1
$5 > 2$	1	0	1	0	1	0
$2 > 1$	0	1	0	1	0	0
$1 > 0$	1	0	0	0	0	0

ใส่ค่าใน Input โดยเอา ตารางการกระตุ้นมาใช้

Q(t) > Q(t+1)	S	R
$0 > 0$	1	X
$0 > 1$	0	1
$1 > 0$	1	0
$1 > 1$	X	1

Flip Flop A

Input					
A		B		C	
S	R	S	R	S	R
0	1				
X	1				
1	0				
0	1				
1	0				

41

Design Counter Circuit

นับจาก $0 > 3 > 5 > 2 > 1 > 0$ วงกลับมาที่ 0 ใหม่ (RS NAND)

- เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด
- เขียน Stage Transition ตารางการเปลี่ยนสถานะ

Stage Transition

	Output					
	Q(t)			Q(t+1)		
	A	B	C	A	B	C
$0 > 3$	0	0	0	1	1	0
$3 > 5$	1	1	0	1	0	1
$5 > 2$	1	0	1	0	1	0
$2 > 1$	0	1	0	1	0	0
$1 > 0$	1	0	0	0	0	0

ใส่ค่าใน Input โดยเอา ตารางการกระตุ้นมาใช้

Q(t) > Q(t+1)	S	R
$0 > 0$	1	X
$0 > 1$	0	1
$1 > 0$	1	0
$1 > 1$	X	1

Flip Flop B

Input					
A		B		C	
S	R	S	R	S	R
0	1	0	1		
X	1	1	0		
1	0	0	1		
0	1	X	1		
1	0	1	X		

42

Design Counter Circuit

นับจาก $0 > 3 > 5 > 2 > 1 > 0$ วงกลับมาที่ 0 ใหม่ (RS NAND)

- เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด
- เขียน Stage Transition ตารางการเปลี่ยนสถานะ

Stage Transition

	Output					
	Q(t)			Q(t+1)		
	A	B	C	A	B	C
$0 > 3$	0	0	0	1	1	0
$3 > 5$	1	1	0	1	0	1
$5 > 2$	1	0	1	0	1	0
$2 > 1$	0	1	0	1	0	0
$1 > 0$	1	0	0	0	0	0

ใส่ค่าใน Input โดยเอา ตารางการกระตุ้นมาใช้

Q(t) > Q(t+1)	S	R
$0 > 0$	1	X
$0 > 1$	0	1
$1 > 0$	1	0
$1 > 1$	X	1

Flip Flop C

Input					
A		B		C	
S	R	S	R	S	R
0	1	0	1	1	X
X	1	1	0	0	1
1	0	0	1	1	0
0	1	X	1	1	X
1	0	1	X	1	X

43

Design Counter Circuit

เมื่อได้ตารางการเปลี่ยนสถานะ ให้นำไปออกแบบวงจร
- สามารถใช้ Kmap

เขียน K Map
จำนวนตาราง ขึ้นกับค่า Input
6 input = 6 ตาราง

Stage Transition

	Output					
	Q(t)			Q(t+1)		
	A	B	C	A	B	C
$0 > 3$	0	0	0	1	1	0
$3 > 5$	1	1	0	1	0	1
$5 > 2$	1	0	1	0	1	0
$2 > 1$	0	1	0	1	0	0
$1 > 0$	1	0	0	0	0	0

44

Design Counter Circuit

3

เขียน K Map
จำนวนตาราง ขึ้นกับค่า Input
6 input = 6 ตาราง

Output						Input					
Q(t)			Q(t+1)			A		B		C	
A	B	C	A	B	C	S	R	S	R	S	R
0	0	0	1	1	0	0	1	0	1	1	X
1	1	0	1	0	1	X	1	1	0	0	1
1	0	1	0	1	0	1	0	0	1	1	0
0	1	0	1	0	0	0	1	X	1	1	X
1	0	0	0	0	0	1	0	1	X	1	X

FFA input S

AB \ C	00	01	11	10
0	0	0	X	1
1	X	X	X	1

$$S_A = ABC$$

$$S_A = A$$

FFA input R

AB \ C	00	01	11	10
0	1	1	1	0
1	X	X	X	0

$$R_A = ABC + \bar{A}BC$$

$$R_A = \bar{A} + B$$

45

Design Counter Circuit

3

เขียน K Map
จำนวนตาราง ขึ้นกับค่า Input
6 input = 6 ตาราง

Output						Input					
Q(t)			Q(t+1)			A		B		C	
A	B	C	A	B	C	S	R	S	R	S	R
0	0	0	1	1	0	0	1	0	1	1	X
1	1	0	1	0	1	X	1	1	0	0	1
1	0	1	0	1	0	1	0	0	1	1	0
0	1	0	1	0	0	0	1	X	1	1	X
1	0	0	0	0	0	1	0	1	X	1	X

FFA input S

AB \ C	00	01	11	10
0	0	0	X	1
1	X	X	X	1

FFA input R

AB \ C	00	01	11	10
0	1	1	1	0
1	X	X	X	0

$$S_A = A$$

$$R_A = \bar{A} + B$$

FFB input S

AB \ C	00	01	11	10
0	0	X	1	1
1	X	X	X	0

FFB input R

AB \ C	00	01	11	10
0	1	1	0	X
1	X	X	X	1

$$S_B = A\bar{C}$$

$$R_B = \bar{A} + C$$

FFC input S

AB \ C	00	01	11	10
0	1	1	0	1
1	X	X	X	1

FFC input R

AB \ C	00	01	11	10
0	X	X	1	X
1	X	X	X	0

$$S_C = \bar{A} + \bar{B}$$

$$R_C = \bar{C}$$

46

Design Counter Circuit

#2 RS Flip Flop (NOR)

47

Design Counter Circuit

ตัวอย่าง ออกแบบวงจรนับ ดังนี้

- นับจาก 0 > 3 > 5 > 2 > 1 > 0 วงกลับมาที่ 0 ใหม่
- ใช้ RS Flip Flop แบบ NOR Gate

Step การออกแบบดังนี้

1. ตรวจสอบว่าใช้ Flip Flop กี่ตัวจาก -> 3 ตัว นับค่าได้สูงสุดที่ 7
2. เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด
3. เขียน Stage Transition ตารางการเปลี่ยนสถานะ

48

Design Counter Circuit

- นับจาก 0 > 3 > 5 > 2 > 1 > 0 วงกลับมาที่ 0 ใหม่ (RS NOR)

Step การออกแบบดังนี้

1. ตรวจสอบว่าใช้ Flip Flop กี่ตัวจาก -> 3 ตัว นับค่าได้สูงสุดที่ 7
2. เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด

ตารางการกระตุ้น RS Flip Flop NOR Gate

Q(t) > Q(t+1)	S	R
0 > 0	0	X
0 > 1		
1 > 0		
1 > 1		

Memory 0 0
Error 1 1

Tip
ใส่ค่าของ Not Change ก่อน
S R
0 0
0 1

49

Design Counter Circuit

- นับจาก 0 > 3 > 5 > 2 > 1 > 0 วงกลับมาที่ 0 ใหม่ (RS NOR)

Step การออกแบบดังนี้

1. ตรวจสอบว่าใช้ Flip Flop กี่ตัวจาก -> 3 ตัว นับค่าได้สูงสุดที่ 7
2. เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด

ตารางการกระตุ้น RS Flip Flop NOR Gate

Q(t) > Q(t+1)	S	R
0 > 0	0	X
0 > 1		
1 > 0		
1 > 1	X	0

Memory 0 0
Error 1 1

Tip
ใส่ค่าของ Error
S R
0 0
1 0
Tip สลับ Not Change

50

Design Counter Circuit

- นับจาก 0 > 3 > 5 > 2 > 1 > 0 วงกลับมาที่ 0 ใหม่ (RS NOR)

Step การออกแบบดังนี้

1. ตรวจสอบว่าใช้ Flip Flop กี่ตัวจาก -> 3 ตัว นับค่าได้สูงสุดที่ 7
2. เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด

ตารางการกระตุ้น RS Flip Flop NOR Gate

Q(t) > Q(t+1)	S	R
0 > 0	0	X
0 > 1	1	0
1 > 0	0	1
1 > 1	X	0

Memory 0 0
Error 1 1

Tip
ใส่ค่าของ RS NOR
0 > 1
S R
1 0
1 > 0
S R
0 1

51

Design Counter Circuit

นับจาก 0 > 3 > 5 > 2 > 1 > 0 วงกลับมาที่ 0 ใหม่ (RS NOR)

2. เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด
3. เขียน Stage Transition ตารางการเปลี่ยนสถานะ

Stage Transition

Output						Input					
Q(t)			Q(t+1)			A		B		C	
A	B	C	A	B	C	S	R	S	R	S	R

52

Design Counter Circuit

นับจาก 0 > 3 > 5 > 2 > 1 > 0 วงกลับมาที่ 0 ใหม่ (RS NOR)

- เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด
- เขียน Stage Transition ตารางการเปลี่ยนสถานะ

① ใส่ค่าของ Output ให้ครบ

Stage Transition

	Output						Input					
	Q(t)			Q(t+1)			A		B		C	
	A	B	C	A	B	C	S	R	S	R	S	R
0 > 3	0	0	0	1	1	0						
3 > 5												
5 > 2												
2 > 1												
1 > 0												

53

Design Counter Circuit

นับจาก 0 > 3 > 5 > 2 > 1 > 0 วงกลับมาที่ 0 ใหม่ (RS NOR)

- เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด
- เขียน Stage Transition ตารางการเปลี่ยนสถานะ

① ใส่ค่าของ Output ให้ครบ

Stage Transition

	Output						Input					
	Q(t)			Q(t+1)			A		B		C	
	A	B	C	A	B	C	S	R	S	R	S	R
0 > 3	0	0	0	1	1	0						
3 > 5	1	1	0	1	0	1						
5 > 2	1	0	1	0	1	0						
2 > 1	0	1	0	1	0	0						
1 > 0	1	0	0	0	0	0						

54

Design Counter Circuit

นับจาก 0 > 3 > 5 > 2 > 1 > 0 วงกลับมาที่ 0 ใหม่ (RS NOR)

- เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด
- เขียน Stage Transition ตารางการเปลี่ยนสถานะ

② ใส่ค่าใน Input โดยเอา ตารางการกระตุ้นมาใช้

Q(t) > Q(t+1)	S	R
0 > 0	0	X
0 > 1	1	0
1 > 0	0	1
1 > 1	X	0

Stage Transition

	Output						Input					
	Q(t)			Q(t+1)			A		B		C	
	A	B	C	A	B	C	S	R	S	R	S	R
0 > 3	0	0	0	1	1	0						
3 > 5	1	1	0	1	0	1						
5 > 2	1	0	1	0	1	0						
2 > 1	0	1	0	1	0	0						
1 > 0	1	0	0	0	0	0						

Flip Flop A

	Input					
	A		B		C	
	S	R	S	R	S	R
0 > 3	1	0				
3 > 5	X	0				
5 > 2	0	1				
2 > 1	1	0				
1 > 0	0	1				

55

Design Counter Circuit

นับจาก 0 > 3 > 5 > 2 > 1 > 0 วงกลับมาที่ 0 ใหม่ (RS NOR)

- เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด
- เขียน Stage Transition ตารางการเปลี่ยนสถานะ

② ใส่ค่าใน Input โดยเอา ตารางการกระตุ้นมาใช้

Q(t) > Q(t+1)	S	R
0 > 0	0	X
0 > 1	1	0
1 > 0	0	1
1 > 1	X	0

Stage Transition

	Output						Input					
	Q(t)			Q(t+1)			A		B		C	
	A	B	C	A	B	C	S	R	S	R	S	R
0 > 3	0	0	0	1	1	0						
3 > 5	1	1	0	1	0	1						
5 > 2	1	0	1	0	1	0						
2 > 1	0	1	0	1	0	0						
1 > 0	1	0	0	0	0	0						

Flip Flop B

	Input					
	A		B		C	
	S	R	S	R	S	R
0 > 3	1	0	1	0		
3 > 5	X	0	0	1		
5 > 2	0	1	1	0		
2 > 1	1	0	0	1		
1 > 0	0	1	0	X		

56

Design Counter Circuit

นับจาก $0 > 3 > 5 > 2 > 1 > 0$ วงกลับมาที่ 0 ใหม่ (RS NOR)

- เขียนตารางการกระตุ้นของ Flip Flop ที่กำหนด
- เขียน Stage Transition ตารางการเปลี่ยนสถานะ

② ใส่ค่าใน Input โดยเอา ตารางการกระตุ้นมาใช้

$Q(t) > Q(t+1)$	S	R
$0 > 0$	0	X
$0 > 1$	1	0
$1 > 0$	0	1
$1 > 1$	X	0

Stage Transition

	Output					
	Q(t)			Q(t+1)		
	A	B	C	A	B	C
$0 > 3$	0	0	0	1	1	0
$3 > 5$	1	1	0	1	0	1
$5 > 2$	1	0	1	0	1	0
$2 > 1$	0	1	0	1	0	0
$1 > 0$	1	0	0	0	0	0

Flip Flop C

Input					
A		B		C	
S	R	S	R	S	R
1	0	1	0	0	X
X	0	0	1	1	0
0	1	1	0	0	1
1	0	0	1	0	X
0	1	0	X	0	X

57

Design Counter Circuit

เมื่อได้ตารางการเปลี่ยนสถานะ ให้นำไปออกแบบวงจร
- สามารถใช้ Kmap

③ เขียน K Map
จำนวนตาราง ขึ้นกับค่า Input
6 input = 6 ตาราง

Stage Transition

	Output					
	Q(t)			Q(t+1)		
	A	B	C	A	B	C
$0 > 3$	0	0	0	1	1	0
$3 > 5$	1	1	0	1	0	1
$5 > 2$	1	0	1	0	1	0
$2 > 1$	0	1	0	1	0	0
$1 > 0$	1	0	0	0	0	0

Input					
A		B		C	
S	R	S	R	S	R
1	0	1	0	0	X
X	0	0	1	1	0
0	1	1	0	0	1
1	0	0	1	0	X
0	1	0	X	0	X

58

Design Counter Circuit

เมื่อได้ตารางการเปลี่ยนสถานะ ให้นำไปออกแบบวงจร
- สามารถใช้ Kmap

③ เขียน K Map
จำนวนตาราง ขึ้นกับค่า Input
6 input = 6 ตาราง

Stage Transition

	Output					
	Q(t)			Q(t+1)		
	A	B	C	A	B	C
$0 > 3$	0	0	0	1	1	0
$3 > 5$	1	1	0	1	0	1
$5 > 2$	1	0	1	0	1	0
$2 > 1$	0	1	0	1	0	0
$1 > 0$	1	0	0	0	0	0

Input					
A		B		C	
S	R	S	R	S	R
1	0	1	0	0	X
X	0	0	1	1	0
0	1	1	0	0	1
1	0	0	1	0	X
0	1	0	X	0	X

59

Design Counter Circuit

③ เขียน K Map
จำนวนตาราง ขึ้นกับค่า Input
6 input = 6 ตาราง

	Output					
	Q(t)			Q(t+1)		
	A	B	C	A	B	C
0	0	0	0	1	1	0
1	1	1	0	1	0	1
2	1	0	1	0	1	0
3	0	1	0	1	0	0
4	1	0	0	0	0	0

Input					
A		B		C	
S	R	S	R	S	R
1	0	1	0	0	X
X	0	0	1	1	0
0	1	1	0	0	1
1	0	0	1	0	X
0	1	0	X	0	X

FFA input S

AB	00	01	11	10
0	X	X	X	X
1	X	X	X	X

$$S_A = ABC$$

FFA input R

AB	00	01	11	10
0	X	X	X	X
1	X	X	X	X

$$R_A = ABC$$

60

Design Counter Circuit

- 3 เขียน K Map
จำนวนตาราง ขึ้นกับค่า Input
6 input = 6 ตาราง

Output						Input					
Q(t)			Q(t+1)			A	B	C	A	B	C
0	0	0	1	1	0	0	0	0	1	0	0
0	0	0	1	0	1	0	0	1	0	0	1
0	1	0	1	0	1	0	1	0	0	1	0
0	1	0	1	0	0	1	0	0	1	0	0
0	1	0	1	0	0	1	0	1	0	0	1
1	0	0	0	0	0	1	1	0	0	0	0

FFA input S

AB	00	01	11	10
C 0	1	1	X	0
1	X	X	X	0

$$S_A = ABC$$

$$S_A = \bar{A}$$

FFA input R

AB	00	01	11	10
C 0	0	0	0	1
1	X	X	X	1

$$R_A = ABC$$

$$R_A = A\bar{B}$$

61

Design Counter Circuit

- 3 เขียน K Map
จำนวนตาราง ขึ้นกับค่า Input
6 input = 6 ตาราง

Output						Input					
Q(t)			Q(t+1)			A	B	C	A	B	C
0	0	0	1	1	0	0	0	0	1	0	0
0	0	0	1	0	1	0	0	1	0	0	1
0	1	0	1	0	1	0	1	0	0	1	0
0	1	0	1	0	0	1	0	0	1	0	0
0	1	0	1	0	0	1	0	1	0	0	1
1	0	0	0	0	0	1	1	0	0	0	0

FFA input S

AB	00	01	11	10
C 0	1	1	X	0
1	X	X	X	0

FFA input R

AB	00	01	11	10
C 0	0	0	0	1
1	X	X	X	1

$$S_A = \bar{A}$$

$$R_A = A\bar{B}$$

FFB input S

AB	00	01	11	10
C 0	X	X	X	X
1	X	X	X	X

FFB input R

AB	00	01	11	10
C 0	X	X	X	X
1	X	X	X	X

$$S_B = _$$

$$R_B = _$$

FFC input S

AB	00	01	11	10
C 0	X	X	X	X
1	X	X	X	X

FFC input R

AB	00	01	11	10
C 0	X	X	X	X
1	X	X	X	X

$$S_C = _$$

$$R_C = _$$

62

Design Counter Circuit

- 3 เขียน K Map
จำนวนตาราง ขึ้นกับค่า Input
6 input = 6 ตาราง

Output						Input					
Q(t)			Q(t+1)			A	B	C	A	B	C
0	0	0	1	1	0	0	0	0	1	0	0
0	0	0	1	0	1	0	0	1	0	0	1
0	1	0	1	0	1	0	1	0	0	1	0
0	1	0	1	0	0	1	0	0	1	0	0
0	1	0	1	0	0	1	0	1	0	0	1
1	0	0	0	0	0	1	1	0	0	0	0

FFA input S

AB	00	01	11	10
C 0	1	1	X	0
1	X	X	X	0

$$S_A = \bar{A}$$

$$R_A = A\bar{B}$$

FFA input R

AB	00	01	11	10
C 0	0	0	0	1
1	X	X	X	1

FFB input S

AB	00	01	11	10
C 0	1	0	0	0
1	X	X	X	1

$$S_B = \bar{A}\bar{B} + C$$

$$R_B = \bar{A} + B$$

FFB input R

AB	00	01	11	10
C 0	1	1	1	X
1	X	X	X	0

FFC input S

AB	00	01	11	10
C 0	0	2	6	1
1	X	X	X	0

$$S_C = AB$$

$$R_C = \bar{B}$$

FFC input R

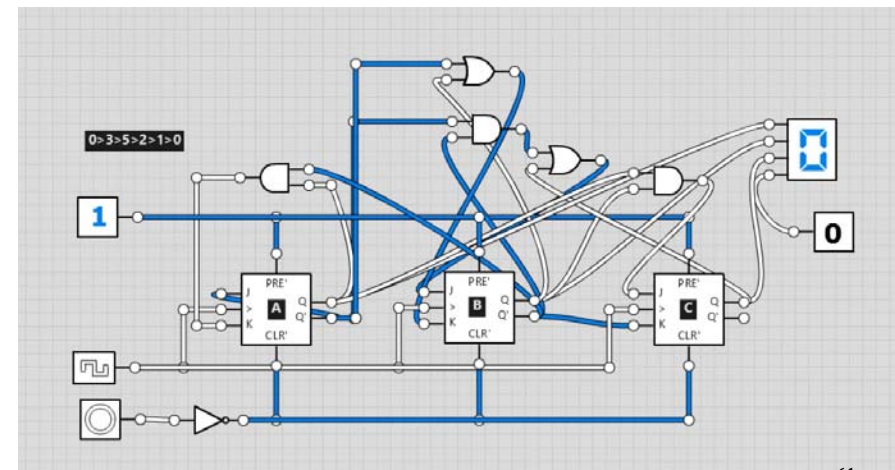
AB	00	01	11	10
C 0	X	X	0	X
1	X	X	X	1

63

Design Counter Circuit

0 > 3 > 5 > 2 > 1 > 0

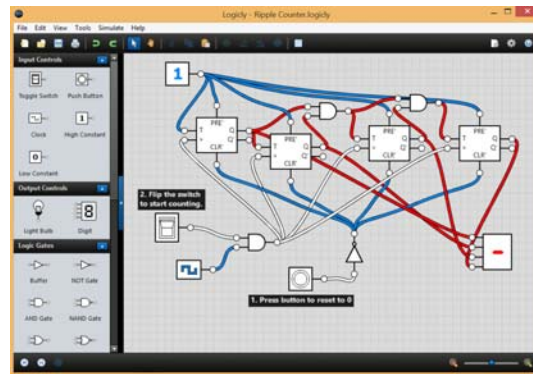
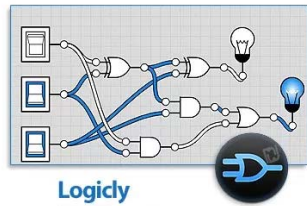
SR Flip Flop NOR Gate (Use JK FF in Simulation)



64

Program Simulation

- Logicly 1.8.0



START

Lab8 Sequential Circuits 3 Counter Circuit