

Logic Circuit Laboratory

Sequential Logic Circuits

1

Course Outline

- | | |
|----------------------------------|-------------------------------------|
| 1. Introduction | 8. Sequential Circuit I |
| 2. Logic Gates & Related Devices | 9. Sequential Circuit II |
| 3. Combination Circuits I | 10. Sequential Circuit III |
| 4. Combination Circuits II | 11. Sequential Circuit IV |
| 5. Combination Circuits III | 12. FPGA + Logic circuit project I |
| 6. Combination Circuits IV, Kmap | 13. FPGA + Logic circuit project II |
| 7. Combination Circuits IV, Kmap | 14. Lab Exam |

2

Week10 Sequential Circuit 4

"Register Memory"

Ref: Digital Systems: Principles and Applications, 11/e Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss

3

Agenda

1. Introduction Register
2. Serial In, Serial Out (SISO)
3. Serial In, Parallel Out (SIPO)
4. Parallel In, Serial Out (PISO)
5. Parallel In, Parallel Out (PIPO)

Ref: Digital Systems: Principles and Applications, 11/e Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss

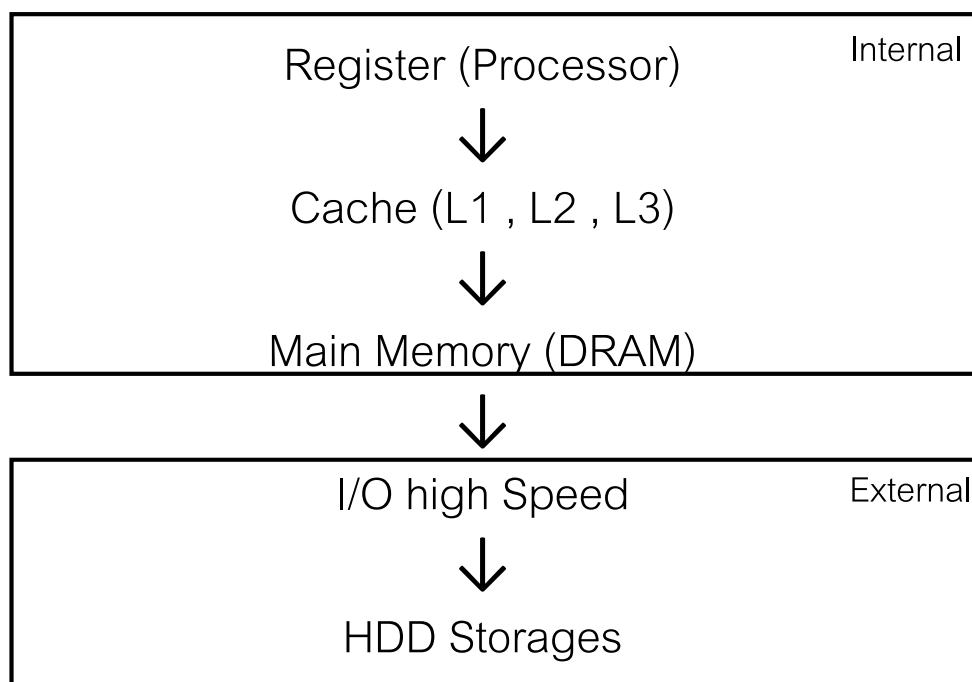
4

Register

5

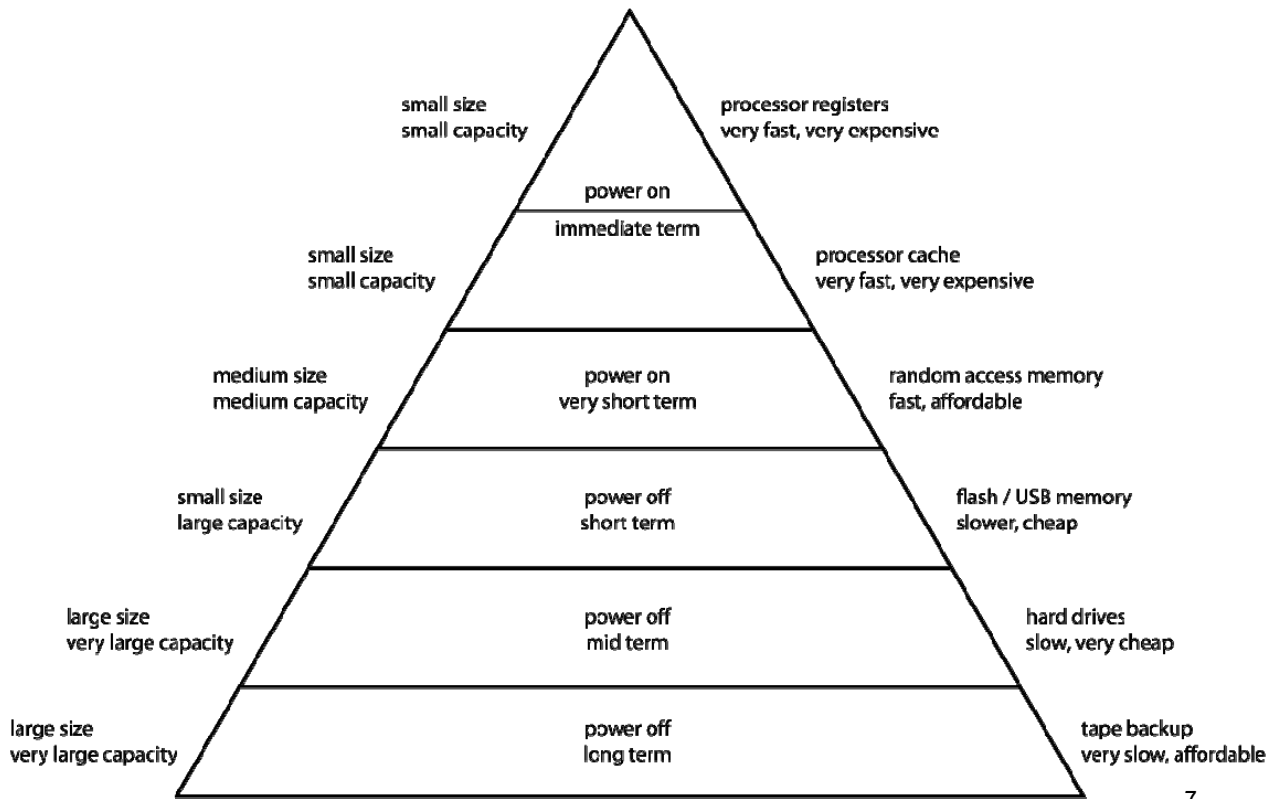
Register

หน่วยความจำ เรียงจาก การเข้าถึงข้อมูลได้เร็วที่สุดไปยังต่ำที่สุด



6

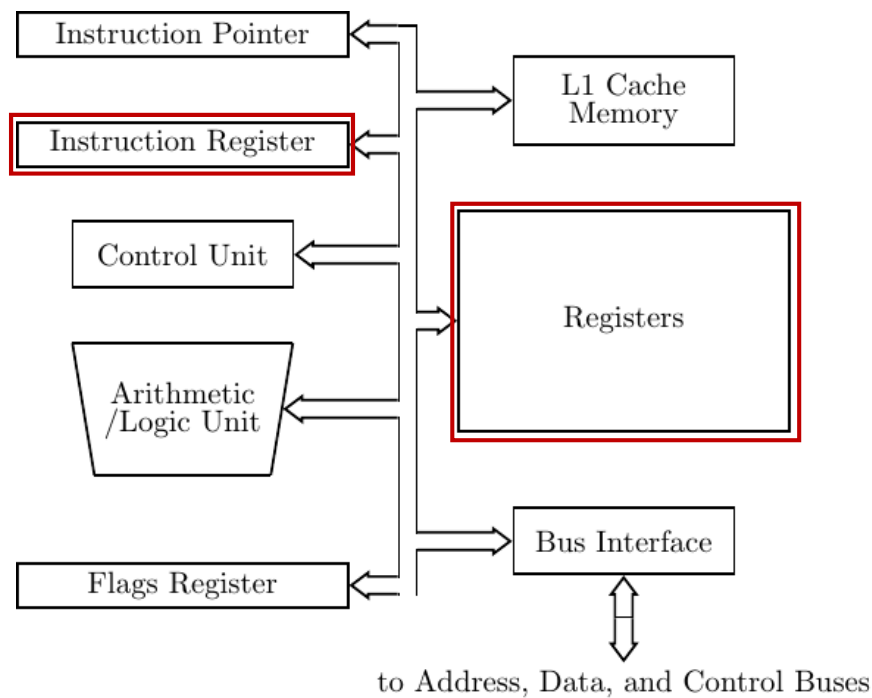
Computer Memory Hierarchy



Register

- Register หน่วยความจำที่ทำงาน ได้เร็วที่สุด
- ขนาดเล็กที่สุด และ ราคาแพงที่สุด
- เก็บไว้ในตัวโปรเซสเซอร์เอง
- โปรเซสเซอร์มีหน่วยความจำประเภทนี้ ไม่มาก
ประมาณ 20 – 30 ตัว ขึ้นอยู่กับโปรเซสเซอร์เอง

Register



CPU block diagram. The CPU communicates with the Memory and I/O

9

Register

Register มีการแบ่งประเภท

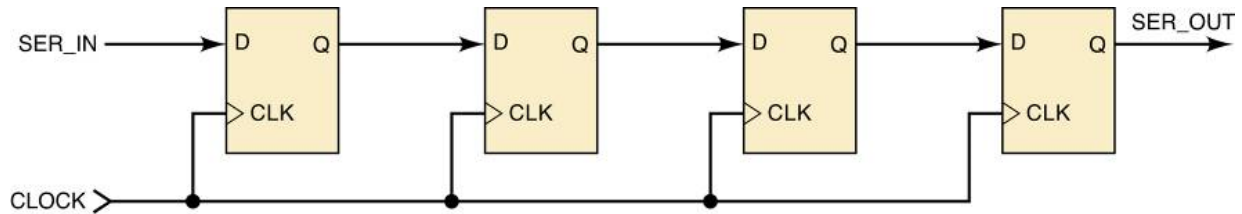
โดยแบ่งตาม ข้อมูลขาเข้า และขาออก

- Serial In, Serial Out (SISO)
- Serial In, Parallel Out (SIPO)
- Parallel In, Serial Out (PISO)
- Parallel In, Parallel Out (PIPO)

10

Register

1. Serial In, Serial Out (SISO)



74ALS166/74HC166

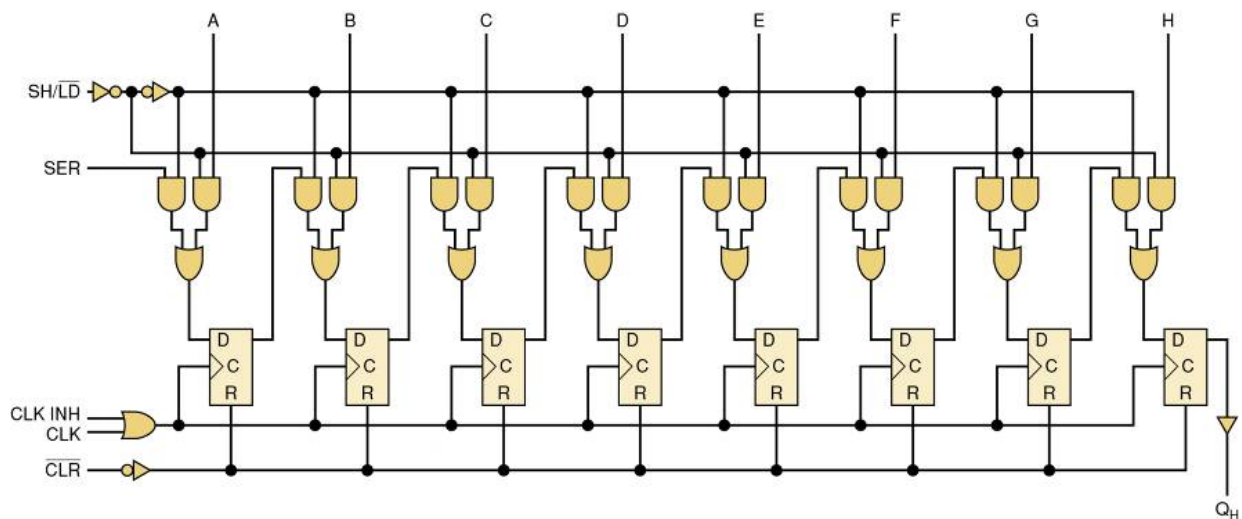
Serial in/serial out (SISO)

11

Register

1. Serial In, Serial Out (SISO)

74ALS166/74HC166



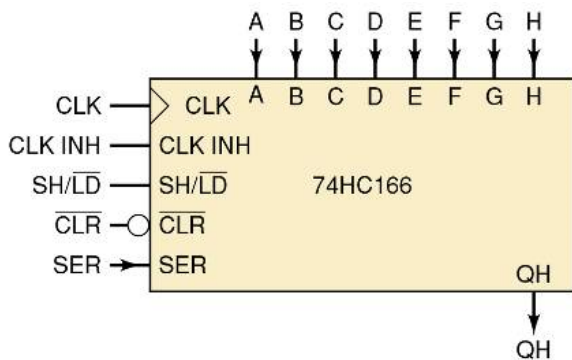
Circuit Diagram

12

Register

1. Serial In, Serial Out (SISO)

74ALS166/74HC166



Logic
Symbol

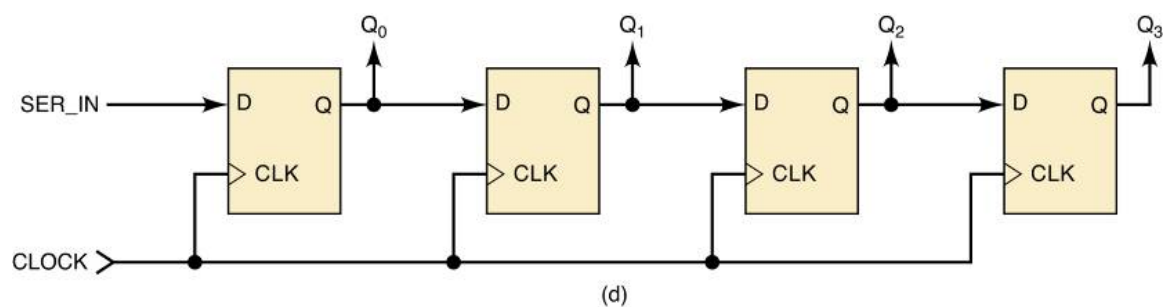
Function
Table

INPUTS						OUTPUTS		
						INTERNAL		QH
CLR	SH/LD	CLK INH	CLK	SER	PARALLEL A...H	QA	QB	
L	X	X	X	X	X	L	L	L
H	X	L	L	X	X	QA0	QB0	QH0
H	L	L	↑	X	a...h	a	b	h
H	H	L	↑	H	X	H	QAn	QGn
H	H	L	↑	L	X	L	QAn	QGn
H	X	H	↑	X	X	QA0	QB0	QH0

13

Register

2. Serial In, Parallel Out (SIPO)



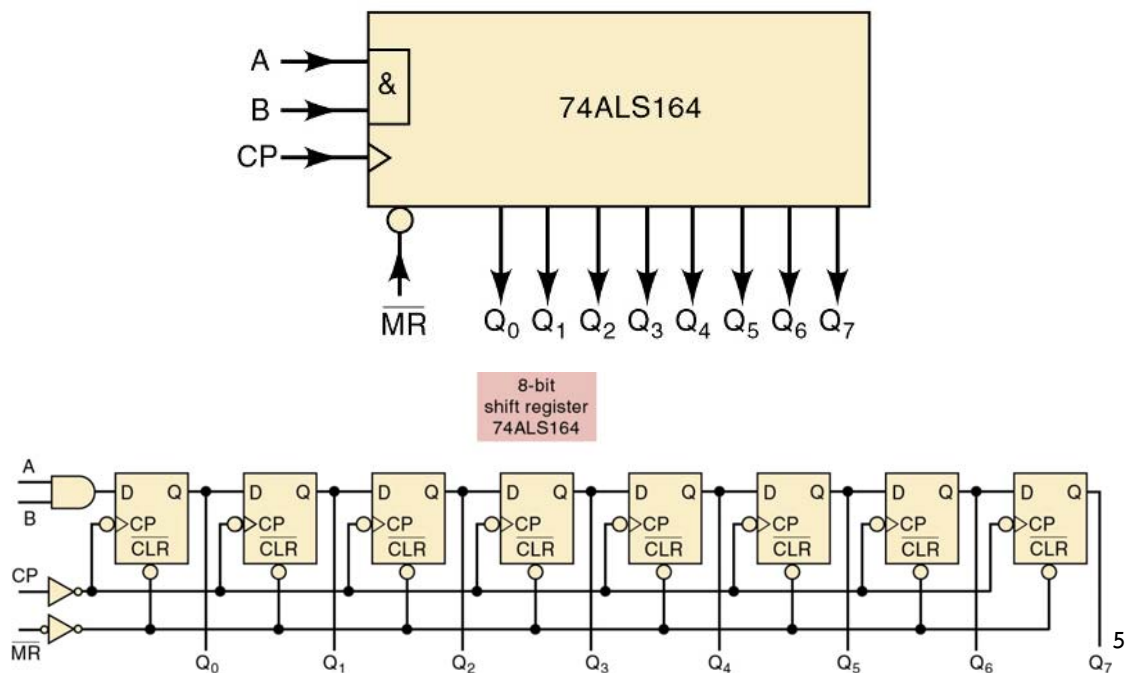
74ALS164/74HC164

8-bit serial in/parallel out (SIPO)

Register

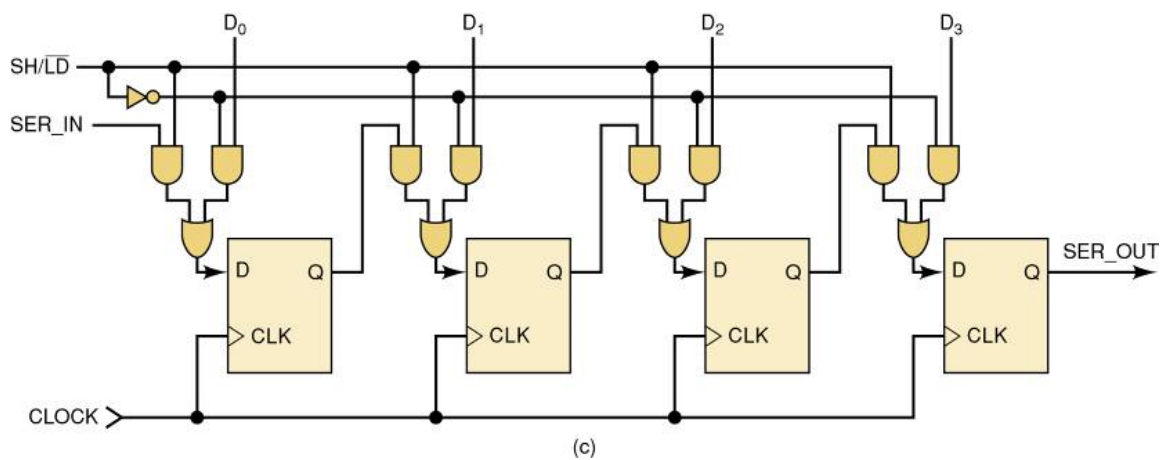
2. Serial In, Parallel Out (SIPO)

74ALS164/74HC164



Register

3. Parallel In, Serial Out (PISO)



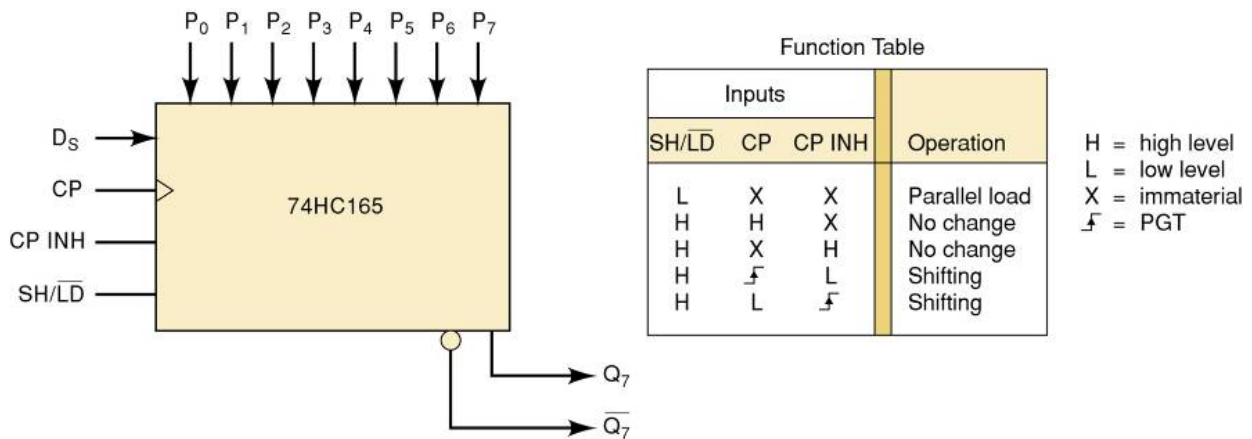
74ALS165/74HC165

8-bit parallel in/serial out (PISO)

Register

3. Parallel In, Serial Out (PISO)

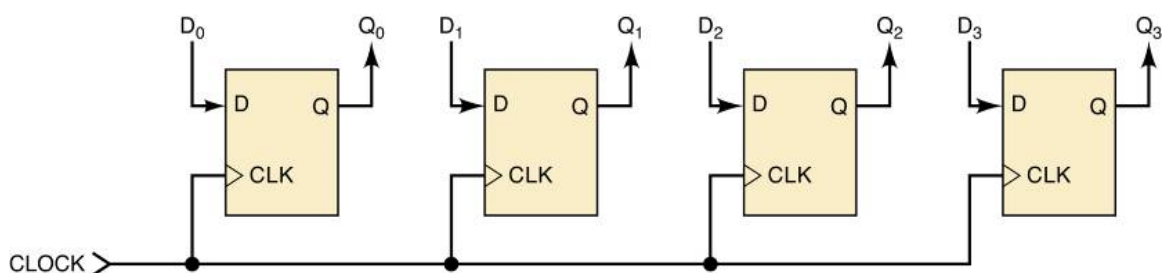
74ALS165/74HC165



17

Register

4. Parallel In, Parallel Out (PIPO)



74ALS174/74HC174

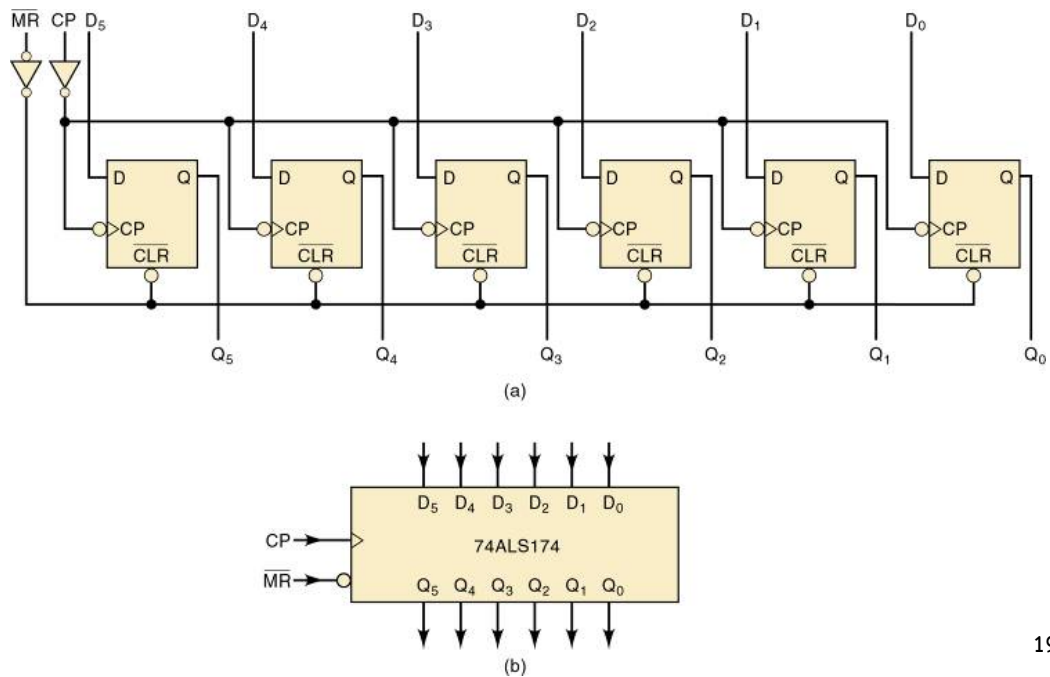
Parallel in/parallel out (PIPO)

18

Register

4. Parallel In, Parallel Out (PIPO)

74ALS174/74HC174

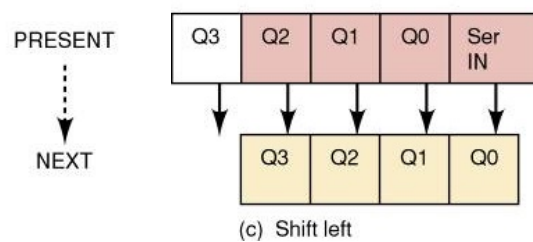


19

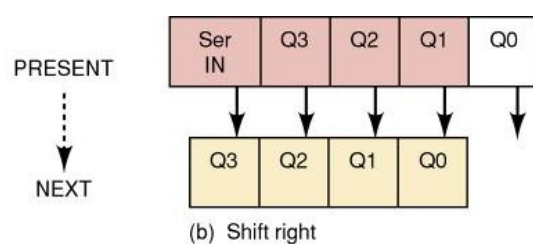
Register

การนำข้อมูลออกแบบอนุกรม Serial

■ Shift Left



■ Shift Right

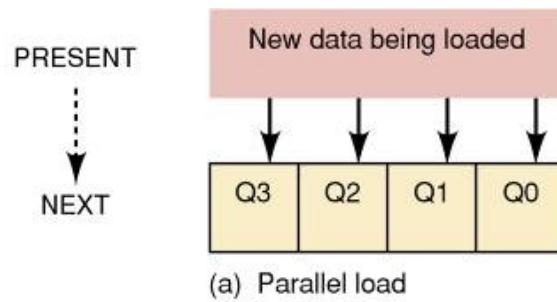


20

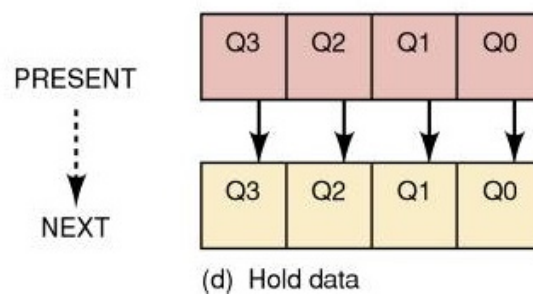
Register

การนำข้อมูลออกแบบขนาน Parallel

- Parallel load



- Hold Data



21

START

LAB 9 Sequential Circuit 4

22

LAB 9 Sequential Circuit 4

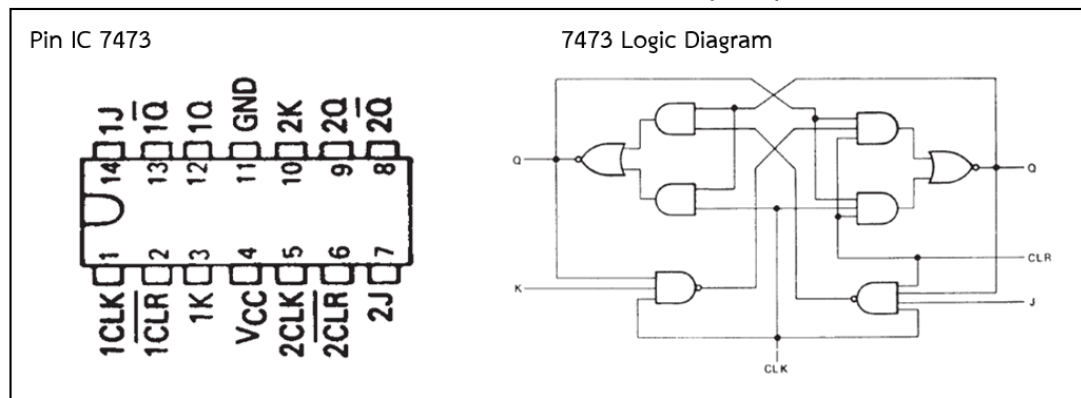
1. ส่งการต่อ Design circuit ที่ออกแบบจาก LAB8 (Lab8.3)
2. Lab 9.1
3. Lab 9.2
4. Lab 9.3

23

LAB 9 Sequential Circuit 4

1. ส่งการต่อ Design circuit ที่ออกแบบจาก LAB8 (Lab8.3)

Lab8.3 ออกแบบ Counter circuit โดยใช้ IC เบอร์ 7473 JK Flip Flop



โจทย์ 8.1 Design Counter circuit โดยใช้ IC 7473

1. ให้นิสิตออกแบบวงจรนับ และให้แสดงผลตัวเลข บน 7Segment 4Bit HEX INPUT
2. วงจรนับนี้จะมีการนับดังต่อไปนี้ $0 > 6 > 5 > 2 > 4 > 0$ (จะนับวนไปเรื่อยๆ)
3. ให้ออกแบบโดยใช้ IC 7473 JK Flip Flop นำมาใช้งาน

24

LAB 9 Sequential Circuit 4

2. Lab 9.1
3. Lab 9.2
4. Lab 9.3

เอกสาร นี้สามารถ Download ไฟล์จาก link ด้านล่างนี้ครับ

Folder Material: <https://goo.gl/3V5WUa>

Week1 : <https://goo.gl/6UtmH1>

Week2 : <https://goo.gl/GpJMvE>

Week3 : <https://goo.gl/dLJy7o>

Week4 : <https://goo.gl/amzoYt>

Week5 : <https://goo.gl/pSskjy>

Week6 : <https://goo.gl/MJqjLY>

---- Midterm ----

Week7 : <https://goo.gl/ewMbxJ>

Week8 : <https://goo.gl/vMD5LR>

Week9 : <https://goo.gl/2DGGiK>






Week10: <https://goo.gl/aoJ9ja> ←

25

LAB 9 Sequential Circuit 4

2. Lab 9.1
3. Lab 9.2
4. Lab 9.3

Datasheet Lab9.1 – Lab9.3

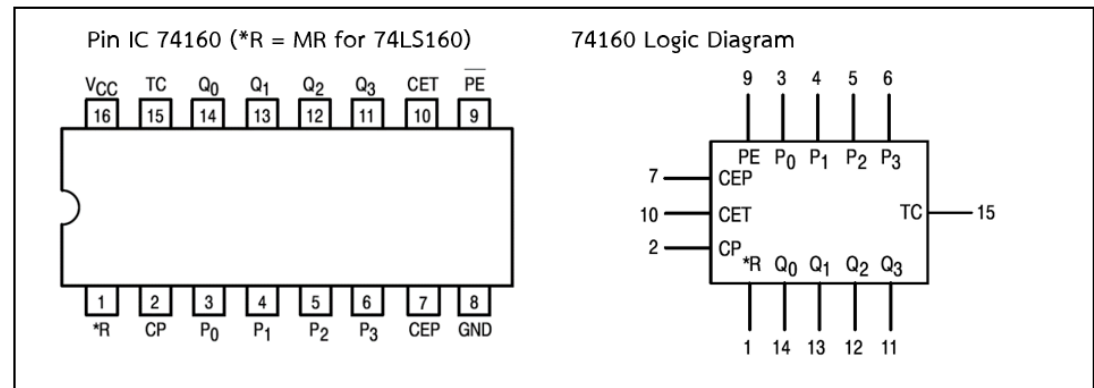
 10_Sequential_4_RegisterMemory_jwj.pdf	จีน	29 ต.ค. 2017 จีน
 74LS160.pdf	จีน	11:31 จีน
 74LS170.pdf	จีน	11:31 จีน
 74LS194.pdf	จีน	11:31 จีน
 lab09_SequentialCircuits.pdf	จีน	29 ต.ค. 2017 จีน

26

LAB 9 Sequential Circuit 4

2. Lab 9.1

Lab9.1 IC เบอร์ 74160 BCD Decade/4-BIT Binary Counters



โจทย์ IC 74160

1. ให้นิสิตออกแบบการใช้งาน ให้แสดงผลตัวเลข ตัวเลขจะวิ่งวน 0-9 บน 7Segment
2. ให้สามารถสั่งให้ Reset การนับได้ ตัวเลขที่แสดงจะกลับมาเป็นเลข 0 ($Q_0 = 0, Q_1 = 0, Q_2 = 0, Q_3 = 0$) และนับต่อ
3. ให้สามารถสั่งให้ Set การนับได้ ตัวเลขที่แสดงจะตั้งให้เป็นเลข 9 ($Q_0 = 1, Q_1 = 0, Q_2 = 0, Q_3 = 1$) และนับต่อ
4. ให้ไอซีนับค้ำงที่เลข 5 ($Q_0 = 1, Q_1 = 0, Q_2 = 1, Q_3 = 0$)

27

LAB 9 Sequential Circuit 4

2. Lab 9.1

PIN NAMES

PE	Parallel Enable (Active LOW) Input
P ₀ –P ₃	Parallel Inputs
CEP	Count Enable Parallel Input
CET	Count Enable Trickle Input
CP	Clock (Active HIGH Going Edge) Input
MR	Master Reset (Active LOW) Input
SR	Synchronous Reset (Active LOW) Input
Q ₀ –Q ₃	Parallel Outputs (Note b)
TC	Terminal Count Output (Note b)

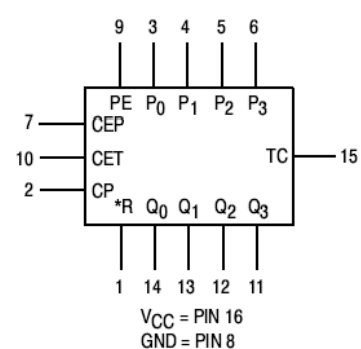
LOADING (Note a)

	HIGH	LOW
PE	1.0 U.L.	0.5 U.L.
P ₀ –P ₃	0.5 U.L.	0.25 U.L.
CEP	0.5 U.L.	0.25 U.L.
CET	1.0 U.L.	0.5 U.L.
CP	0.5 U.L.	0.25 U.L.
MR	0.5 U.L.	0.25 U.L.
SR	1.0 U.L.	0.5 U.L.
Q ₀ –Q ₃	10 U.L.	5 (2.5) U.L.
TC	10 U.L.	5 (2.5) U.L.

NOTES:

- a) 1 TTL Unit Load (U.L.) = 40 μ A HIGH/1.6 mA LOW.
b) The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

LOGIC SYMBOL



*MR for LS160A and LS161A
*SR for LS162A and LS163A

MODE SELECT TABLE

*SR	PE	CET	CEP	Action on the Rising Clock Edge (\uparrow)
L	X	X	X	RESET (Clear)
H	L	X	X	LOAD (P _n Q _n)
H	H	H	H	COUNT (Increment)
H	H	L	X	NO CHANGE (Hold)
H	H	X	L	NO CHANGE (Hold)

*For the LS162A and LS163A only.

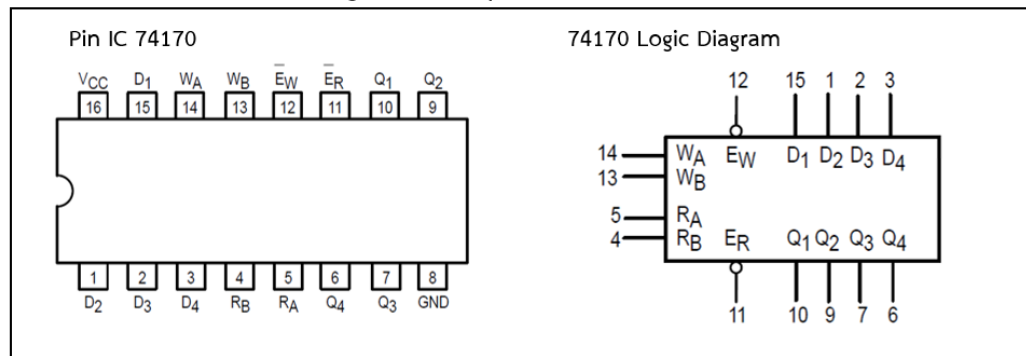
H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

28

LAB 9 Sequential Circuit 4

3. Lab 9.2

Lab9.2 IC เบอร์ 74170 4x4 Register File Open-Collector



โจทย์ IC 74170

1. ให้นิสิตออกแบบการใช้งาน ตามที่ Datasheet กำหนดเพื่อให้ไอซี สามารถบันทึกและอ่านข้อมูลได้
2. ให้บันทึกข้อมูล Address = 0b00 ข้อมูลที่บันทึก 0b0001
3. ให้บันทึกข้อมูล Address = 0b01 ข้อมูลที่บันทึก 0b0010
4. ให้บันทึกข้อมูล Address = 0b10 ข้อมูลที่บันทึก 0b0100
5. ให้บันทึกข้อมูล Address = 0b11 ข้อมูลที่บันทึก 0b1000
6. เมื่อบันทึกข้อมูลทั้งหมดครบ ให้นิสิตทดลองอ่านข้อมูล 0b00>0b01>0b10>0b11

29

LAB 9 Sequential Circuit 4

3. Lab 9.2

PIN NAMES

D1-D4	Data Inputs
WA, WB	Write Address Inputs
EW	Write Enable (Active LOW) Input
RA, RB	Read Address Inputs
ER	Read Enable (Active LOW) Input
Q1-Q4	Outputs (Note b)

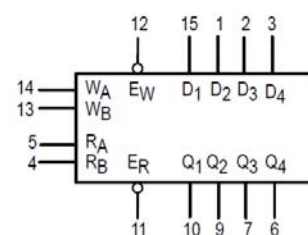
LOADING (Note a)

	HIGH	LOW
D1-D4	0.5 U.L.	0.25 U.L.
WA, WB	0.5 U.L.	0.25 U.L.
EW	1.0 U.L.	0.5 U.L.
RA, RB	0.5 U.L.	0.25 U.L.
ER	1.0 U.L.	0.5 U.L.
Q1-Q4	Open-Collector	5 (2.5) U.L.

NOTES:

- 1 TTL Unit Load (U.L.) = 40 μ A HIGH/1.6 mA LOW.
- The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges. The Output HIGH drive must be supplied by an external resistor to V_{CC}.

LOGIC SYMBOL



V_{CC} = PIN 16
GND = PIN 8

WRITE FUNCTION TABLE (SEE NOTES A, B, AND C)

WRITE INPUTS			WORD			
WB	WA	EW	0	1	2	3
L	L	L	Q = D	Q ₀	Q ₀	Q ₀
L	H	L	Q ₀	Q = D	Q ₀	Q ₀
H	L	L	Q ₀	Q ₀	Q = D	Q ₀
H	H	L	Q ₀	Q ₀	Q ₀	Q = D
X	X	H	Q ₀	Q ₀	Q ₀	Q ₀

READ FUNCTION TABLE (SEE NOTES A AND D)

READ INPUTS			OUTPUTS			
RB	RA	ER	Q1	Q2	Q3	Q4
L	L	L	W0B1	W0B2	W0B3	W0B4
L	H	L	W1B1	W1B2	W1B3	W1B4
H	L	L	W2B1	W2B2	W2B3	W2B4
H	H	L	W3B1	W3B2	W3B3	W3B4
X	X	H	H	H	H	H

NOTES: A. H = HIGH Level, L = LOW Level, X = Irrelevant.

B. (Q = D) = The four selected internal flip-flop outputs will assume the states applied to the four external data inputs.

C. Q₀ = the level of Q before the indicated input conditions were established.

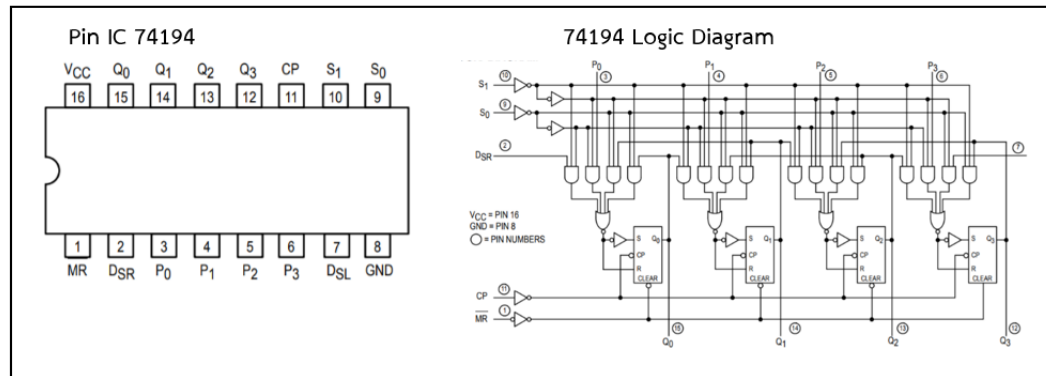
D. W0B1 = The first bit of word 0, etc.

30

LAB 9 Sequential Circuit 4

4. Lab 9.3

Lab9.3 IC เบอร์ 74194 4-Bit Bidirectional Universal Shift Register



โจทย์ IC 74194

1. ให้นิสิตออกแบบการใช้งาน ตามที่ Datasheet กำหนดเพื่อให้ไอซี สามารถบันทึกและอ่านข้อมูลได้
2. ให้นับที่ข้อมูล Address = 0b00 ข้อมูลที่บันทึก 0b0001
3. ให้นับที่ข้อมูล Address = 0b01 ข้อมูลที่บันทึก 0b0010
4. ให้นับที่ข้อมูล Address = 0b10 ข้อมูลที่บันทึก 0b0100
5. ให้นับที่ข้อมูล Address = 0b11 ข้อมูลที่บันทึก 0b1000
6. เมื่อบันทึกข้อมูลทั้งหมดครบ ให้นิสิตทดลองอ่านข้อมูล 0b00>0b01>0b10>0b11

31

LAB 9 Sequential Circuit 4

4. Lab 9.3

PIN NAMES

S ₀ , S ₁	Mode Control Inputs
P ₀ –P ₃	Parallel Data Inputs
DSR	Serial (Shift Right) Data Input
DSL	Serial (Shift Left) Data Input
CP	Clock (Active HIGH Going Edge) Input
MR	Master Reset (Active LOW) Input
Q ₀ –Q ₃	Parallel Outputs (Note b)

LOADING (Note a)

	HIGH	LOW
S ₀ , S ₁	0.5 U.L.	0.25 U.L.
P ₀ –P ₃	0.5 U.L.	0.25 U.L.
DSR	0.5 U.L.	0.25 U.L.
DSL	0.5 U.L.	0.25 U.L.
CP	0.5 U.L.	0.25 U.L.
MR	0.5 U.L.	0.25 U.L.
Q ₀ –Q ₃	10 U.L.	5 (2.5) U.L.

NOTES:

a. 1 TTL Unit Load (U.L.) = 40 μA HIGH/1.6 mA LOW.

b. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS						OUTPUTS			
	MR	S ₁	S ₀	DSR	DSL	P _n	Q ₀	Q ₁	Q ₂	Q ₃
Reset	L	X	X	X	X	X	L	L	L	L
Hold	H	l	l	X	X	X	q ₀	q ₁	q ₂	q ₃
Shift Left	H	h	l	X	l	X	q ₁	q ₂	q ₃	L
	H	h	l	X	h	X	q ₁	q ₂	q ₃	H
Shift Right	H	l	h	l	X	X	L	q ₀	q ₁	q ₂
	H	l	h	h	X	X	H	q ₀	q ₁	q ₂
Parallel Load	H	h	h	X	X	P _n	P ₀	P ₁	P ₂	P ₃

L = LOW Voltage Level

H = HIGH Voltage Level

X = Don't Care

l = LOW voltage level one set-up time prior to the LOW to HIGH clock transition

h = HIGH voltage level one set-up time prior to the LOW to HIGH clock transition

p_n (q_n) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the LOW to HIGH clock transition.

32