

Logic Circuit Laboratory

Sequential Logic Circuits

1

Course Outline

1. Introduction
2. Logic Gates & Related Devices
3. Combination Circuits I
4. Combination Circuits II
5. Combination Circuits III
6. Combination Circuits IV, Kmap
7. Combination Circuits IV, Kmap

8. Sequential Circuit I
9. Sequential Circuit II
10. Sequential Circuit III
11. Sequential Circuit IV
12. Design Sheet Lab9 (Register)
13. FPGA + Logic circuit project
14. Lab Exam

2

Week12

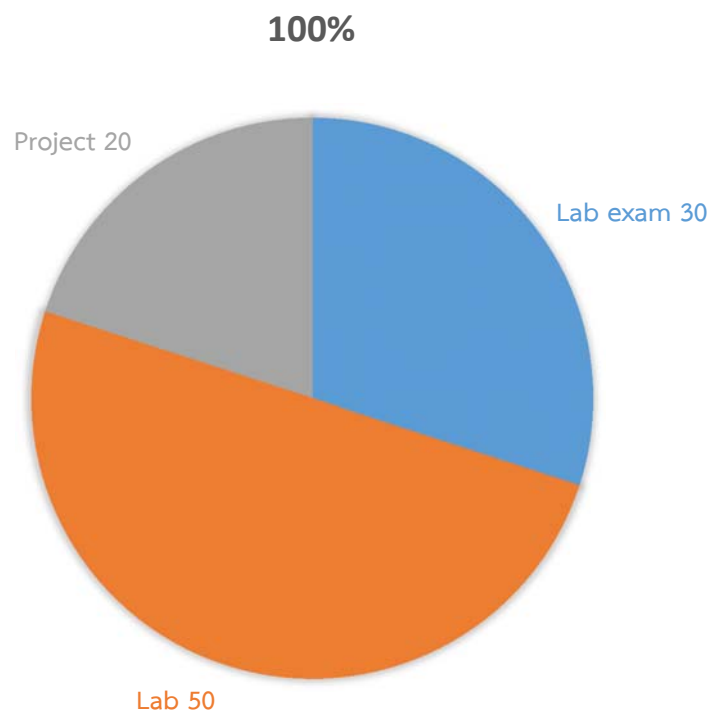
Logic circuit project & FPGA (Field Programmable Gate Array)

3

Logic circuit Project

4

Assessment



5

Logic circuit Project

Member: 2-3

1. Document (10)

- Project Description
- Logic Schematic

2. Practice (10)

6

Logic circuit Project

List

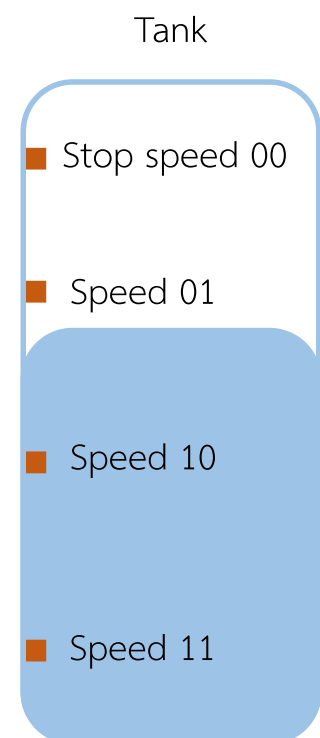
- Water tank
- People count
- Traffic control
- Elevator System

7

Logic circuit Project

Water tank ระบบควบคุมการปั้มน้ำ

- มี Sensor วัดระดับน้ำ 4จุด (ใช้ Toggle switch)
- เมื่อมีน้ำจะส่ง Logic 1 ไม่มีน้ำ Logic 0
- ปั้มน้ำจะมีความเร็วในการปั้มน้ำแตกต่างกัน
- มี เกต LED แสดงความเร็วของปั้มน้ำ
- มี Switch ในการเปิด/ปิด
- Feature อื่นๆ

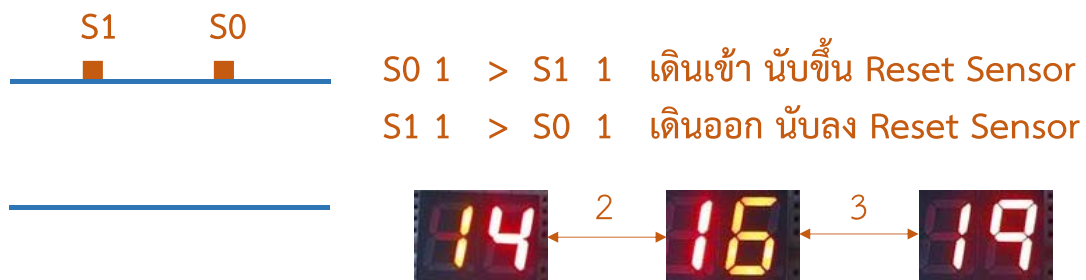


8

Logic circuit Project

People count

- มี Sensor วัดคนเข้า/ออก ใช้ Sensor 2 จุด
- Sensor ให้ใช้ Pulse switch แทนได้
- เมื่อมีการเดินเข้าจะมีการนับเพิ่ม
- เมื่อมีการเดินออกจะลดจำนวน
- มีการแสดงผลจำนวนคนที่เข้าห้องโดยใช้ 7Segment 2 หลัก



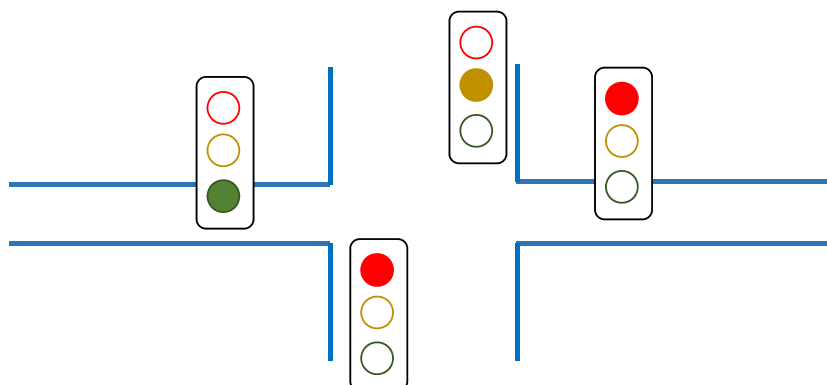
9

Logic circuit Project

Traffic control

- เป็นระบบควบคุม 4 แยกไฟแดง
- แต่ละแยกแสดง LED 3 ดวง (ไฟแดง ไฟเหลือง ไฟเขียว)

แยก1 เขียว	แยก2 เหลือง	แยก3 แดง	แยก4 แดง
แยก1 แดง	แยก2 เขียว	แยก3 เหลือง	แยก4 แดง
แยก1 แดง	แยก2 แดง	แยก3 เขียว	แยก4 เหลือง
แยก1 เหลือง	แยก2 แดง	แยก3 แดง	แยก4 เขียว

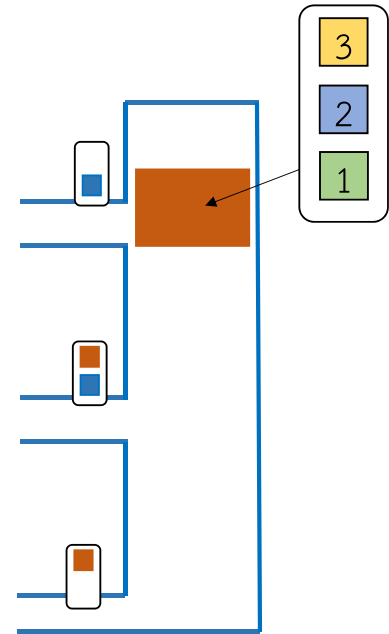


10

Logic circuit Project

Elevator System

- ลิฟท์ขนคน จำนวน 3 ชั้น
- ใช้ LED แฉ่งตำแหน่ง ลิฟท์ (3ดวง)
- แต่ละชั้นมี Switch ขึ้น/ลง (3 x 2Switch)
- ในลิฟท์แฉ่งชั้นที่ต้องการไป (3Switch)
- เมื่อมีการกดเรียกลิฟท์ ลิฟท์จะเคลื่อนที่มาที่ชั้น
- จากนั้นกดชั้นที่จะไป ลิฟท์ไปส่ง จากนั้นกลับมาที่ชั้น1
- Feature อื่นๆ สามารถดัดแปลง Mechanism ได้



11

Logic circuit Project

ให้นิสิตมาแฉ่งสมาชิกกลุ่ม จะให้สุมจับมาได้ทำโปรเจคอะไร

- เมื่อจับซ้ำ 2 ครั้งจะนำเอา List ออก
- ในกรณี เกิน 8 กลุ่ม/หมู่ จะนำเอา สลากมาเริ่มจับใหม่

กำหนดการส่งเอกสาร การออกแบบ และการต่อทดลองจริง

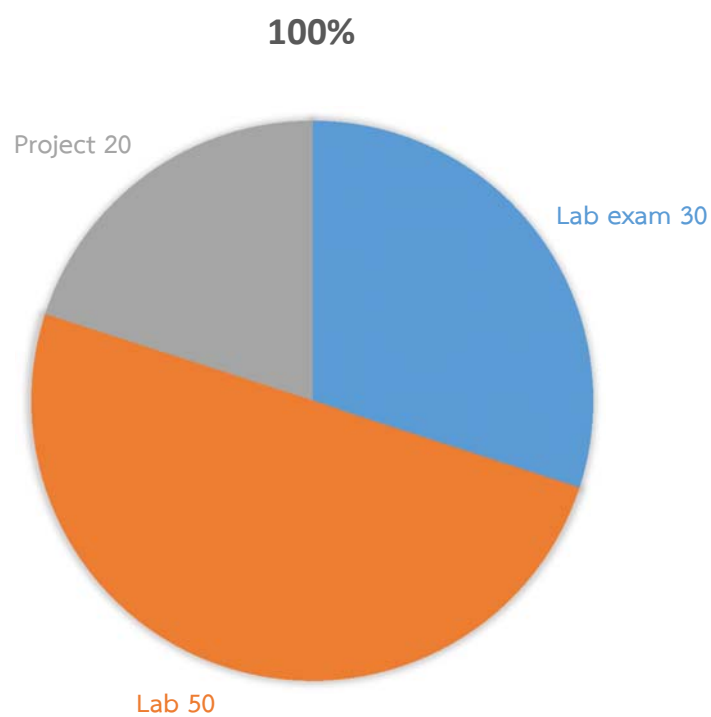
Date/Time: กำหนดจาก อาจารย์ผู้สอน

12

Lab Exam

13

Assessment



14

Lab Exam

สอบปฏิบัติ Practice Exam (15 Scores)

Time: 90min, Room: 15309 (รองรับที่นิสิต 15คน/รอบ)

Sec801 27 Nov 2017

Sec802 27 Nov 2017

Sec803 30 Nov 2017

Lab Exam

สอบปลายภาค Final Exam (15 Scores)

14 December 2017 08.30 น. - 11.30 น.

ปรนัย 36ข้อ 12 คะแนน

อัตนัย 3 ข้อ 3 คะแนน

Logic circuit Week12-14 Timeline

Week 12 ให้เริ่มออกแบบ Project

Week 13 Brainstorm + Test Project

Week 14 สอบ Lab

FPGA

(Field Programmable Gate Array)

Evolution

- Logic gates (1950s-60s)
- Regular structures for two-level logic (1960s-70s)
- Programmable sum-of-products arrays (1970s-80s)
- Programmable gate arrays (1980s-90s)

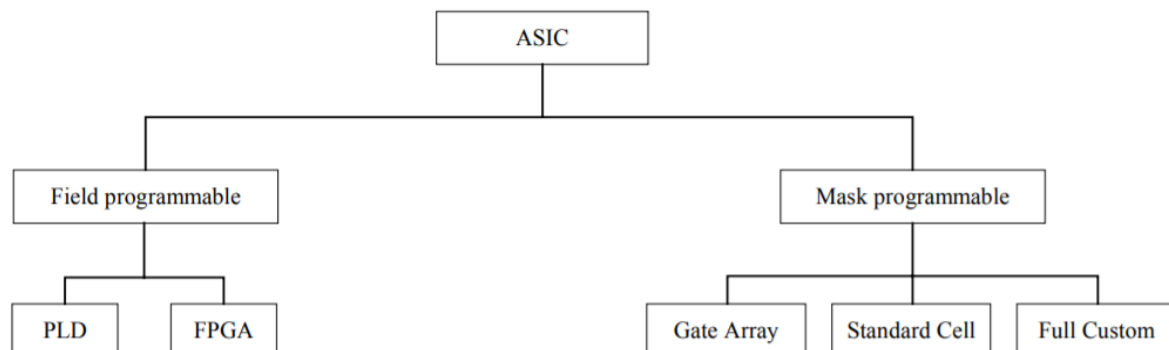
trend toward
higher levels
of integration



19

ASIC

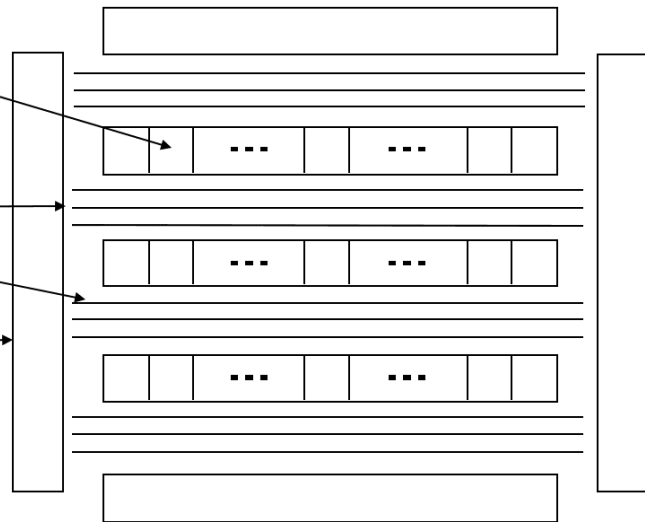
ASIC : Application Specific Integrated Circuit



20

Gate Array Technology (IBM - 1970s)

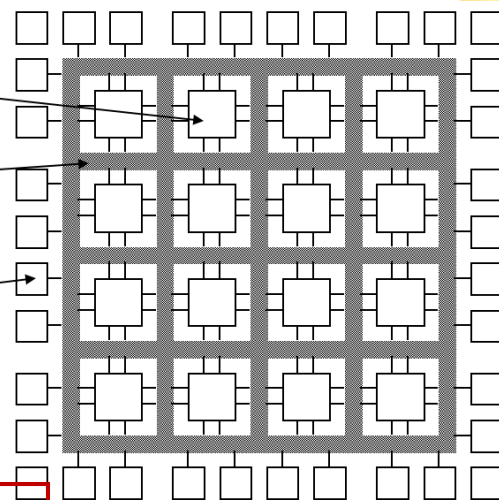
- Simple logic gates
 - combine transistors to implement combinational and sequential logic
- Interconnect
 - wires to connect inputs and outputs to logic blocks
- I/O blocks
 - special blocks at periphery for external connections
- Add wires to make connections
 - done when chip is fabbed
 - "mask-programmable"
 - construct any circuit



21

FPGA Field-Programmable Gate Arrays

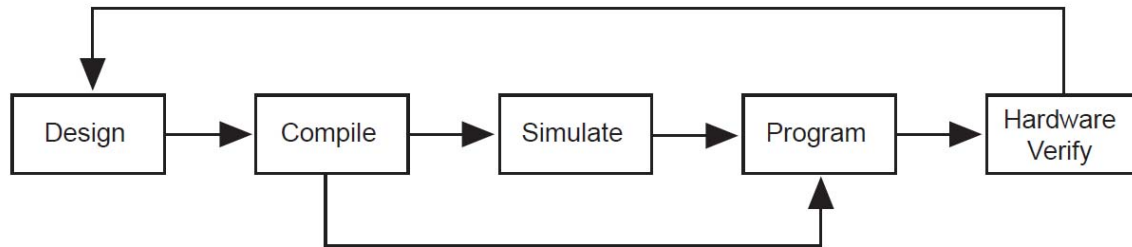
- Logic blocks
 - to implement combinational and sequential logic
- Interconnect
 - wires to connect inputs and outputs to logic blocks
- I/O blocks
 - special logic blocks at periphery of device for external connections



- Key questions:
 - how to make logic blocks programmable?
 - how to connect the wires?
 - after the chip has been fabbed

22

Design Flow

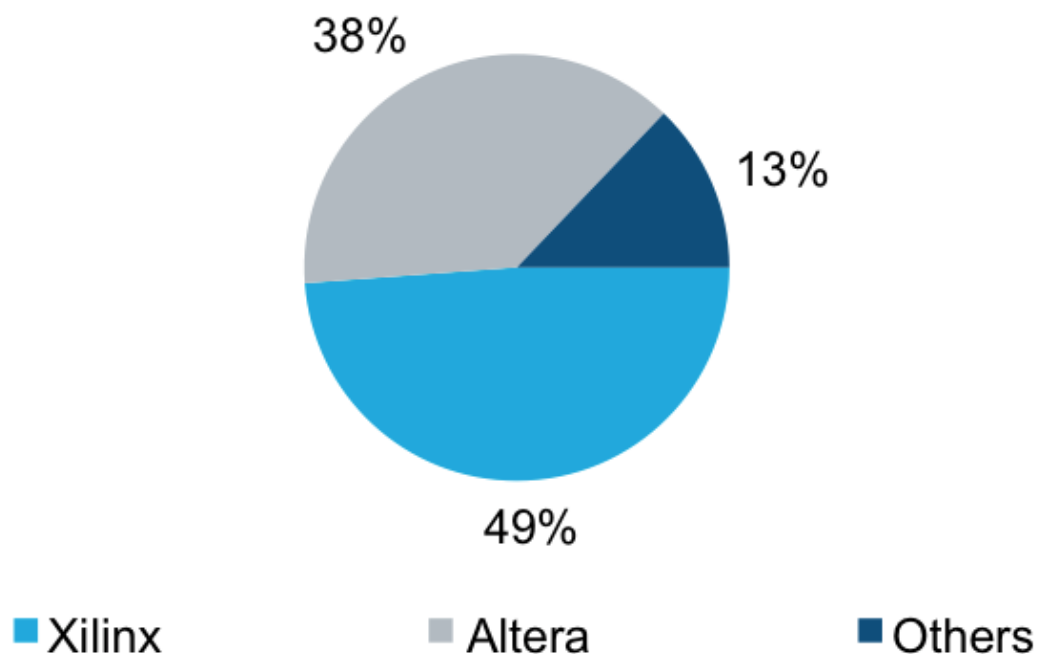


FPGA design using

- Schematics Design
- HDL (hardware description language) -> VHDL

23

FPGA Market shared



Example FPGA Xilinx Board



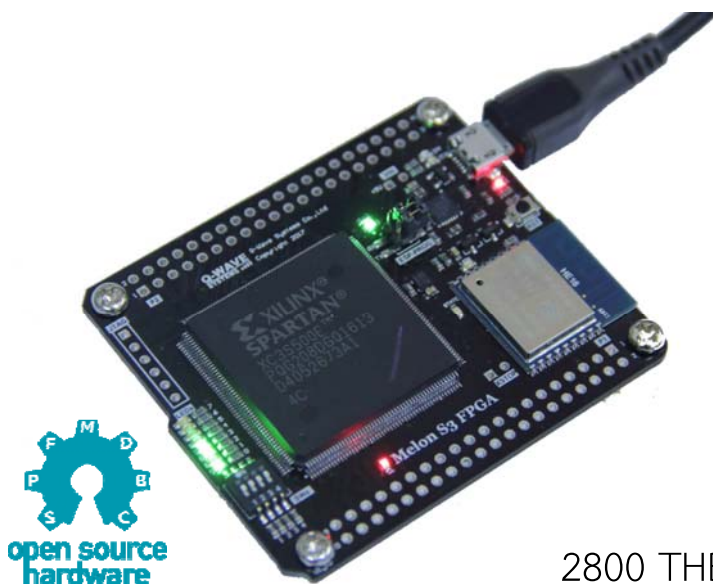
Xilinx no
USB on board
Programmer

Price 70USD
2000+ THB

Xilinx Spartan-6 XC6SLX9

25

Example FPGA Xilinx Board



Programmer

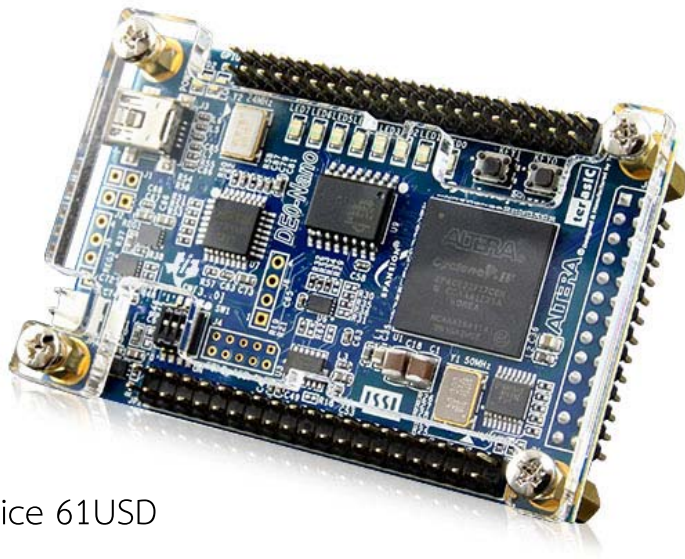
1. Xilinx ISE Free
2. MATLAB/Simulink
+ HDL Coder/HDL Verifier
3. LabVIEW FPGA

2800 THB

Melon S3 FPGA (WiFi) -> <https://www.qwaveshop.com/th>

26

Example FPGA Altera Board



Price 61USD

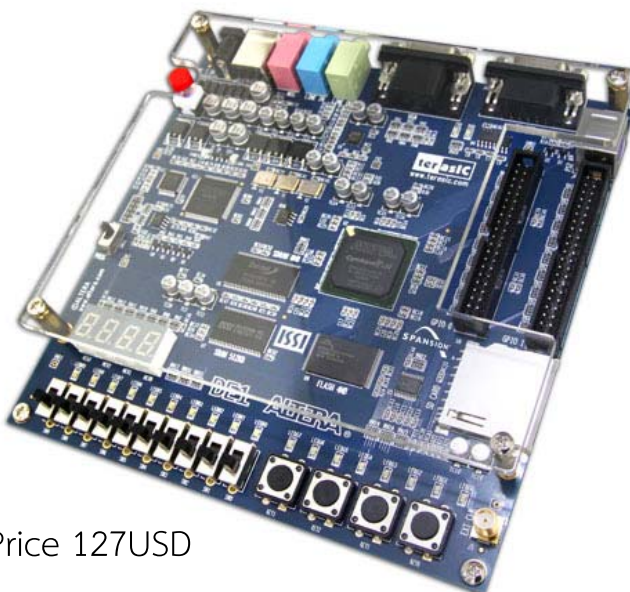
Programmer
USB On board

2Key
8LED
2 GPIO Extension

DE0-Nano Development and Education Board

27

Example FPGA Altera Board



Price 127USD

Altera University
Program

DE1 Development and Education Board

28

Basic VHDL

Ref: Basic Language Constructors of VHDL, Pinit Kumhom, KMUTT

29

Basic VHDL

The Skeleton of VHDL

```
1. library ieee;  
   use ieee.std_logic_1164.all;  
2. entity even_detector is  
    port(  
s      a: in std_logic_vector(2 downto 0);  
      even: out std_logic  
    );  
   end even_detector;  
3. 10 architecture sop_arch of even_detector is  
    signal p1, p2, p3, p4 : std_logic;  
    begin  
      even <= (p1 or p2) or (p3 or p4);  
      p1 <= (not a(0)) and (not a(1)) and (not a(2));  
15  p2 <= (not a(0)) and a(1) and a(2);  
      p3 <= a(0) and (not a(1)) and a(2);  
      p4 <= a(0) and a(1) and (not a(2));  
    end sop_arch ;
```

30

Basic VHDL

1. Design Units and Library

```
library ieee;  
use ieee.std_logic_1164.all;
```

IEEE library and packages

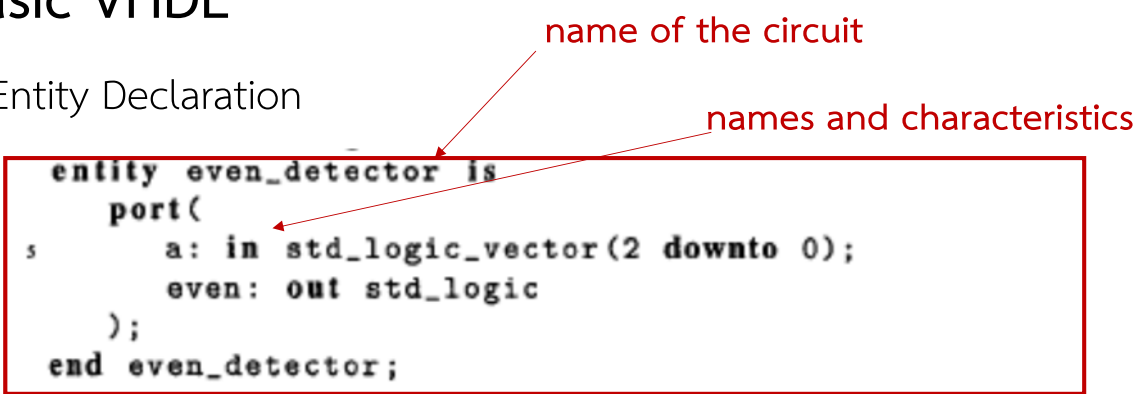
- IEEE has developed VHDL packages for facilitating the synthesis
- Important packages are
 - **std_logic_1164** package defined in the IEEE standard 1164.
 - **numeric_std** package defined in the IEEE standard 1706.3
- First line invokes the library name
- The second line make all objects -> **std_logic_1164**

31

Basic VHDL

2. Entity Declaration

```
entity even_detector is  
  port(  
    a: in std_logic_vector(2 downto 0);  
    even: out std_logic  
  );  
end even_detector;
```



- External interface or “outline” of the circuit
- Simplified syntax
 1. The **name of the circuit** (e.g. even_detector)
 2. The **names and characteristics** of its **input and output ports**

For the even_detector

3-bit input named “a”

1-bit output named “even”

32

Basic VHDL

3. Architecture Body

```
10 architecture sop_arch of even_detector is
    signal p1, p2, p3, p4 : std_logic;
begin
    even <= (p1 or p2) or (p3 or p4);
    p1 <= (not a(0)) and (not a(1)) and (not a(2));
15    p2 <= (not a(0)) and a(1) and a(2);
    p3 <= a(0) and (not a(1)) and a(2);
    p4 <= a(0) and a(1) and (not a(2));
end sop_arch ;
```

- Specify
 - Internal operations and organization (structure)
- Names
 - The architecture body name **sop_arch**
 - The associated entity name **even_detector**
- VHDL features

33

Basic VHDL

3. Architecture Body

```
10 architecture sop_arch of even_detector is
    signal p1, p2, p3, p4 : std_logic;
begin
    even <= (p1 or p2) or (p3 or p4);
    p1 <= (not a(0)) and (not a(1)) and (not a(2));
15    p2 <= (not a(0)) and a(1) and a(2);
    p3 <= a(0) and (not a(1)) and a(2);
    p4 <= a(0) and a(1) and (not a(2));
end sop_arch ;
```

- Declarations
 - Declaring objects being used inside the body
signal p1, p2, p3, p4 : std_logic
- Concurrent statements
 - Describe operations or organization
even <= (p1 or p2) or (p3 or p4)

34

Basic VHDL

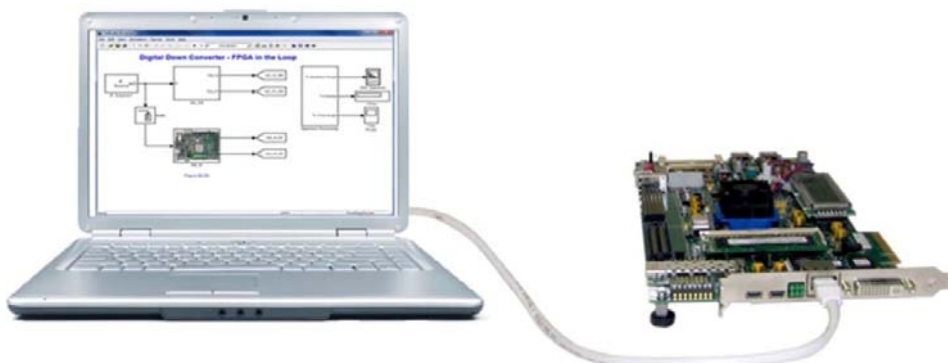
```
library ieee;
use ieee.std_logic_1164.all;
entity even_detector is
    port(
5      a: in std_logic_vector(2 downto 0);
        even: out std_logic
    );
end even_detector;

10 architecture sop_arch of even_detector is
    signal p1, p2, p3, p4 : std_logic;
begin
    even <= (p1 or p2) or (p3 or p4);
    p1 <= (not a(0)) and (not a(1)) and (not a(2));
15    p2 <= (not a(0)) and a(1) and a(2);
    p3 <= a(0) and (not a(1)) and a(2);
    p4 <= a(0) and a(1) and (not a(2));
end sop_arch ;
```

35

Basic VHDL

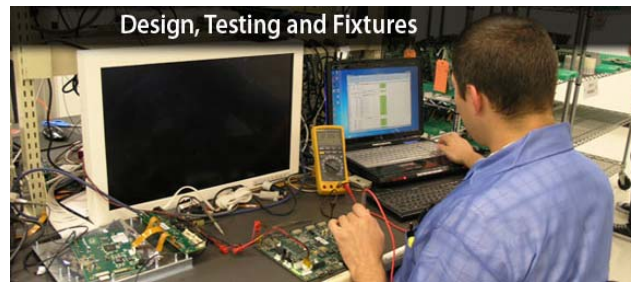
การเขียน VHDL จะประหยัดเวลาในการออกแบบวงจร logic ที่มีขนาดใหญ่ลงไปได้เยอะ กระบวนการเรียนรู้ภาษา VHDL เป็นสิ่งที่สำคัญในวิศวกรในสาย Low level มาก แต่ในปัจจุบันมี Tools เข้ามาช่วยเหลือในการออกแบบ เช่น Matlab HDL หรือ Labview รวมถึงการออกแบบ HDL แบบ Symbol ก็จะทำให้ วิศวกรที่ต้องออกแบบ สามารถเลือกเครื่องมือ ที่ตนเองสนใจและถนัดได้



36

Basic VHDL

Hardware Engineer



Firmware Engineer



37

Q&A

38

Lab Logic Project

- แจ้างสมาชิกกลุ่ม จับสลากหัวข้อ หรือจะมาเสนอหัวข้อที่อยากทำ
- จับสลาก ตามกฎที่ได้แจ้างไว้ หัวข้อเมื่อจับซ้ำเกิน 2 จะนำเอาหัวข้อนั้นออก
- จะเปิดแลปให้นิสิต เตรียมสอบแลป + ทำโปรเจค ในสัปดาห์นี้ + สัปดาห์หน้า