

Logic circuit Laboratory

Lap5 Combination Circuits Design (K-map):

1. ฝึกทักษะการแก้ไขสมการพีชคณิต
2. ฝึกทักษะการออกแบบวงจร Combination circuit
3. ฝึกทักษะการต่อวงจร Combination circuit

5.1 Combination Circuits 4

อุปกรณ์

1. บอร์ดทดลอง Logic circuit trainer 1 กล่อง
2. สายไฟสำหรับการต่อวงจร 1 ชุด
3. Adapter แปลงไฟ AC to DC12V 1 อัน
4. ICs Logic gate ตามที่นิสิตได้ออกแบบจากใบงาน

ขั้นตอนการทดลอง

Lab5.1

1. ให้นิสิตใช้สมการพีชคณิต หรือแผนผังคาร์โนห์(K-Map) จากตารางความจริงที่กำหนดมาให้ ให้ออกแบบให้มีขนาดเล็ก ใช้ logic gate น้อยที่สุดเท่าที่จะทำได้
2. ให้เขียนคำตอบลงในช่องเดิมคำตอบ เช่นสมการแทนวงจร แผนผังคาร์โนห์(K-Map)
3. ให้นิสิตต่อวงจรและทดลองใช้งานจริง พร้อมทั้งเขียนผลลัพธ์จริงจากการทดลองที่ได้

Lab5.2

1. ให้นิสิตออกแบบวงจร Decoder ที่มีอินพุตเป็นเลขฐาน 2 จำนวน 4 บิต และเอาต์พุตเป็น 7-Segment โดย สนใจเฉพาะอินพุตที่มีค่า 8, 9, 10, 11 ส่วนค่าอื่น ๆ ที่ไม่ใช่ 4 ค่านี้ ให้แสดงเป็นเครื่องหมาย “-” โดยให้แสดงค่าเอาต์พุตของ 7-Segment ดังภาพข้างล่างตามลำดับ ดังภาพข้างล่างตามลำดับให้นิสิตใช้สมการพีชคณิต หรือแผนผังคาร์โนห์(K-Map) จากตารางความจริงที่กำหนดมาให้ ให้ออกแบบให้มีขนาดเล็ก ใช้ logic gate น้อยที่สุดเท่าที่จะทำได้

0x1000	0x1001	0x1010	0x1011	Input อื่นๆ
8	9	A	b	-

2. ให้เขียนคำตอบลงในช่องเดิมคำตอบ เช่นสมการแทนวงจร แผนผังคาร์โนห์(K-Map)
3. ให้นิสิตต่อวงจรและทดลองใช้งานจริง พร้อมทั้งเขียนผลลัพธ์จริงจากการทดลองที่ได้

Lab5.1 ออกแบบ Combination circuit จาก K-Map (Input: Logic switch, Output: 8Bit Logic monitor)

ให้นักศึกษาใช้สมการพีชคณิต หรือแผนผังคาร์โนห์(K-Map) จากตารางความจริงที่กำหนดมาให้ ให้ออกแบบให้มีขนาดเล็ก ใช้ logic gate น้อยที่สุดเท่าที่จะทำได้

ตารางค่าความจริง

Input (3Bit)			Output
A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

ให้นักศึกษาเขียนพีชคณิตบูลีนจากตารางค่าความจริง กำหนดให้ใช้แบบ SOP

SOP (Sum of Product)

SOP มี บาร์ หมายถึง _____ POS ไม่มีบาร์หมายถึง _____

$$z(A, B, C) = \sum(\text{_____})$$

Minimal SOP = _____

ให้นักศึกษาลดรูปสมการพีชคณิต ให้ได้น้อยที่สุดเท่าที่จะทำได้ โดยใช้วิธี Boolean Expression เท่านั้น เขียนขั้นตอนการลดในกล่องด้านล่าง

สมการแทนวงจรที่ได้ _____

ให้นักศึกษาใช้แผนผังคาร์โนห์แบบ SOP เพื่อหาสมการแทนวงจร เพื่อเปรียบเทียบกับวิธี Boolean Expression

Example

AB \ C	00	01	11	10
0			1	
1	1	1		

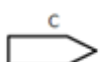
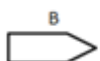
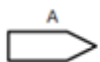
$$f(A, B, C) = AB\bar{C} + \bar{A}C$$

แผนผังคาร์โนห์แบบ SOP จากตารางค่าความจริง lab5.1

AB \ C	00	01	11	10
0				
1				

$$f(A, B, C) = \underline{\hspace{2cm}}$$

ให้นักศึกษาวาดวงจร Combination Circuit จากสมการแทนวงจร



ให้นักศึกษาตรวจสอบวงจรตามที่ได้ออกแบบจากสมการแทนวงจร โดยขอเบิก ICs ตามจำนวนที่ใช้

สรุปจำนวน ไอซีที่ใช้			
เบอร์ไอซี _____	logic gate ประเภท _____	จำนวน _____	
เบอร์ไอซี _____	logic gate ประเภท _____	จำนวน _____	
เบอร์ไอซี _____	logic gate ประเภท _____	จำนวน _____	
เบอร์ไอซี _____	logic gate ประเภท _____	จำนวน _____	
เบอร์ไอซี _____	logic gate ประเภท _____	จำนวน _____	

บันทึกผลการทดลองลงในตารางด้านล่าง

ตารางค่าความจริง

Input (3Bit)			Output
A	B	C	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

ให้นิสิตออกแบบวงจร Decoder ที่มีอินพุตเป็นเลขฐาน 2 จำนวน 4 บิต และเอาต์พุตเป็น 7-Segment โดย สนใจเฉพาะอินพุตที่มีค่า 8, 9, 10, 11 ส่วนค่าอื่น ๆ ที่ไม่ใช่ 4 ค่านี้ ให้แสดงเป็นเครื่องหมาย “-” โดยให้แสดงค่าเอาต์พุตของ 7-Segment ดังภาพข้างล่างตามลำดับ ดังภาพข้างล่างตามลำดับให้นิสิตใช้สมการพีชคณิต หรือแผนผังคาร์โนห์(K-Map) จากตารางความจริงที่กำหนดมาให้ ให้ออกแบบให้มีขนาดเล็ก ใช้ logic gate น้อยที่สุดเท่าที่จะทำได้

0x1000	0x1001	0x1010	0x1011	Input อื่นๆ
8	9	A	b	-

[illegible]

จากตารางค่าความจริง ให้นิสิตใช้แผนผังคาร์โนห์แบบ SOP แยกตามแต่ละ seg ของ 7Segment

Example

		AB			
		00	01	11	10
CD	00	1		1	1
	01	1		1	1
	11	1	1		
	10	1	1		

$$f(A,B,C,D) = \overline{AB} + A\overline{C} + \overline{AC}$$

Output Seg a

		AB			
		00	01	11	10
CD	00				
	01				
	11				
	10				

$$f(A,B,C,D) = \underline{\hspace{2cm}}$$

Output Seg b

		AB			
		00	01	11	10
CD	00				
	01				
	11				
	10				

$$f(A,B,C,D) = \underline{\hspace{2cm}}$$

Output Seg c

		AB			
		00	01	11	10
CD	00				
	01				
	11				
	10				

$$f(A,B,C,D) = \underline{\hspace{2cm}}$$

Output Seg d

		AB			
		00	01	11	10
CD	00				
	01				
	11				
	10				

$$f(A,B,C,D) = \underline{\hspace{2cm}}$$

Output Seg e

		AB			
		00	01	11	10
CD	00				
	01				
	11				
	10				

$$f(A,B,C,D) = \underline{\hspace{2cm}}$$

Output Seg f

		AB			
		00	01	11	10
CD	00				
	01				
	11				
	10				

$$f(A,B,C,D) = \underline{\hspace{2cm}}$$

Output Seg g

		AB			
		00	01	11	10
CD	00				
	01				
	11				
	10				

$$f(A,B,C,D) = \underline{\hspace{2cm}}$$

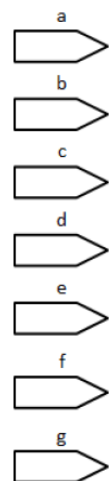
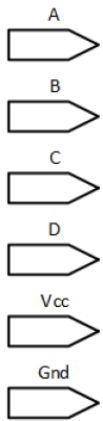
เขียนสมการแทนวงจรลงในตารางด้านล่าง

Output	สมการแทนวงจร
Output Seg a	
Output Seg b	
Output Seg c	
Output Seg d	
Output Seg e	
Output Seg f	
Output Seg g	

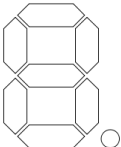
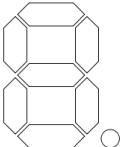
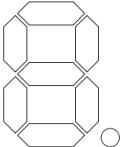
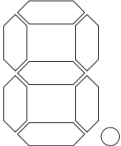
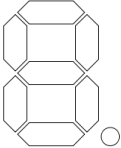
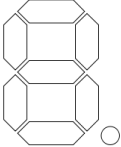
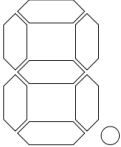
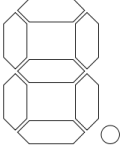
ให้นิสิตต่อวงจรตามที่ได้ออกแบบจากสมการแทนวงจร โดยขอเบิก ICs ตามจำนวนที่ใช้งาน

สรุปจำนวน ไอซีที่ใช้		
เบอร์ไอซี _____	logic gate ประเภท _____	จำนวน _____
เบอร์ไอซี _____	logic gate ประเภท _____	จำนวน _____
เบอร์ไอซี _____	logic gate ประเภท _____	จำนวน _____
เบอร์ไอซี _____	logic gate ประเภท _____	จำนวน _____
เบอร์ไอซี _____	logic gate ประเภท _____	จำนวน _____
เบอร์ไอซี _____	logic gate ประเภท _____	จำนวน _____
เบอร์ไอซี _____	logic gate ประเภท _____	จำนวน _____

ให้นิสิตวาดวงจร Combination Circuit จากสมการแทนวงจร ลงในกล่องคำตอบด้านล่าง



ผลลัพธ์จากการทดลอง จงเขียน Input และ Output ที่แสดงจาก 7Segment ที่ได้จากการต่อวงจร

Input (4bit)				Output
A	B	C	D	7Segment
				
				
				
				
				
				
				
				

Input (4bit)				Output
A	B	C	D	7Segment
				