

САНКТ-ПЕТЕРБУРГСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
УНИВЕРСИТЕТ ИТМО

Дисциплина: Архитектура ЭВМ

Отчет

по домашней работе № 2

Построение сложных логических схем

Выполнил(а): ДЗЕСТЕЛОВ ХЕТАГ АРТУРОВИЧ

студ. гр. М3139

Санкт-Петербург

2020

Цель работы: моделирование сложных логических схем на элементах с памятью.

Инструментарий и требования к работе: работа выполняется в logisim.

Теоретическая часть

Требовалось реализовать регистры памяти с параллельной записью. Это возможно с помощью D-триггеров с динамическим управлением. Рассмотрим сначала статический D-триггер. Выходной сигнал Q принимает значение равное входному D при $C = 1$ и сохраняет предыдущее значение $Q(t - 1)$ при $C = 0$ (см. рис. 1).

C	D	Q^n	Q^{n+1}	
0	X	Q^n	Q^n	хранение
1	1	X	1	запись «1»
1	0	X	0	запись «0»

Рисунок 1 — Таблица истинности для статического D-триггера

Динамический D-триггер отличается от статического триггера выходными значениями. Запись информации происходит только при переходе C из 0 в 1. В ином случае триггер хранит предыдущую информацию. Реализуем D-триггер с записью по положительному фронту (переход C из 0 в 1) с запаздыванием на пол такта. Т. е. триггер запоминает поданную на вход информацию при положительном перепаде такта, а записывает её при следующей смене такта.

Реализовать D-триггер можно с помощью универсального JK-триггера. Рассмотрим устройство JK-триггера. Для отрицательного фронта C и $J = 0$, $K = 0$; положительного фронта C триггер сохраняет предыдущее значение. Отрицательный фронт и $J = 1$, $K = 0$ устанавливает 1, а $J = 0$, $K = 1$ устанавливает 0. Описанные состояния идентичны соответствующим строчкам RS-триггера, если вход J сопоставить входу S , а вход K - входу R . Отличие от RS-триггера – это осмысленность при подаче на триггер $J = 1$ и $K = 1$. В этом случае при поступлении каждого отрицательного фронта на вход C , триггер меняет значение сигнала на выходе, как показано на

рисунке №2. Полная таблица истинности JK-триггера приведена на рисунке №3.

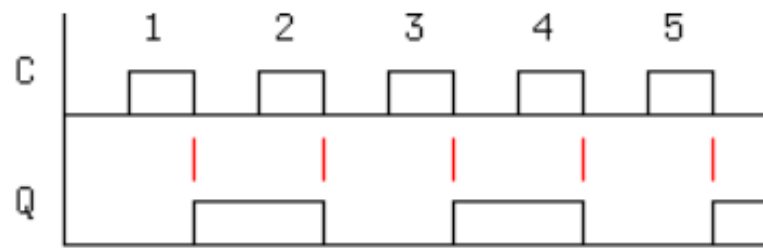


Рисунок 2 — Смена выхода при отрицательном фронте C; J = 1, K = 1.

C	J	K	Q _t	Q(t+dt)	$\sim Q(t+dt)$	
0, 1,	X	X	Q	Q	$\sim Q$	Хранение инф-ии
	0	0	Q	Q	$\sim Q$	Хранение инф-ии
	1	0	X	1	0	Установка в "1"
	0	1	X	0	1	Установка в "0"
	1	1	Q	$\sim Q$	Q	Счет по модулю 2 (деление частоты вх. имп. на 2)

Рисунок 3 — Таблица истинности для JK-триггера.

Заметим, что JK-триггер преобразуется в динамический D-триггер подключением инвертора к входу K (см. рис. 4), при этом возможными операциями будут следующие: J = 0, K = 1; J = 1 K = 0.

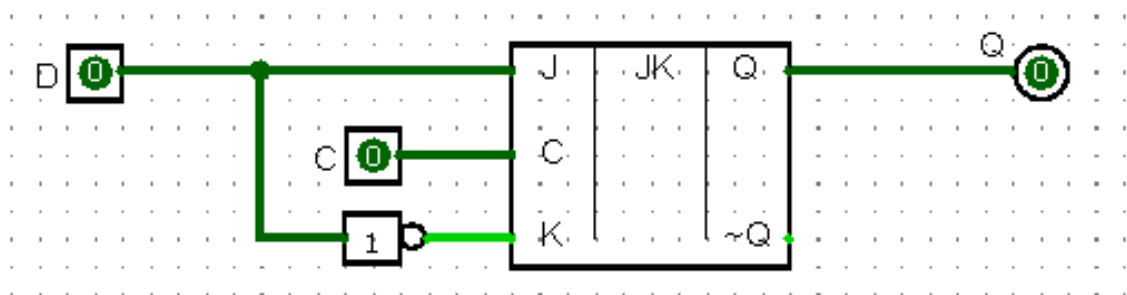


Рисунок 4 — Получение динамического D-триггера из JK-триггера.

Для полноты приведём реализацию JK-триггера через два RS-триггера (см. рис. 5).

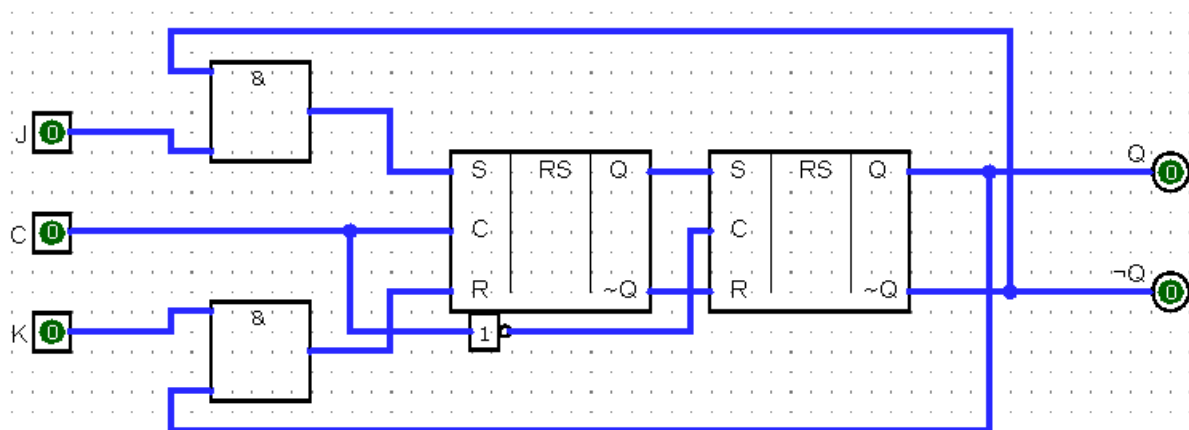


Рисунок 5 — JK-триггер на двух RS-триггерах.

Таким образом мы получили D-триггер. Регистры памяти с параллельной записью в полной мере реализуются D-триггерами. При этом “ячейкой” памяти (разрядность 1) будет являться сам триггер (см. рис. 6). Для масштабирования памяти можно объединять D-триггеры в блоки большего размера.

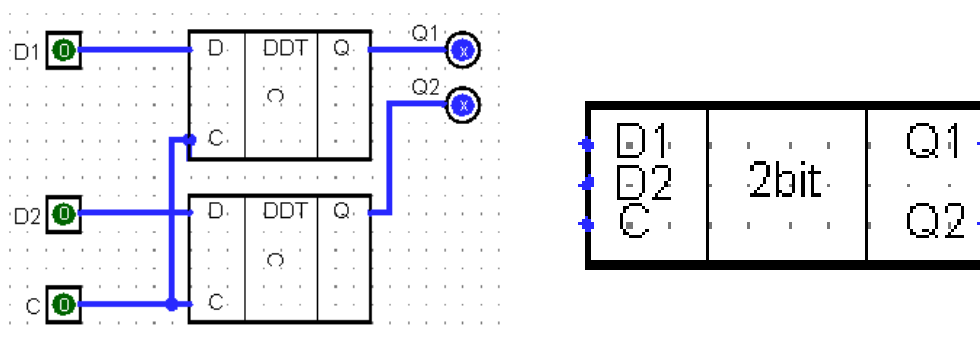


Рисунок 6 — Ячейка памяти разрядности 2.

Практическая часть

Применение D-триггеров при реализации регистры памяти с параллельной записью наглядно и удобно представляется в виде масштабируемых блоков. Выше были приведены переходы между триггерами и устройство самих триггеров. На рисунке №8 изображен конечный вариант 64 разрядного регистра памяти, составленный соответственно из блоков разрядностей 2, 4, 8, 16 и 32 (см. рис. 7).

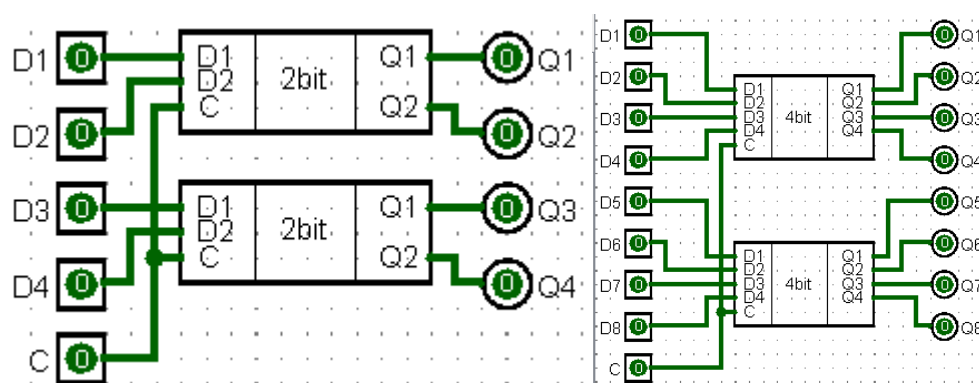


Рисунок 7 — Ячейки памяти разрядности 4 и 8. Блоки разрядности 16 и 32 строятся аналогично.

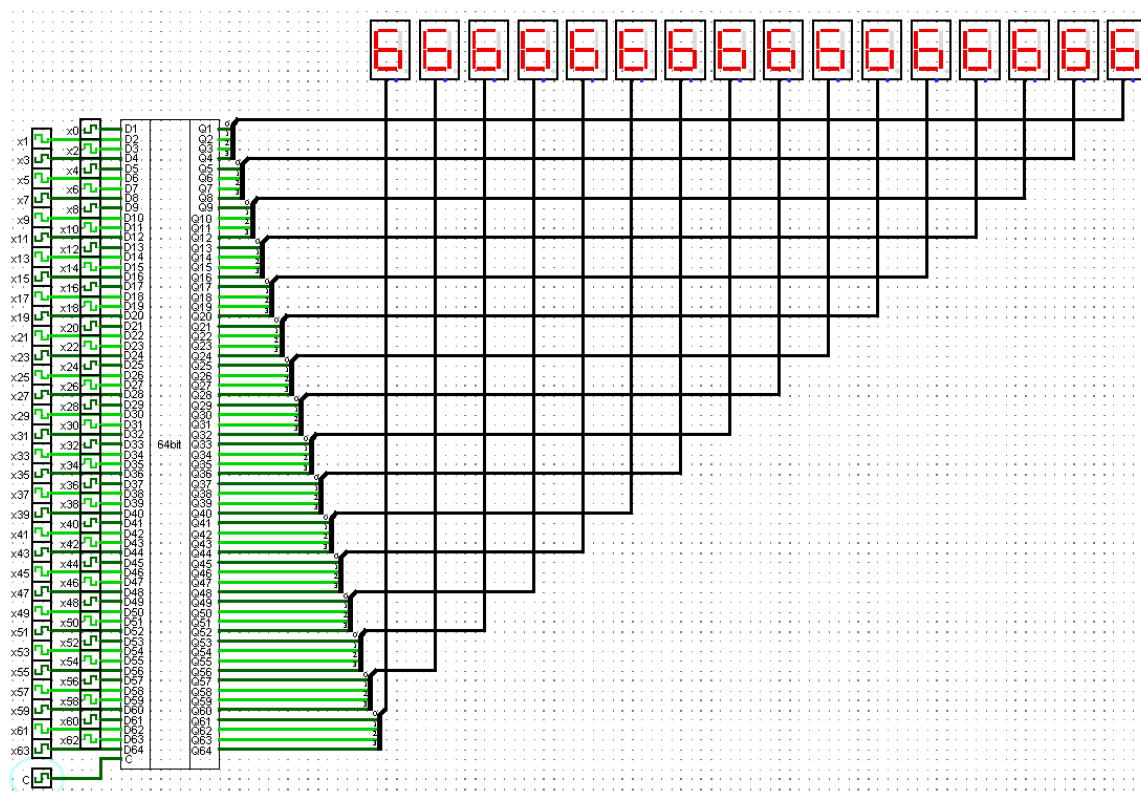


Рисунок 8 — Ячейки памяти разрядности 4 и 8. Блоки разрядности 16 и 32 строятся аналогично.

Временная диаграмма первых трех переменных приведена на рисунке №9. Как видно, D-триггер с задержкой на пол такта запоминает значение в момент положительного фронта.

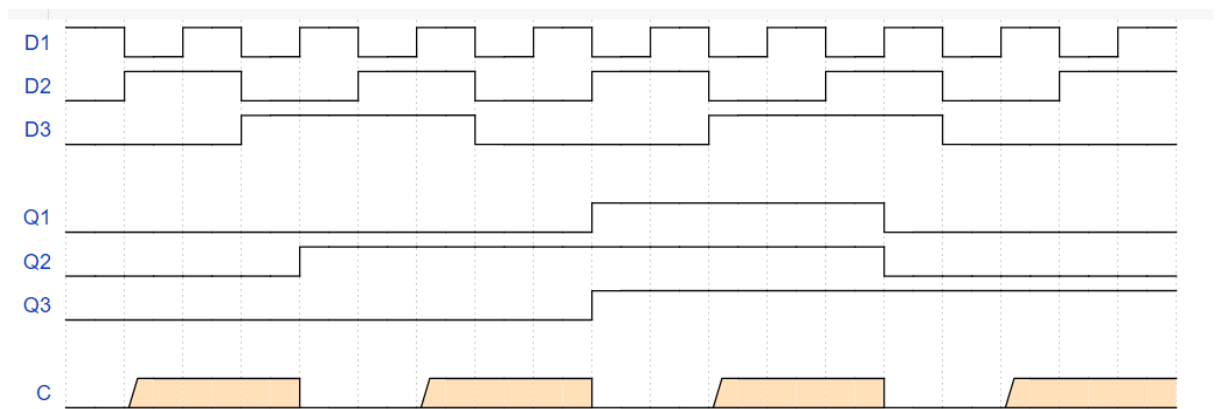


Рисунок 9 — Временная диаграмма.

Листинг

MEMORY.circ

Содержит реализацию RS (но из-за проблем программы Logisim используется встроенный RS-триггер), JK и D триггеров; реализацию регистров памяти разной разрядности (1, 2, 4, 8, 16, 32, 64); главную схему с регистром памяти 64 битовой разрядности и схему для его тестирования.