**Цель**: анализ алгоритмов и методов описания аппаратуры для реализации аппаратного расширителя процессора SCR1, производящего операцию извлечения логарифма из целого числа, оптимизированного для максимальной производительности.

**Объем работ**:

1. Поиск алгоритмов вычисления логарифма из числа.
2. Анализ алгоритмов с целью выявить оптимальные варианты для реализации аппаратного модуля вычисления логарифма из числа типа INT.
3. Разработка нескольких аппаратных модулей на языке описания аппаратуры Verilog и языке программирования Си в среде HLS.
4. Анализ реализованных вариантов для выявления оптимального по быстродействию.
5. Внесение изменений в проект процессора SCR1 для добавления выбранного ранее модуля.
6. Тестирование работоспособности добавленной команды.
7. Составление отчета о проделанной работе.

Для реализации аппаратного расширителя набора команд использовать язык описания аппаратуры Verilog посредством среды разработки Vivado и языка программирования Си с помощью среды разработки Vivado HLS.

Тестирование работоспособности модулей и анализ по быстродействию будут проведены также в среде разработки Vivado.

Тестирование работоспособности модулей в составе системы SCR1 будет проведено посредством программного инструмента Verilator.