



BÀI THỰC HÀNH SỐ 2

I. Mục tiêu

Trong bài thực hành này, sinh viên sẽ thực hành lệnh **assign** (continuous assignment) và cách gọi module theo thứ bậc để thiết kế các mạch tổ hợp.

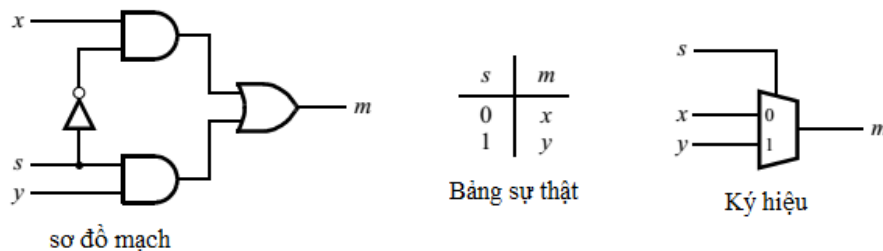
II. Chuẩn bị thực hành

- Sinh viên phải chuẩn bị code Verilog cho tất cả các câu trong phần nội dung thực hành và nộp cho GVHD vào đầu buổi học.
- Sinh viên nào không có bài chuẩn bị được xem là vắng buổi học hôm đó.
- Bài chuẩn bị được tính vào điểm bài báo cáo của Lab.

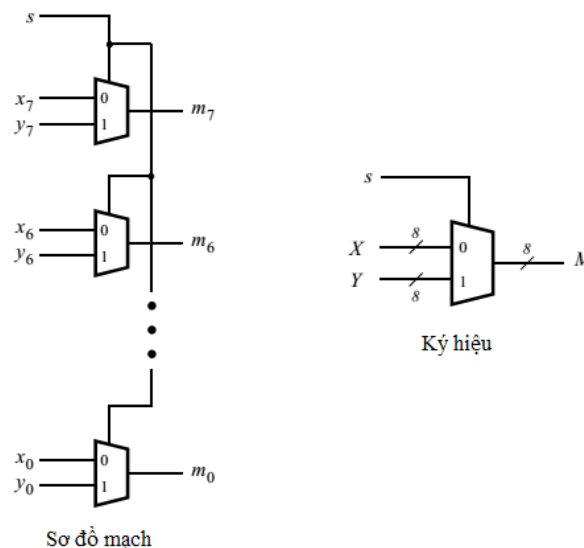
III. Nội dung thực hành

Câu 1.

a) Thiết kế bộ Mux_2to1 1-bit:



b) Sử dụng bộ Mux_2to1 1-bit để thiết kế bộ Mux_2to1_8-bit như sau:

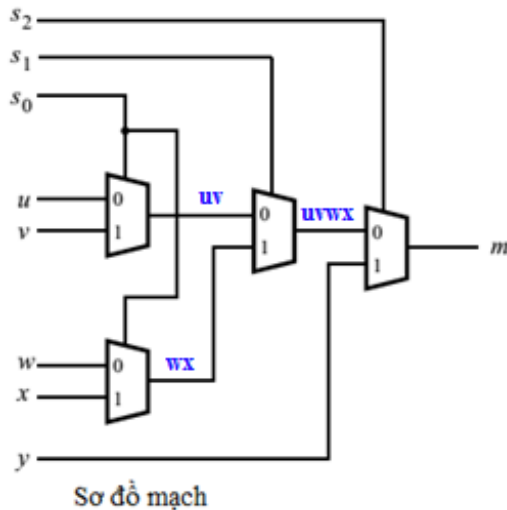




Yêu cầu: Nạp mạch và kiểm tra trên kit DE2

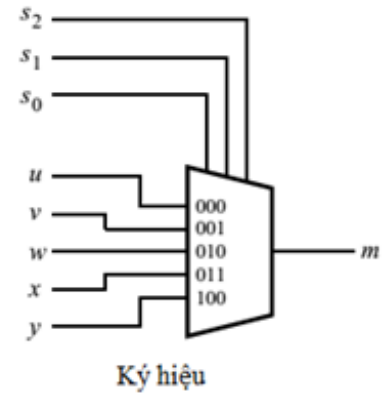
Câu 2.

a) Thực hiện bộ Mux_5to1_1-bit từ các Mux_2to1_bit



s_2	s_1	s_0	m
0	0	0	u
0	0	1	v
0	1	0	w
0	1	1	x
1	0	0	y
1	0	1	y
1	1	0	y
1	1	1	y

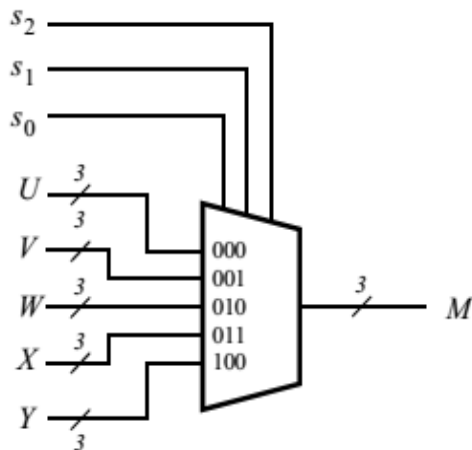
Bảng sự thật



Yêu cầu:

Thực hiện mô phỏng với Vector Waveform cho mạch Mux_5to1 trên

b) Thiết kế bộ Mux_5to1_3-bit

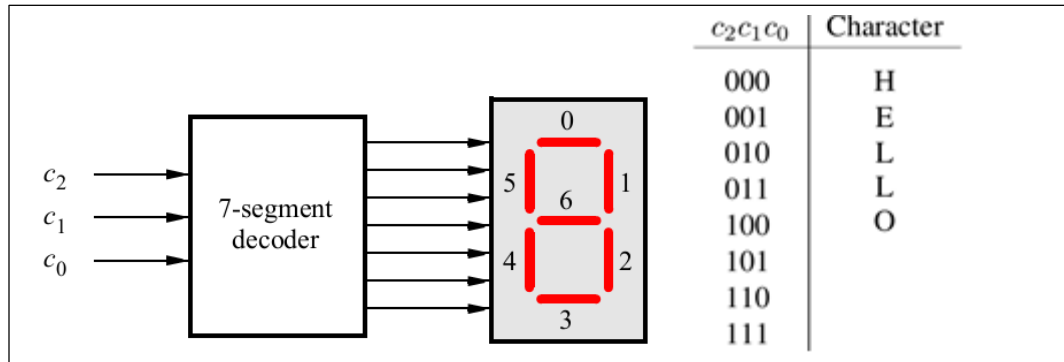


Yêu cầu:

Nạp mạch và kiểm tra trên kit DE2

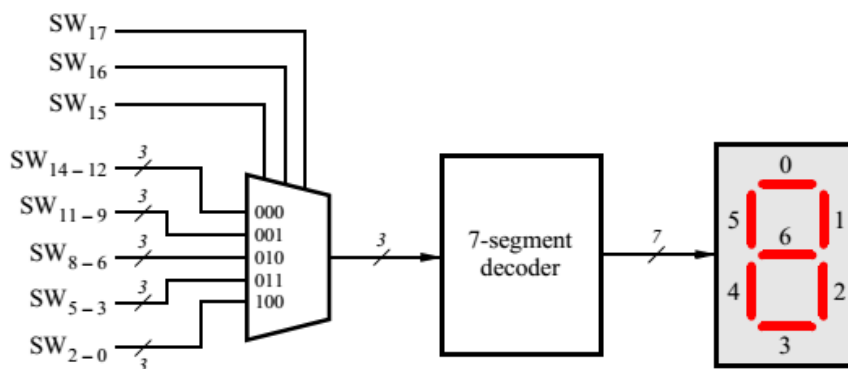
Câu 3.

a) Hiện thực bộ Decoder cho Led 7 đoạn (7-segment) có chức năng giải mã giá trị nhị phân 3 bit như trong bảng sự thật bên dưới.



Tín hiệu nhập là ba bit c_2, c_1, c_0 nối vào các SW[17:15]. Tín hiệu xuất ra led 7 đoạn HEX0[6:0]

b) Kết hợp với mạch trong câu a và mạch trong câu 3 để thiết kế mạch sau:



Chọn lựa các giá trị Switch SW[14:0] thích hợp để HEX0 hiển thị lần lượt các chữ H, E, L, L, O khi chuyển các switch SW[17:15].

c) Sử dụng thêm các HEX4, HEX3, HEX2, HEX1 và HEX0 để hiển thị mạch theo bảng sau:

			Character pattern				
SW_{17}	SW_{16}	SW_{15}	HEX4	HEX3	HEX2	HEX1	HEX0
	000		H	E	L	L	O
	001		E	L	L	O	H
	010		L	L	O	H	E
	011		L	O	H	E	L
	100		O	H	E	L	L

Nạp mạch xuống KIT DE2 để kiểm tra kết quả.

Gợi ý: sử dụng 5 bộ (Mux + Decoder) trong câu b và kết nối các SW hợp lí.

d) Sử dụng hết 8 Led 7 đoạn trên KIT DE2 để thiết kế mạch hiển thị theo bảng sau



			Character pattern							
SW_{17}	SW_{16}	SW_{15}	H7	H6	H5	H4	H3	H2	H1	H0
000						H	E	L	L	O
001					H	E	L	L	O	
010				H	E	L	L	O		
011			H	E	L	L	O			
100			E	L	L	O				H
101			L	L	O				H	E
110			L	O				H	E	L
111			O				H	E	L	L

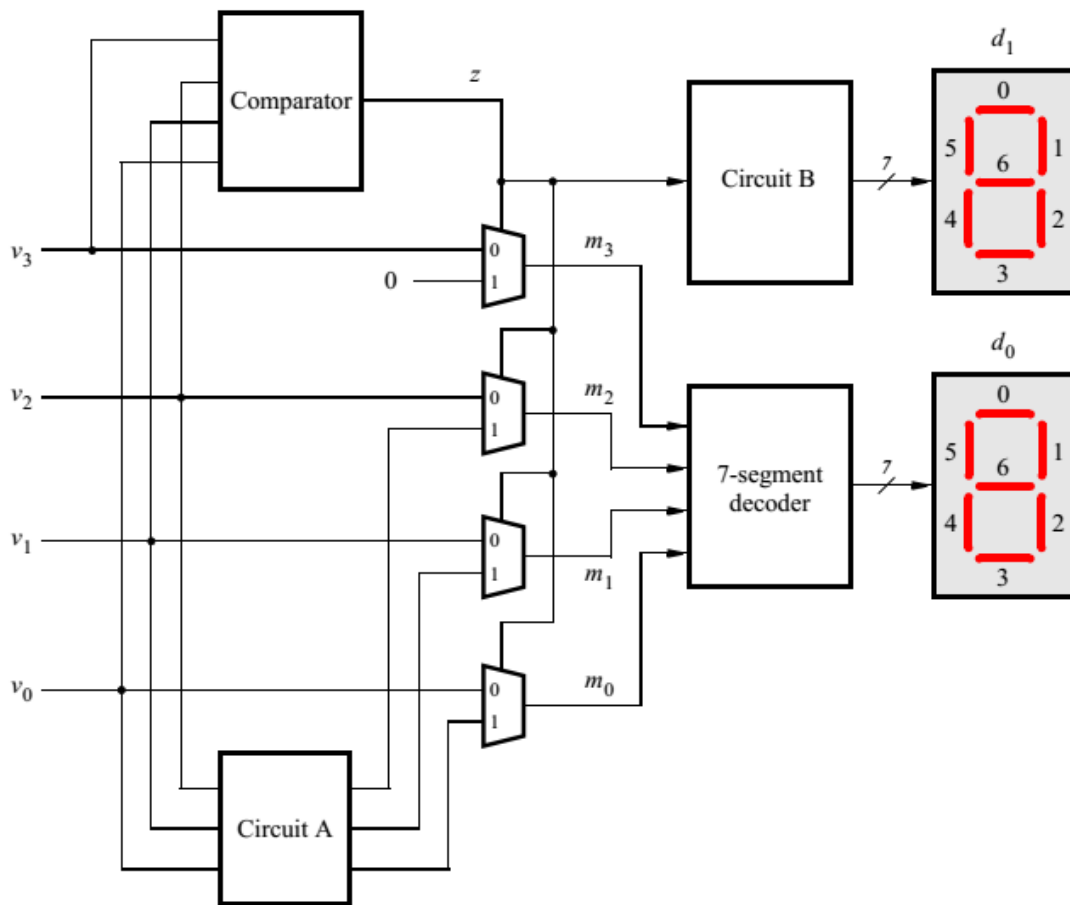
Câu 4.

Thiết kế mạch chuyển đổi số Binary sang số Decimal như bảng sau:

Binary value $SW[3:0]$	Decimal digits	
	HEX1	HEX0
0000	0	0
0001	0	1
0010	0	2
...
1001	0	9
1010	1	0
1011	1	1
1100	1	2
1101	1	3
1110	1	4
1111	1	5

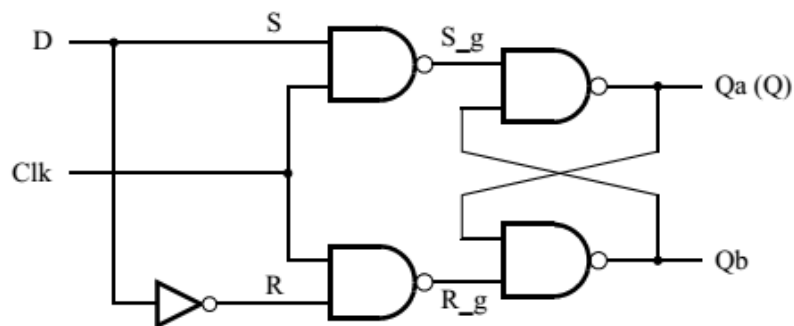
Gợi ý: Mạch chuyển đổi có thể được thiết kế theo sơ đồ bên dưới.

Mạch Comparator để kiểm tra số nhập với 9. Ngõ ra Comparator $z=0$ nếu số nhỏ hơn 9, và $z=1$ nếu số lớn hơn 9.



Câu 5.

a) Thực hiện mạch D-latch có sơ đồ như sau:



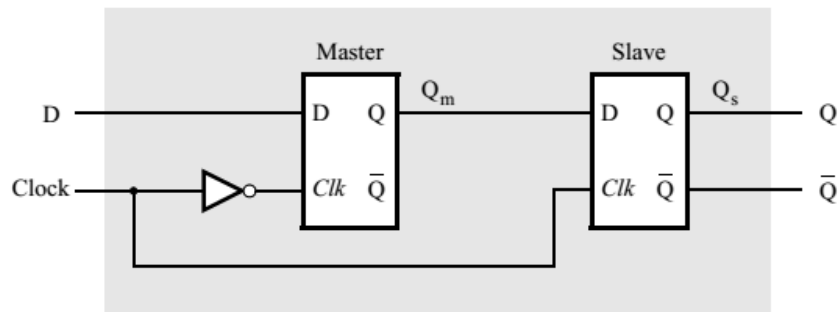
Yêu cầu: Kiểm tra bằng mô phỏng sau đó nạp mạch xuống KIT DE2 và kiểm tra kết quả.

Gợi ý gán chân:

- D = SW[0]
- Clk = SW[1]
- Q = LEDR[0]

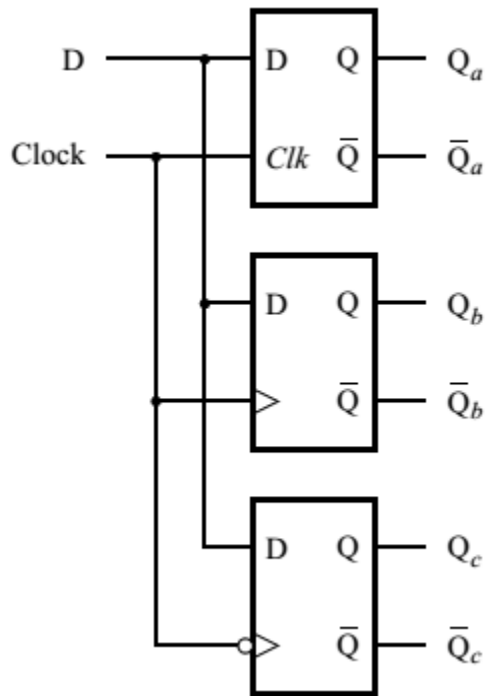


- b) Sử dụng D-latch trong câu a để thiết kế D-Flipflop kích cạnh lên theo dạng Master-Slave có sơ đồ như sau:



Yêu cầu: Kiểm tra bằng mô phỏng sau đó nạp mạch và kiểm tra trên KIT DE2

- c) Thực hiện mạch sau:



Yêu cầu: Thực hiện mô phỏng Vector Waveform để so sánh giá trị 3 ngõ ra Qa, Qb, Qc

Lưu ý: SV chỉ sử dụng lệnh Continuous assignment để thiết kế cho các bài tập trên.

TÀI LIỆU THAM KHẢO

Digital_Logic lab của **Altera**.