



BÀI THỰC HÀNH SỐ 5 (LAB 5)

I. Mục tiêu

Sinh viên làm quen với việc kiểm tra thiết kế bằng phương pháp viết Testbench và sử dụng phần mềm ModelSim-Altera để debug thiết kế.

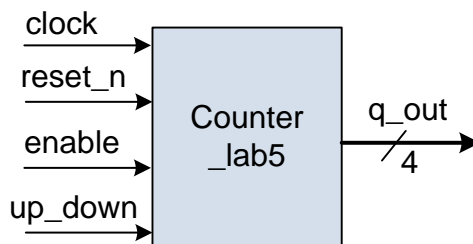
II. Chuẩn bị thực hành

- Sinh viên đọc trước và thực hành sử dụng phần mềm ModelSim-Altera trong file “huong dan su dung phan mem ModelSim-Altera.pdf”
- Sinh viên phải chuẩn bị các phần được yêu cầu trong mỗi câu của bài Lab và nộp cho GVHD vào đầu buổi học.
- Điểm bài chuẩn bị được tính vào điểm bài báo cáo của Lab.

III. Nội dung thực hành

Câu 1.

Thiết kế mạch đếm 4-bit có sơ đồ như bên dưới:



Biết rằng:

- **clock**: kích cạnh lên
- **Reset_n**: bất đồng bộ và tích cực thấp
- **enable**: tín hiệu cho phép đếm (tích cực cao)
- **up_down**: điều khiển hướng của bộ đếm
 - up_down = 0: đếm lên
 - up_down = 1: đếm xuống

Yêu cầu thực hiện:

- 1.1 Viết testbench để kiểm tra thiết kế theo mô hình quan sát dạng sóng bằng phần mềm ModelSim-Altera
- 1.2 Viết testbench để kiểm tra thiết kế theo mô hình tự kiểm tra (Self-checking) bằng phần mềm ModelSim-Altera

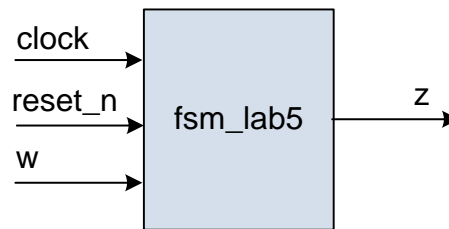


Sinh viên chuẩn bị:

- Viết code Verilog cho bộ đếm trên.
- Tạo bảng checklist cho các trường hợp cần kiểm tra cho thiết kế trên.

Câu 2.

Thiết kế mạch có sơ đồ khối như bên dưới bằng cách viết máy trạng thái (FSM):



Biết rằng:

- Ngõ ra **z** sẽ bằng 1 khi mạch nhận 3 giá trị liên tiếp bằng 0 hoặc bằng 1 từ ngõ vào **w**.
- Mạch không có tính chất chồng lấn (non-overlapping) sau khi ngõ ra nhận giá trị 1.
- Xung **clock** kích cạnh lên và **reset_n** bất đồng bộ (tích cực mức thấp)

Yêu cầu thực hiện:

- 2.1 Viết testbench để kiểm tra thiết kế theo mô hình quan sát dạng sóng bằng phần mềm ModelSim-Altera
- 2.2 Viết testbench để kiểm tra thiết kế theo mô hình tự kiểm tra (Self-checking) bằng phần mềm ModelSim-Altera

Sinh viên chuẩn bị:

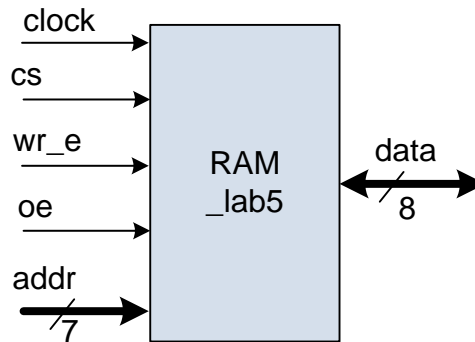
- Viết code Verilog cho máy trạng thái trên theo mô hình Moore.
- Tìm hiểu và vẽ ma trận chuyển trạng thái (state transition matrix) cho máy trạng thái trên.



SV chọn 1 trong 2 câu 3 hoặc 4

Câu 3.

Thiết kế một **single port RAM đồng bộ read/write** có sơ đồ như bên dưới:



Biết rằng:

- **clock**: kích cạnh lên
- **cs**: chip_select
- **wr_e** = 1: cho phép ghi
wr_e = 0: cho phép đọc
- **oe**: Output enable
- **addr**: address (7-bit → RAM 128 byte)
- **data**: kiểu inout 8-bit

Yêu cầu thực hiện:

- 3.1 Viết testbench để kiểm tra thiết kế theo mô hình quan sát dạng sóng bằng phần mềm ModelSim-Altera
- 3.2 Viết testbench để kiểm tra thiết kế theo mô hình tự kiểm tra (Self-checking) bằng phần mềm ModelSim-Altera

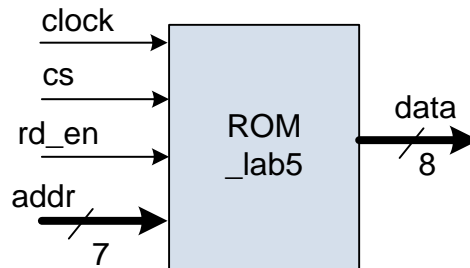
Sinh viên chuẩn bị:

- Viết code Verilog cho khối RAM trên.



Câu 4.

Thiết kế một **ROM đồng bộ** có sơ đồ như bên dưới:



Biết rằng:

- **clock**: kích cạnh lên
- **cs**: chip_select
- **rd_en**: read enable
- **addr**: address (7-bit → ROM 128 byte)
- **data**: dữ liệu ngõ ra 8-bit

Yêu cầu thực hiện:

- 4.1 Viết testbench để kiểm tra thiết kế theo mô hình quan sát dạng sóng bằng phần mềm ModelSim-Altera
- 4.2 Viết testbench để kiểm tra thiết kế theo mô hình tự kiểm tra (Self-checking) bằng phần mềm ModelSim-Altera

Sinh viên chuẩn bị:

- **Viết code Verilog cho khối ROM trên.**
- Chuẩn bị một file “mem.list” với 128 giá trị.