

# Bài 1. HƯỚNG DẪN THIẾT KẾ BẰNG NGÔN NGỮ VERILOG TRÊN PHẦN MỀM QUARTUS\_II

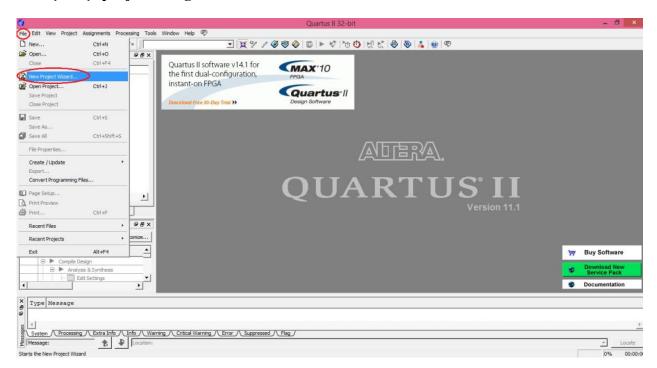
#### I. Mục tiêu

Trong bài thực hành này, sinh viên sẽ được hướng dẫn các bước để thiết kế và mô phỏng một mạch đơn giản bằng ngôn ngữ Verilog trên phần mềm Quartus\_II của Altera.

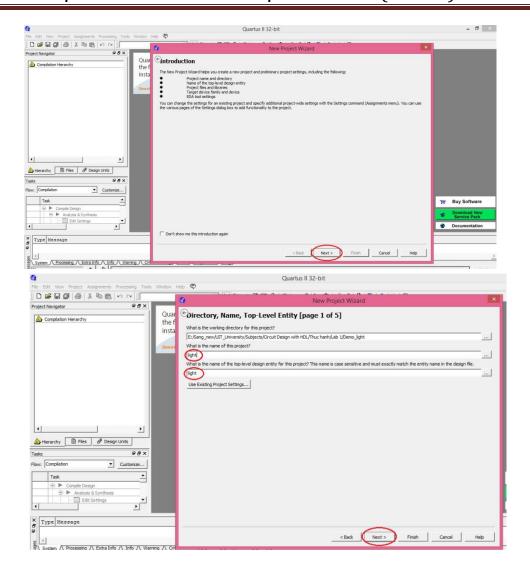
Sinh viên có thể download bất kỳ phiên bản nào của Quartus II, nội dung bên dưới sẽ là hướng dẫn cho phiên bản Quartus II 11.1. SV lưu ý kể từ phiên bản Quartus 13.1 không còn hỗ trợ nạp thiết kế cho chip FPGA Cyclone II.

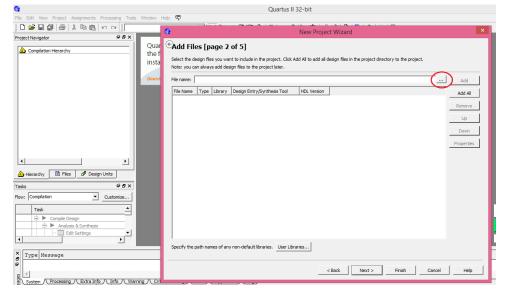
### II. Nội dung thực hành

1. Tạo một project trong Quartus II

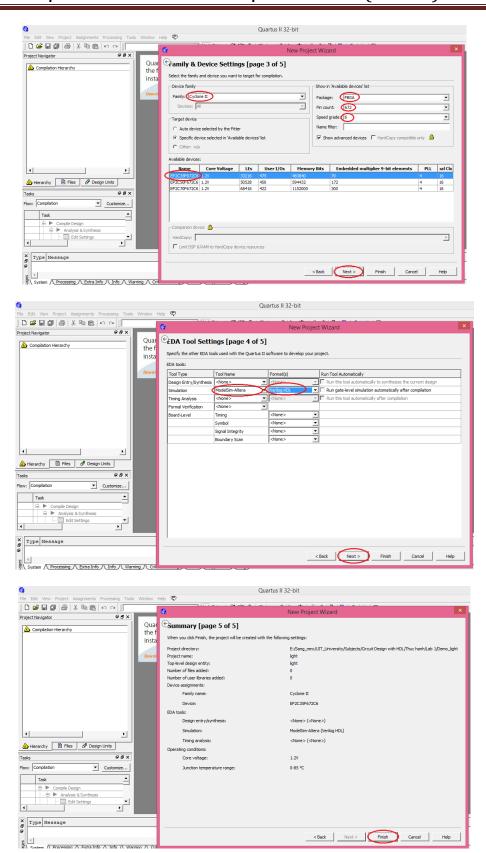






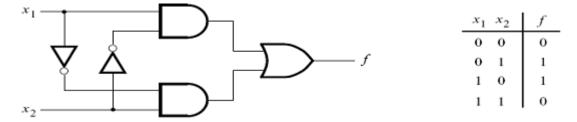




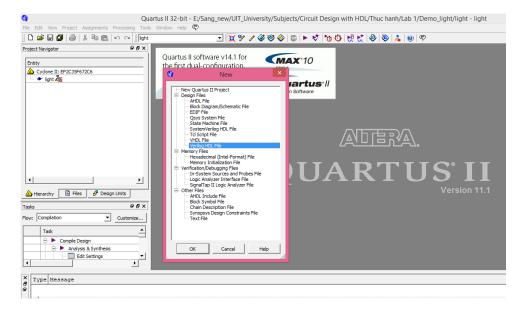




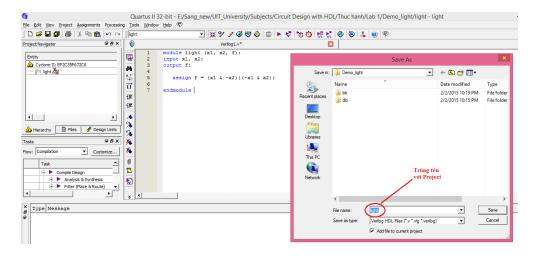
#### 2. Thiết kế một mạch số đơn giản (cổng XOR) bằng ngôn ngữ Verilog



Vào File → New, chọn Verilog HDL file

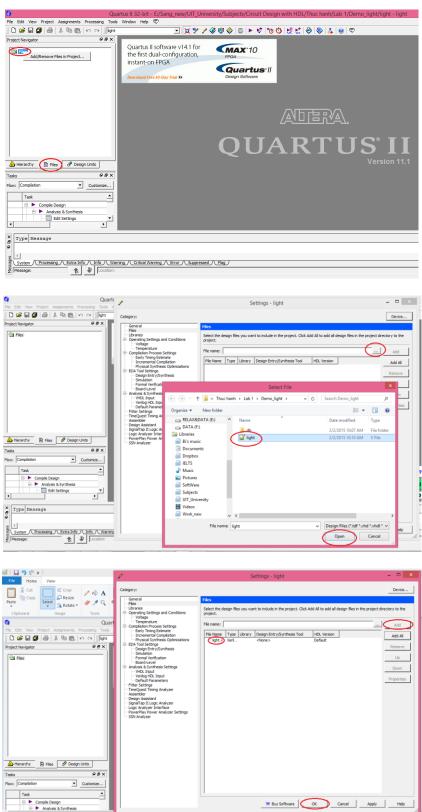


Rồi nhập vào file nội dung đoạn chương trình Verilog như hình dưới, sau đó lưu file lại.

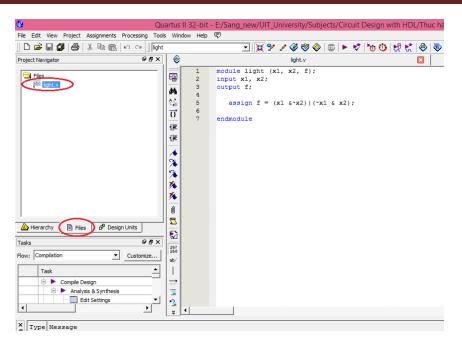


*Lwu ý*: Vì trong bước tạo project bên trên, ta đã đặt tên cho project và tên cho top-level module giống nhau (cùng là **light**), nên tên module trong đoạn code Verilog ở trên phải là **light**.

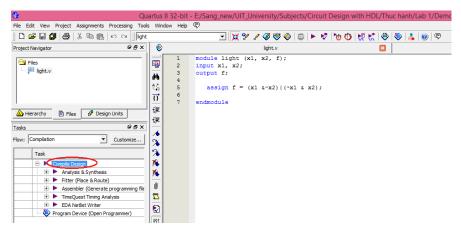
Hoặc có thể **Add** một file.v có sẵn vào Project như sau:





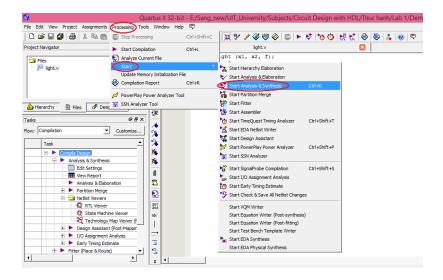


### 3. Biên dịch thiết kế

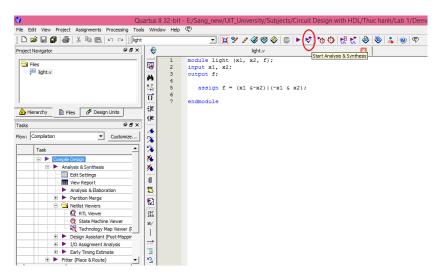


Chọn **Processing -> Start Compilation** để chạy biên dịch đầy đủ. Nếu chỉ muốn biên dịch nhanh để kiểm tra khả năng **Analysis & Synthesis** của thiết kế, thì chọn **Processing** -> **Start -> Start Analysis and Synthesis**.



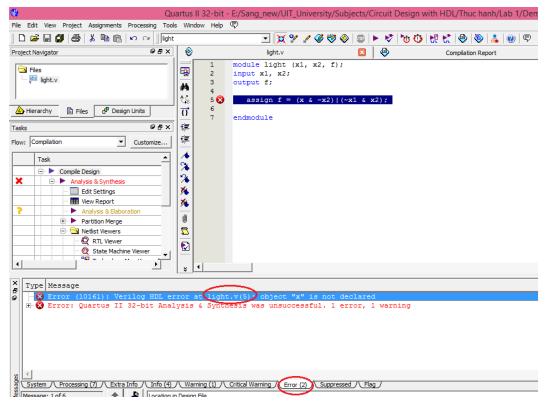


Hoặc:



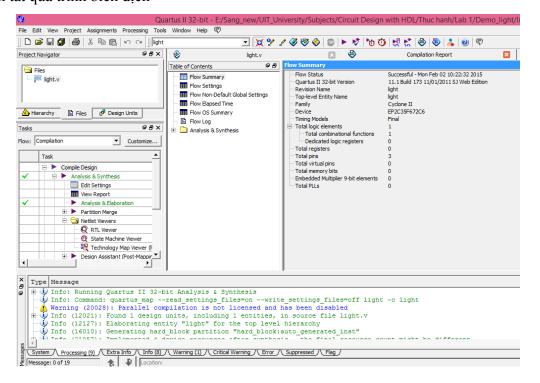
Biên dịch khi bị lỗi (Error) và sửa lỗi:



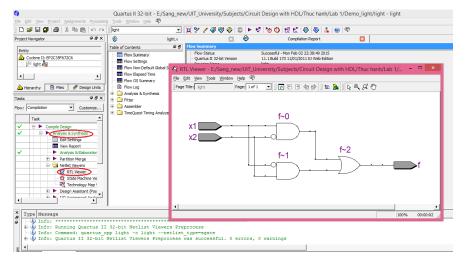


Nhấn F1 vào dòng báo lỗi để công cụ Help hiển thị thông tin lỗi và gợi ý hướng khắc phục)

Hoàn tất quá trình biên dịch



Xem mạch thiết kế được tổng hợp (Synthesis) bằng phần mềm Quartus II cho chip Cyclone II



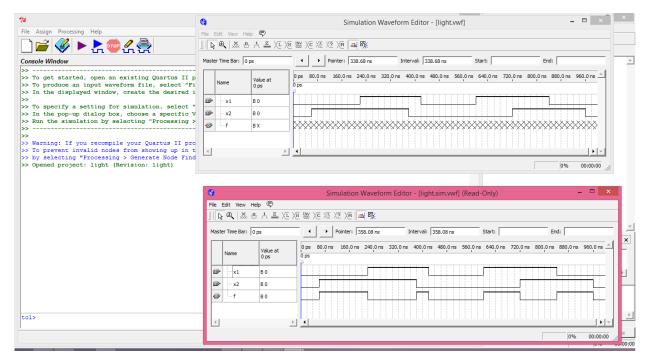
#### 4. Mô phỏng thiết kế bằng Vector Waveform

Tham khảo tại link: <a href="http://www.altera.com/education/univ/software/qsim/unv-qsim.html">http://www.altera.com/education/univ/software/qsim/unv-qsim.html</a>

Chọn version Quartus phù hợp và download các file "Introduction to Quartus Simulation" và "University Program Installer"

Kết quả mô phỏng trên Qsim với Quartus II, version 11.1 Build 173

#### **Function simulation**

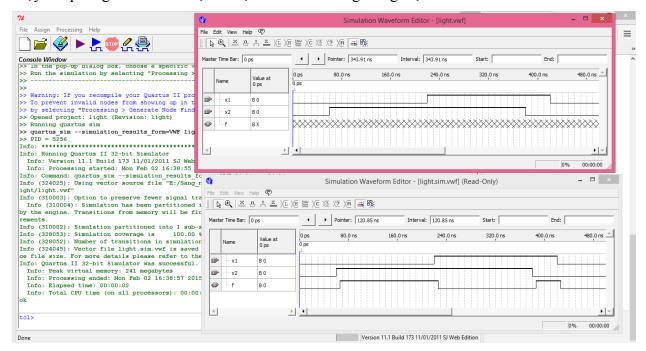


Với mô phỏng mặt chức năng, kết quả mô phỏng để đánh giá mạch thiết kế đã chính xác về mặt luận lý (logic) chưa. Mô phỏng này không tính đến giá trị độ trễ thực tế của các cổng.

Lưu ý: Với phiên bản Quartus 9.0 trở về trước, để chạy được Functional Simulation, trước khi chọn Processing->Start Simulation, cần làm bước sau: Processing -> Generate Functional Simulation Netlist trước.

#### **Timing simulation**

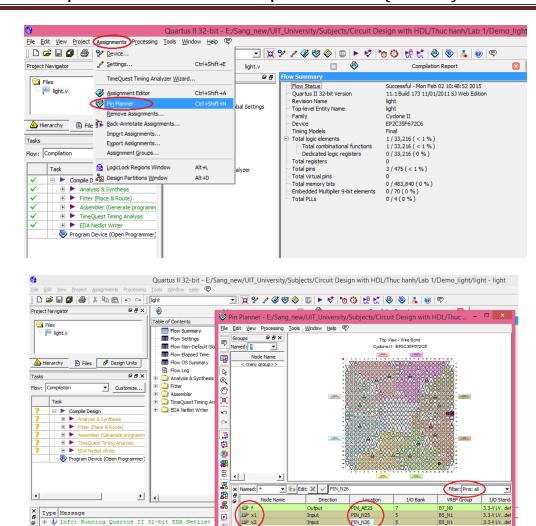
Chạy mô phỏng có tính đến độ trễ thực tế của các cổng trong mạch.



5. Gán chân (pin) cho thiết kế

Cách 1: gán thủ công



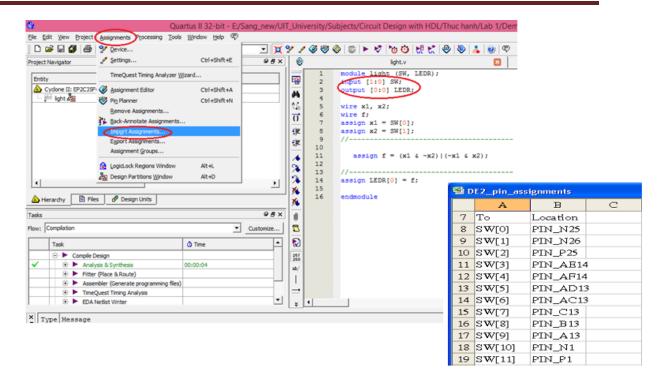


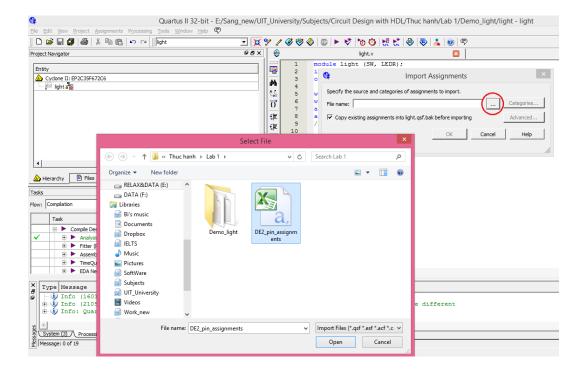
Chú ý: tham khảo file "DE2 pin assignments.csv" để tìm tên pin chính xác

#### Cách 2: gán chân tự động

Sửa lại tên port in/out/inout của thiết kế sao cho các tên này trùng với tên của các chân trên chip Cyclone II (tham khảo file "DE2\_pin\_assignments.csv")



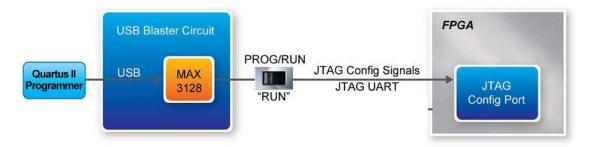




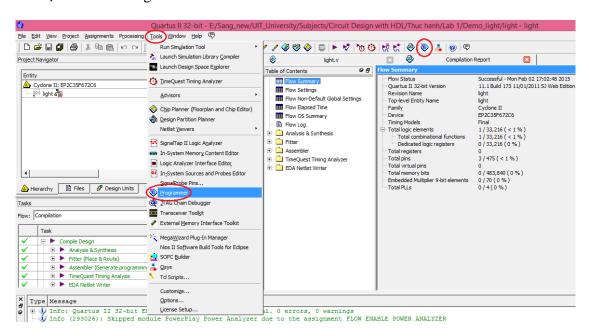
6. Nạp thiết kế xuống KIT DE2 và kiểm chứng hoạt động



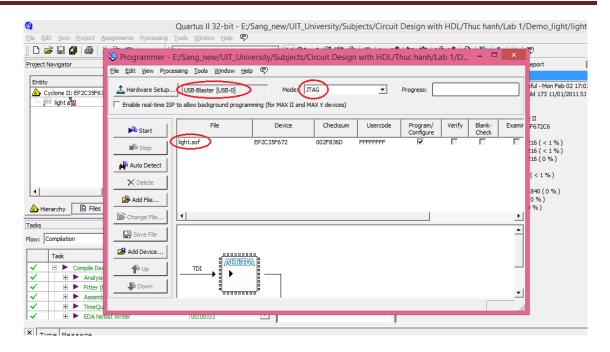
- Chế độ JTAG Programing Mode



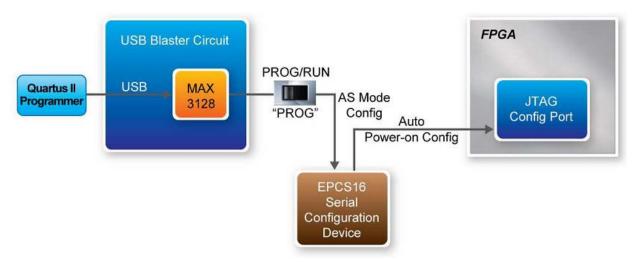
- + Bật swich RUN/PROG trên kit DE2 về vị trí RUN
- + Chọn Tool → Programmer



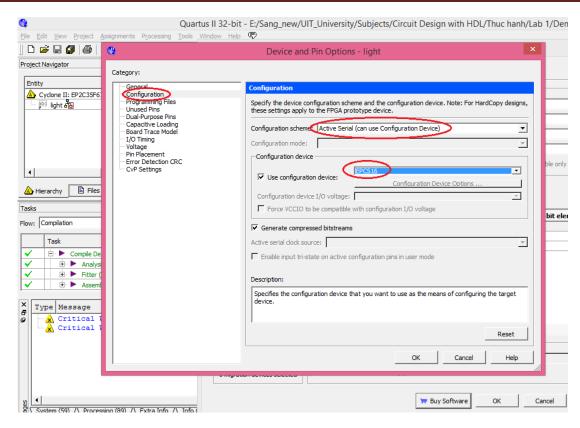




- Chế độ Active Serial Mode (nạp EPPROM)

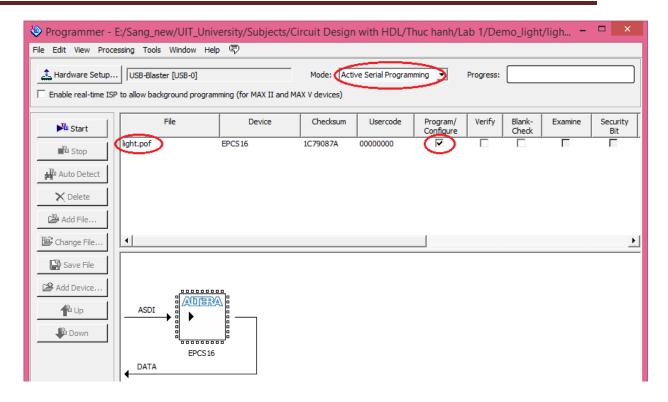


- + Bật swich RUN/PROG trên kit DE2 về vị trí **PROG**
- + Chọn **Assignment** → **Device** → Device and Pin options...
- + Tại mục **Use configuration device** chọn **EPCS16** (họ EPPROM trên KIT DE2)



- + Chọn mục **Programmer** trong Quartus II để nạp xuống KIT
  - Tại mục Mode chọn Active Serial Programming
  - Chọn file với đuôi .pof để nạp xuống KIT
  - Click chọn mục **Program/Configure**





- + Sau khi nạp KIT xong, chuyển switch RUN/PROG trên kit DE2 về vị trí **RUN**
- + Tắt nguồn, sau đó mở nguồn lại và kiểm tra kết quả.