

NHẬP MÔN MẠCH SỐ

CHƯƠNG 6 – PHẦN 1

Mạch tuần tự: Chốt và Flip-flop (Sequential circuit: Latches and Flip-flop)



Tổng quan



Các hệ thống Số ngày nay đều gồm có hai thành phần: mạch tổ hợp (chương 5) để thực hiện các chức năng logic và các thành phần có tính chất nhớ (memory element) để lưu giữ các trạng thái trong mạch.

Chương này sẽ học về:

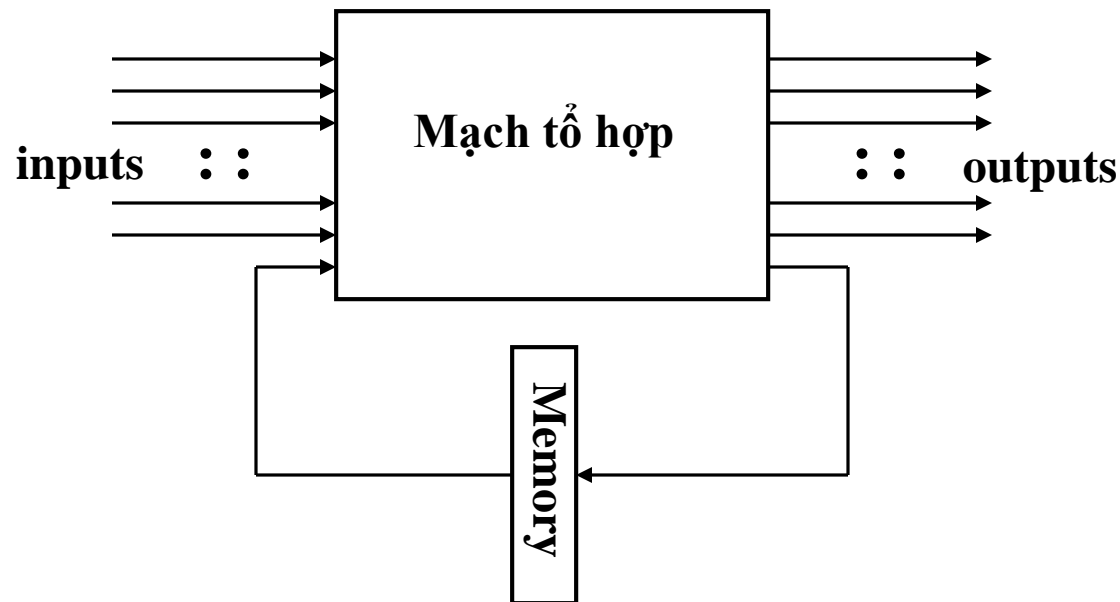
- Các thành phần có tính chất nhớ (Chốt, Flip-flop, thanh ghi,...)
- Kết hợp các thành phần tổ hợp và thành phần tính chất nhớ để tạo nên các mạch tuần tự.

Phân biệt mạch tổ hợp và tuần tự



MẠCH TỔ HỢP

- Ngõ ra sẽ thay đổi lập tức khi ngõ vào thay đổi



MẠCH TUẦN TỰ

- Ngõ ra sẽ thay đổi phụ thuộc vào ngõ vào và trạng thái trước đó.
- Mạch có tính chất nhớ

Nội dung

- 
1. Chốt S-R (S-R latch)
 2. Chốt D
 3. Flip-flop D
 4. Flip-flop T
 5. Flip-flop S-R
 6. Flip-flop J-K
 7. Flip-flop Scan

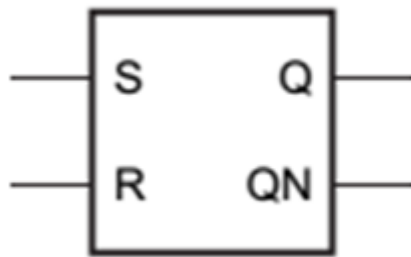
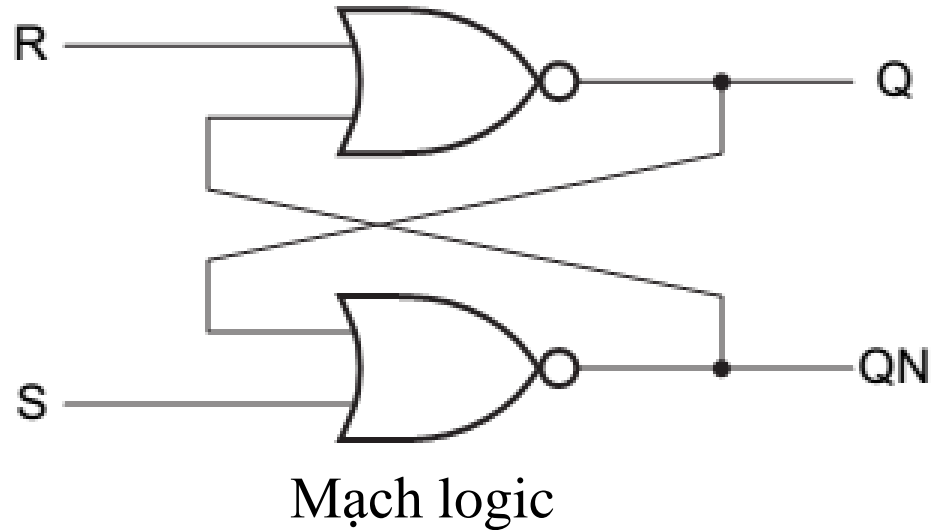


1. Chốt S-R (Set-Reset latch)

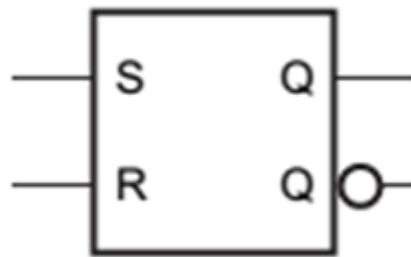
Chốt S-R dùng cổng NOR

S	R	Q	QN
0	0	last Q	last QN
0	1	0	1
1	0	1	0
1	1	0	0

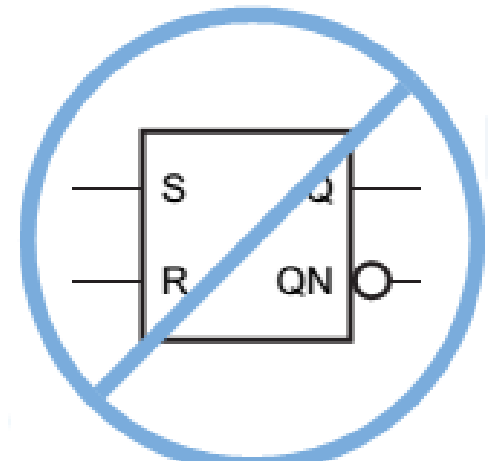
Bảng sự thật



Ký hiệu

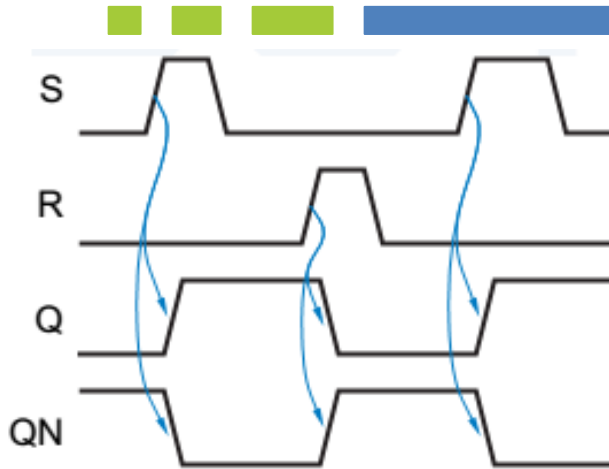


Ký hiệu



Ký hiệu sai

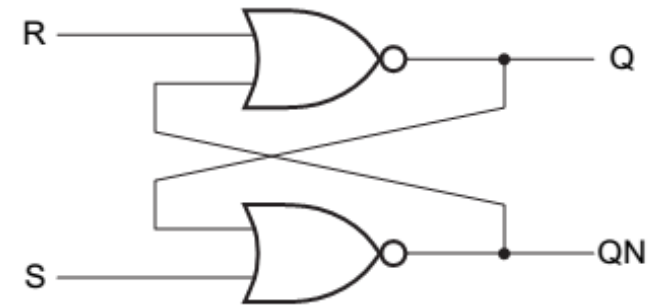
Chốt S-R dùng cổng NOR (tt)



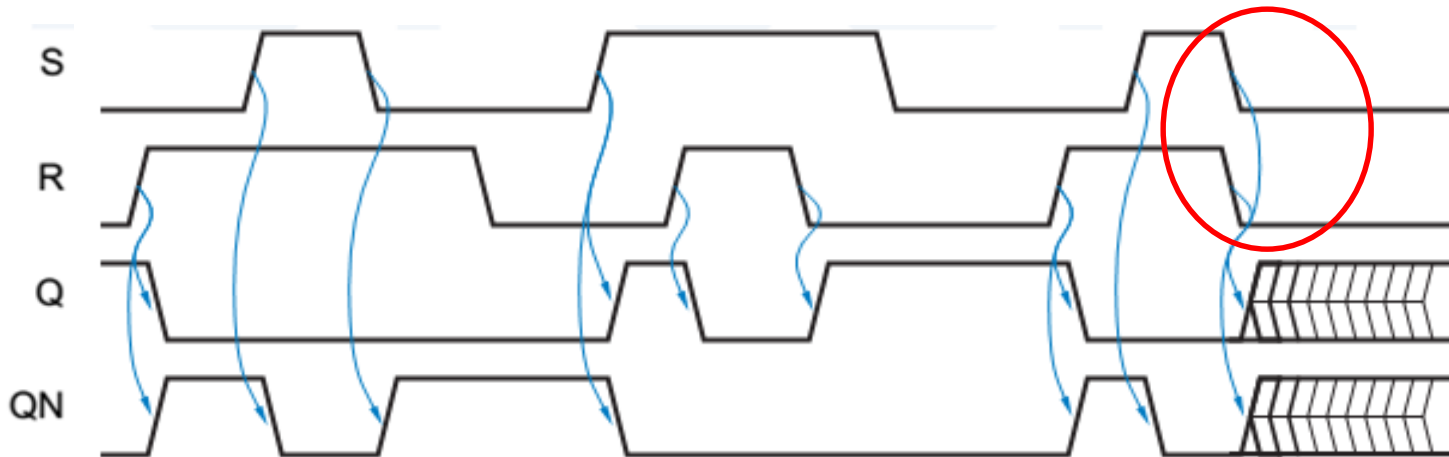
Ngõ vào thông thường

S	R	Q	QN
0	0	last Q	last QN
0	1	0	1
1	0	1	0
1	1	0	0

Bảng sự thật



Mạch logic

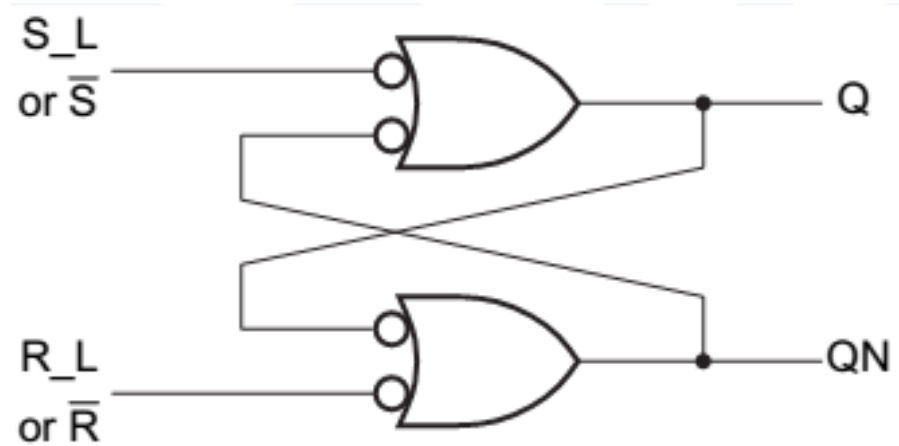


S và R chuyển từ mức 1 xuống mức 0 đồng thời → không xác định ngõ ra

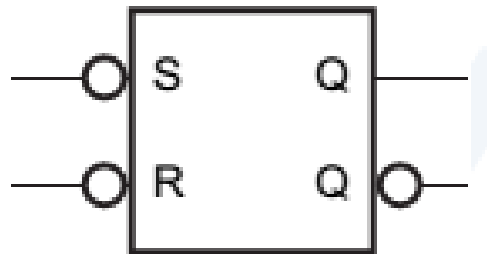
Chốt \bar{S} - \bar{R} dùng cổng NAND

S_L	R_L	Q	QN
0	0	1	1
0	1	1	0
1	0	0	1
1	1	last Q	last QN

Bảng sự thật



Mạch logic

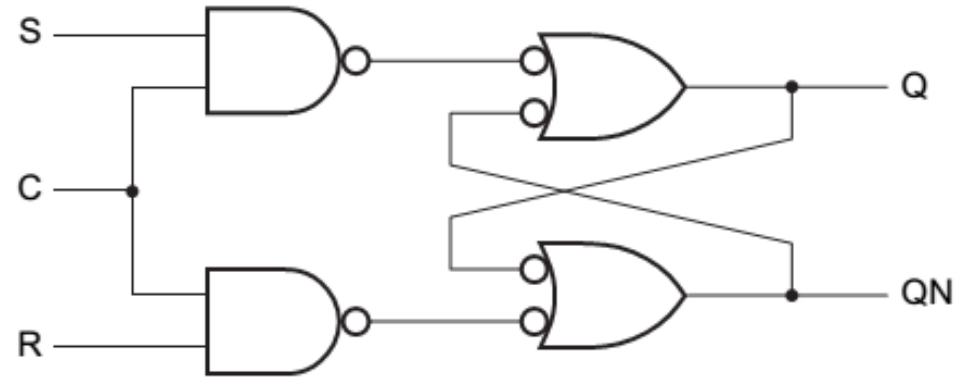


Ký hiệu

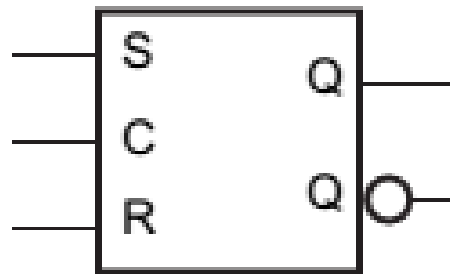
Chốt S-R với ngõ vào cho phép

S	R	C	Q	QN
0	0	1	last Q	last QN
0	1	1	0	1
1	0	1	1	0
1	1	1	1	1
x	x	0	last Q	last QN

Bảng sự thật

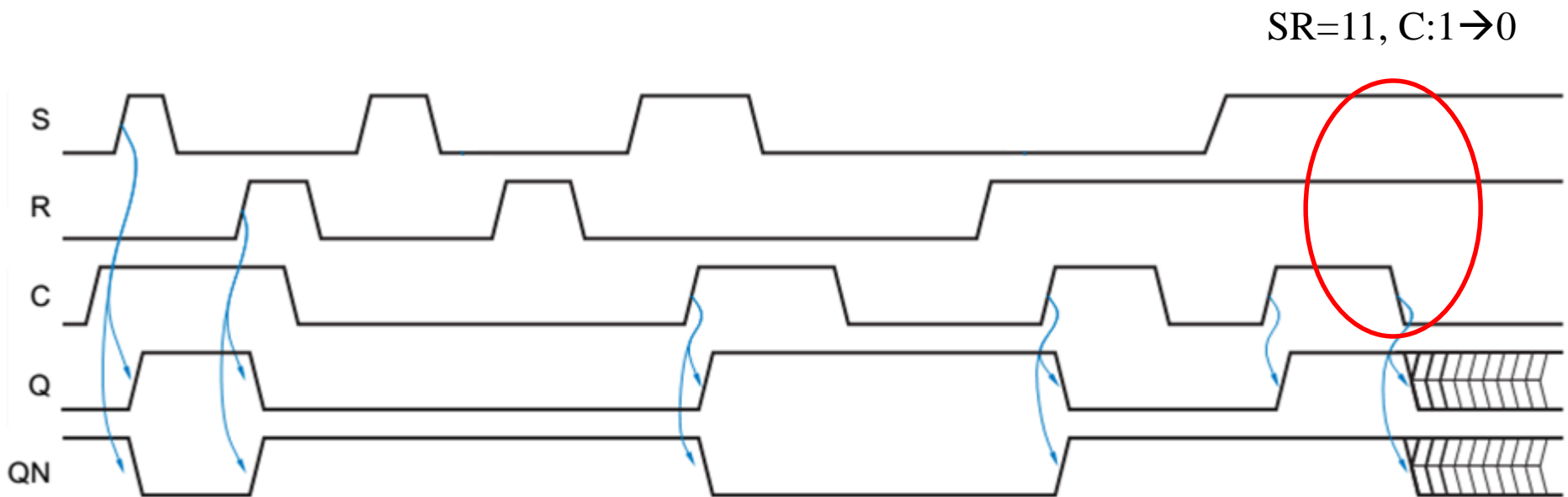


Mạch logic



Ký hiệu

Chốt S-R với ngõ vào cho phép (tt)



Hoạt động của chốt S-R với trường hợp ngõ ra không xác định

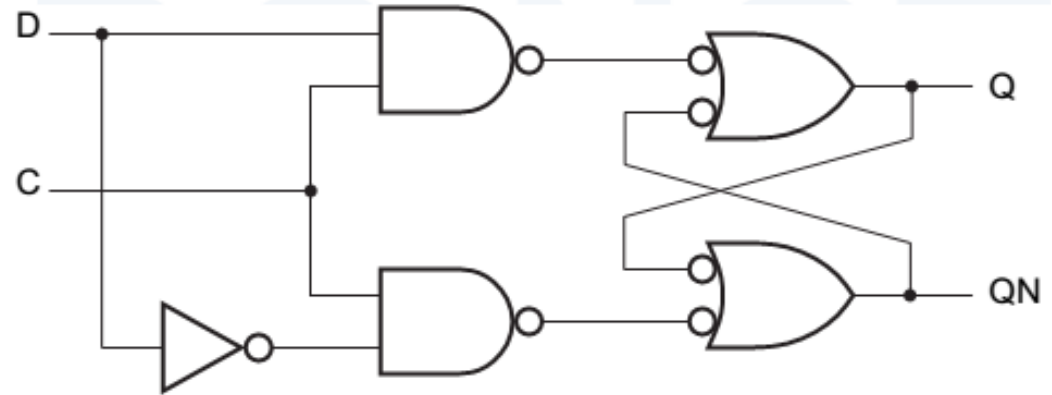


2. Chốt D (Data latch)

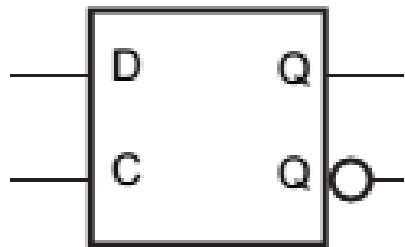
Chốt D

C	D	Q	QN
1	0	0	1
1	1	1	0
0	x	last Q	last QN

Bảng sự thật



Mạch logic



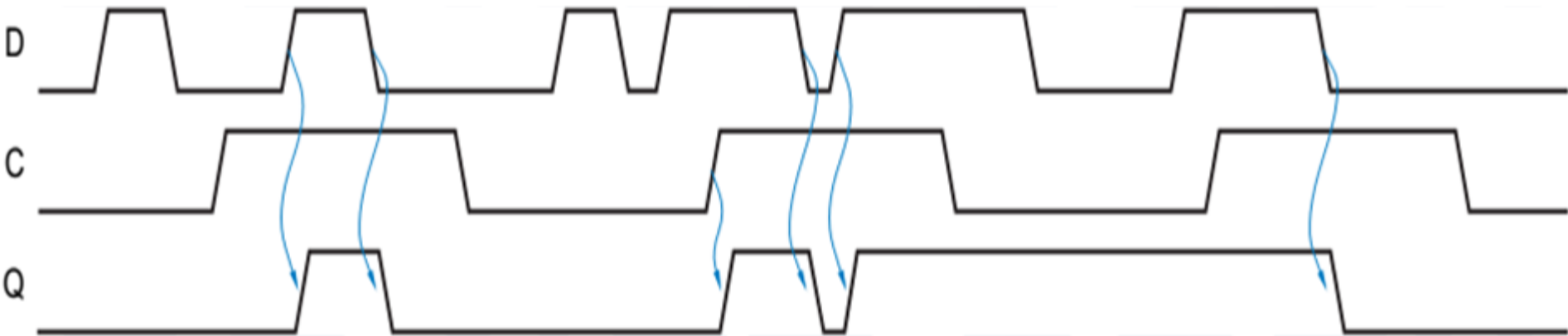
Ký hiệu

- Loại bỏ những hạn chế trong chốt S-R khi **S** và **R** chuyển từ 1 xuống 0 đồng thời
- Ngõ vào điều khiển **C** giống với ngõ vào cho phép (enable)
- Khi **C tích cực**, $Q = D \rightarrow$ chốt mở/trong suốt (transparent latch)
- **C không tích cực**, Q giữ giá trị trước đó \rightarrow chốt đóng (close latch)

Chốt D (tt)

C	D	Q	QN
1	0	0	1
1	1	1	0
0	x	last Q	last QN

Bảng sự thật





Hoạt động của chốt D



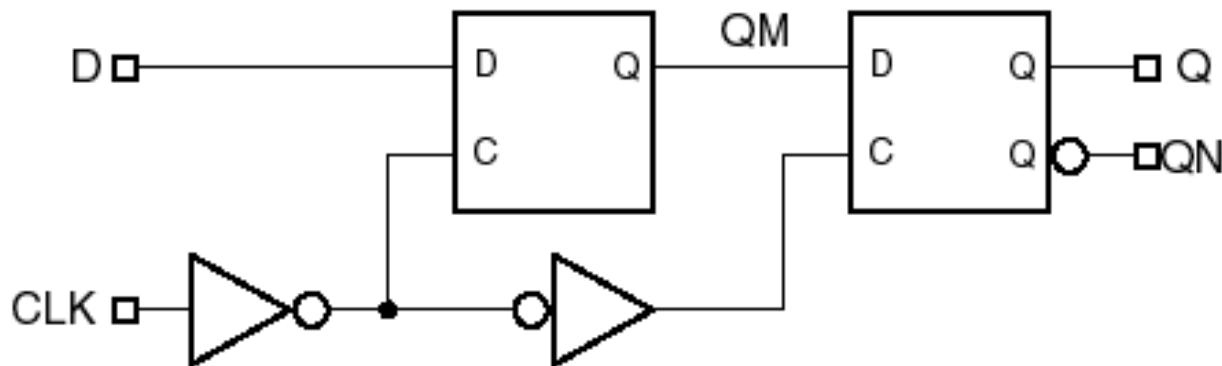
3. Flip-flop D (Data)

Flip-flop D(FF-D) kích cạnh lên

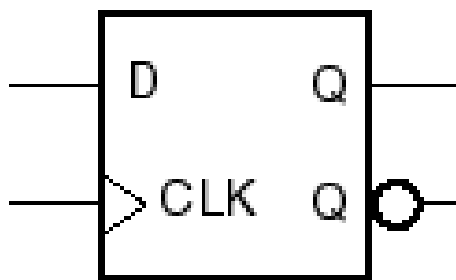
(Positive-edge-triggered D flip-flop)

D	CLK	Q	QN
0		0	1
1		1	0

Bảng sự thật



Mạch logic





Ký hiệu

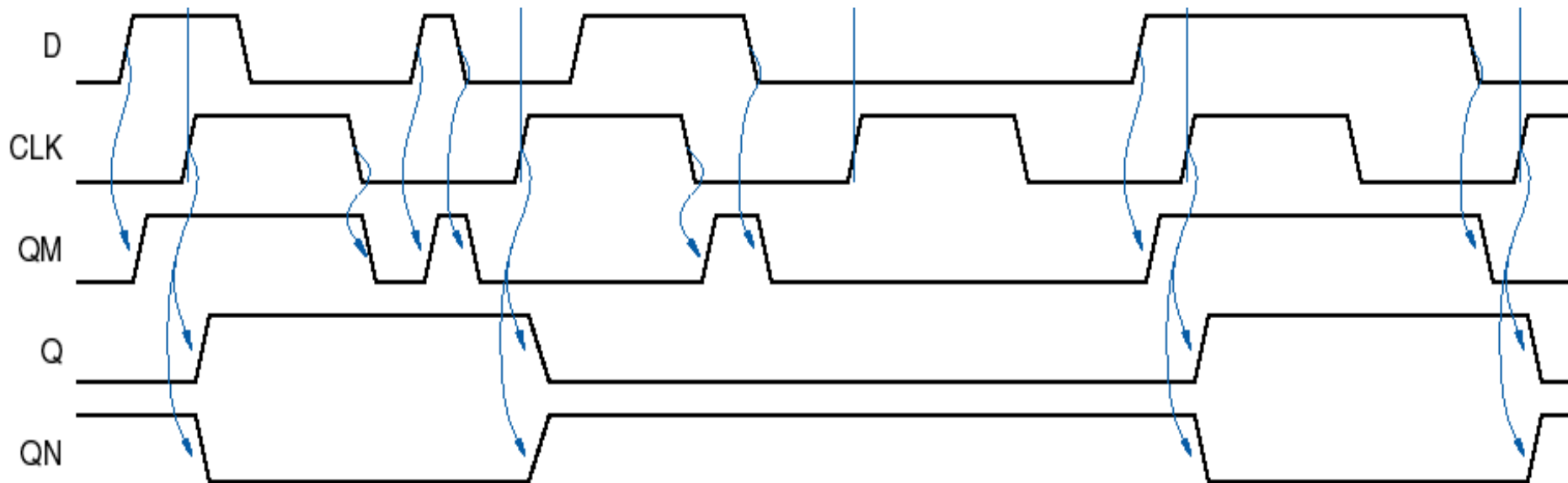
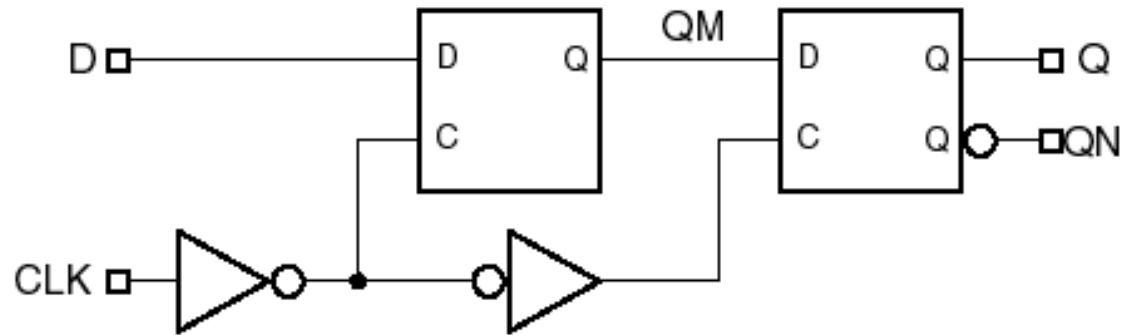
- Một **FF-D kích cạnh lên** bao gồm **một cặp chốt D** kết nối sao cho dữ liệu truyền từ ngõ vào D đến ngõ ra Q mỗi khi có cạnh lên của xung Clock (CLK)
- Chốt D đầu tiên gọi là Chủ (master), hoạt động tại mức 0 của ngõ vào xung CLK
- Chốt D thứ hai gọi là Tớ (slave), hoạt động tại mức 1 của ngõ vào xung CLK

FF-D kích cạnh lên

(Positive-edge-triggered D flip-flop)

D	CLK	Q	QN
0		0	1
1		1	0



Bảng sự thật



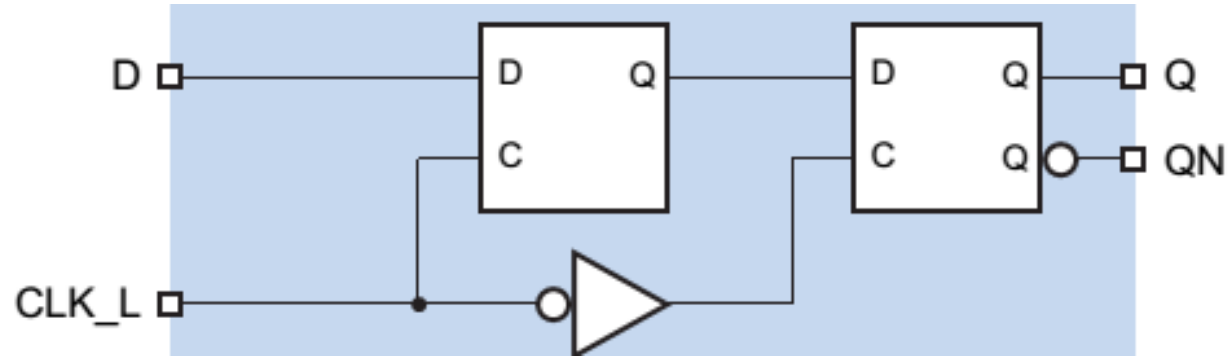
Hoạt động của **FF-D** kích cạnh lên

FF-D kích cạnh xuống

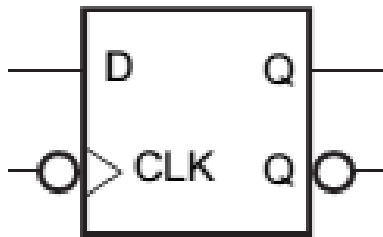
(Negative-edge-triggered D flip-flop)

D	CLK_L	Q	QN
0		0	1
1		1	0

Bảng sự thật






Mạch logic



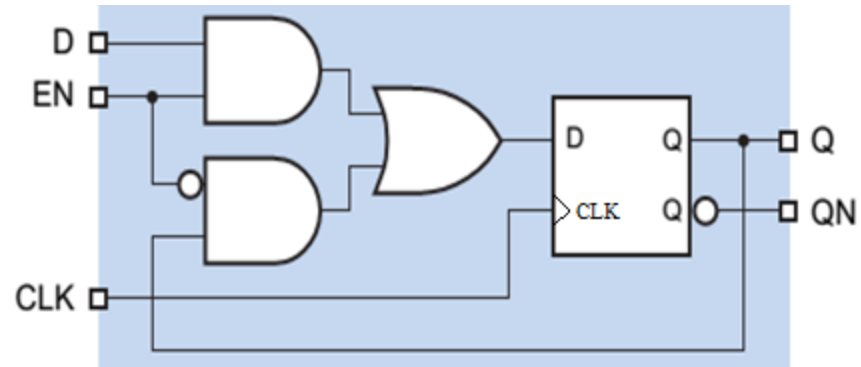
Ký hiệu

- Một FF-D kích cạnh xuống thiết kế giống với FF-D kích cạnh lên, nhưng đảo ngõ vào xung Clock của 2 chốt D

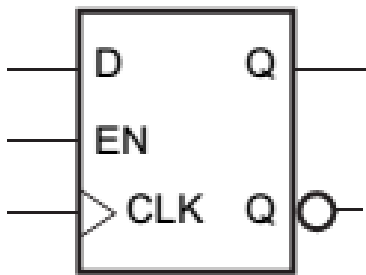
FF-D với ngõ vào điều khiển

D	EN	CLK	Q	QN
0	1		0	1
1	1		1	0
x	0		last Q	last QN

Bảng sự thật



Mạch logic



Ký hiệu

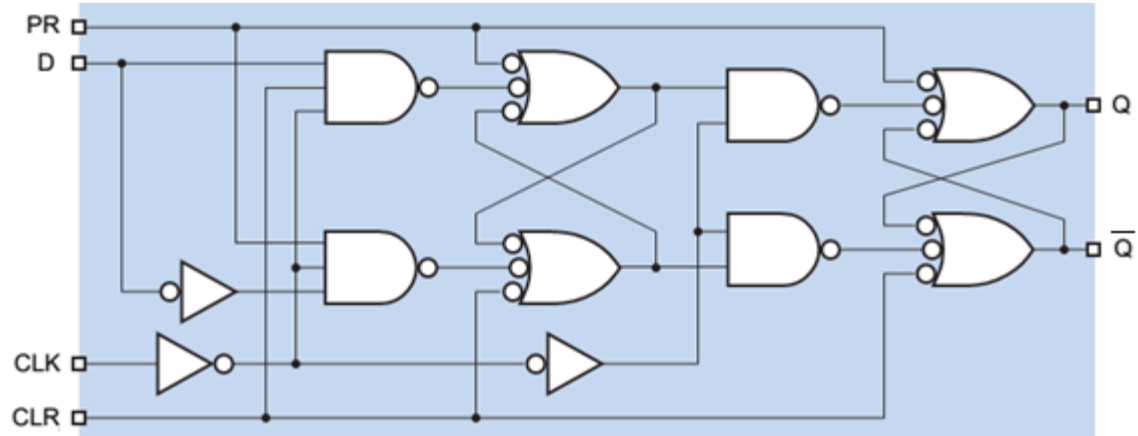
- Một chức năng quan trọng của FF-D là khả năng lưu giữ (store) dữ liệu sau cùng hơn là nạp vào (load) dữ liệu mới tại cạnh của xung Clock
- Để thực hiện được chức năng trên, ta thêm vào ngõ vào cho phép (enable input) của mỗi FF, thường ký hiệu là **EN** hoặc **CE** (chip enable)

FF-D với ngõ vào bất đồng bộ

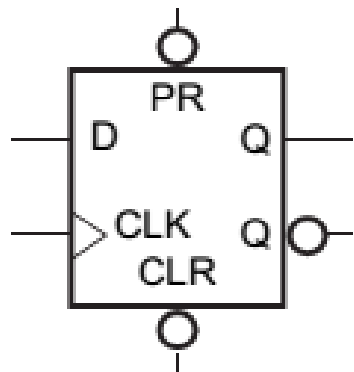
(D-FF with asynchronous inputs)

PR PRESET	CLR CLEAR	CLK CLOCK	D DATA	Q	\bar{Q}
1	1	↑	0	0	1
1	1	↑	1	1	0
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	1	1

Bảng sự thật



Mạch logic



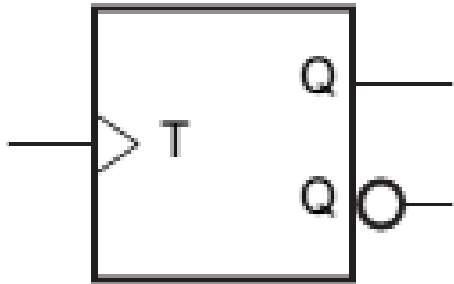
Ký hiệu

- Các ngõ vào bất đồng bộ (Asynchronous inputs) thường được sử dụng để ép ngõ ra Q của FF-D đến một giá trị mong muốn mà không phụ thuộc ngõ vào D và xung CLK
- Những ngõ vào này thường ký hiệu **PR** (preset) và **CLR** (clear)
- **PR** và **CLR** thường được dùng để khởi tạo giá trị ban đầu cho các FF hoặc phục vụ cho mục đích kiểm tra hoạt động của mạch.



4. Flip-flop T(Toggle)

Flip-flop T (FF-T)

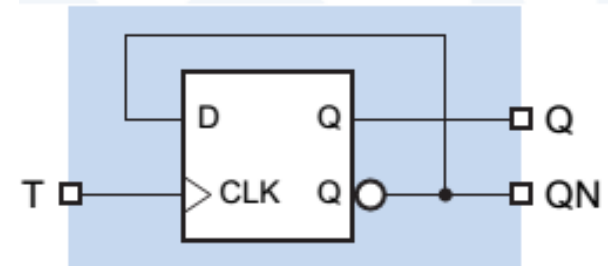


Ký hiệu

- Ngõ ra Q hoặc QN của FF-T sẽ đảo trạng thái mỗi khi có cạnh lên của xung T
- Ngõ ra Q có tần số bằng $\frac{1}{2}$ tần số của ngõ vào T
→ FF-T thường được sử dụng trong các bộ đếm hoặc bộ chia tần số

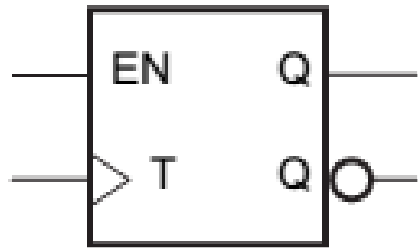


Hoạt động của FF-T tích cực cạnh lên của T



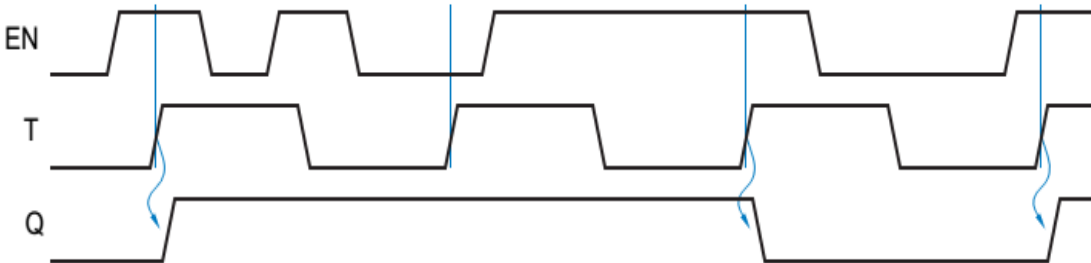
FF-T được thiết kế từ FF-D

FF-T với ngõ vào cho phép

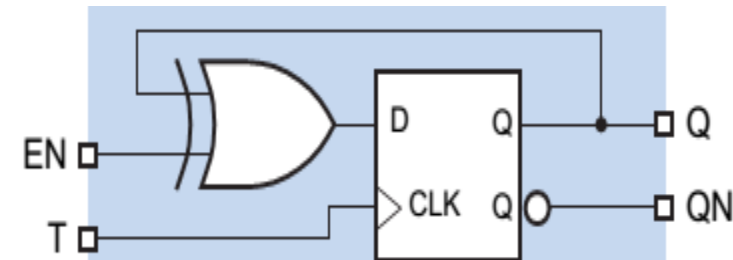


Ký hiệu

- Flip-flop thay đổi trạng thái tại cạnh lên của xung **T** chỉ khi ngõ vào cho phép **EN** (enable) tích cực.

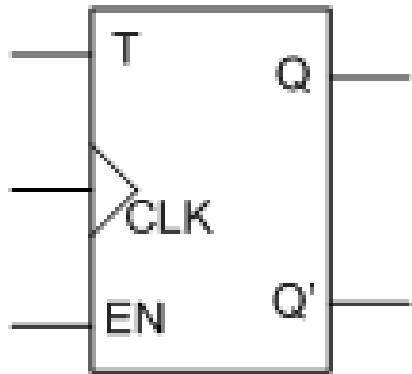


Hoạt động của **FF-T** tích cực cạnh lên của T và ngõ vào cho phép **EN** tích cực mức cao



FF-T với ngõ vào cho phép EN được thiết kế từ FF-D

FF-T với ngõ vào điều khiển và xung Clock

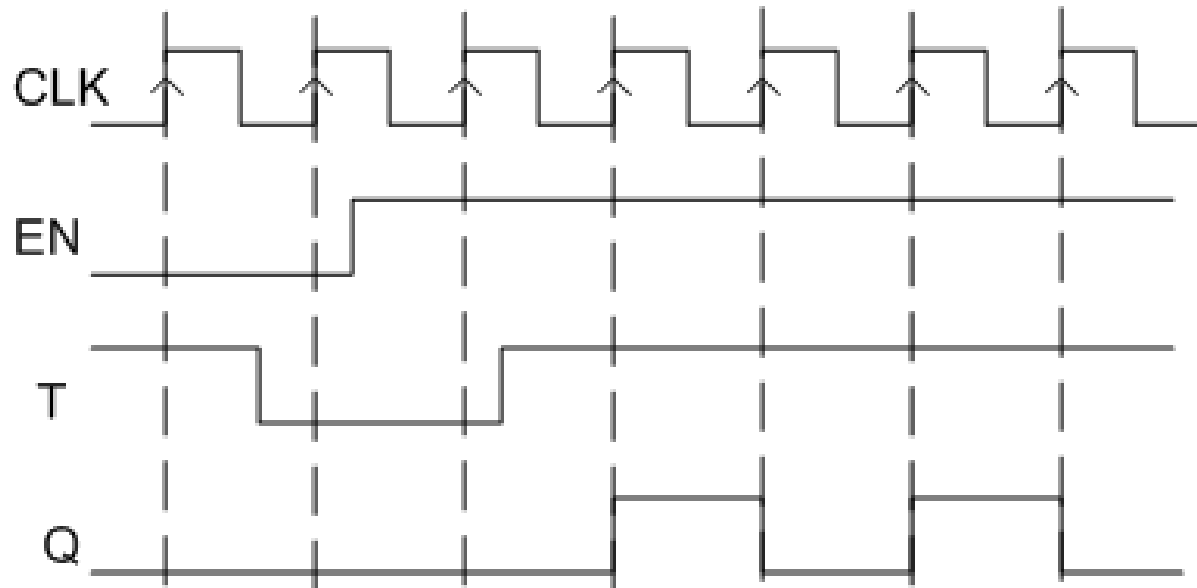


Ký hiệu

- Flip-flop thay đổi trạng thái tại cạnh lên của xung Clock (CLK) chỉ khi ngõ vào **EN** và **T** tích cực.

EN	T	CLK	Q	Q'
0	x	x	last Q	last Q'
1	0	f	last Q	last Q'
1	1	f	Q'	Q

Bảng sự thật



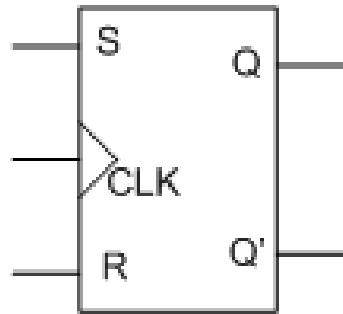
Hoạt động của **FF-T** tích cực
cạnh lên của xung Clock



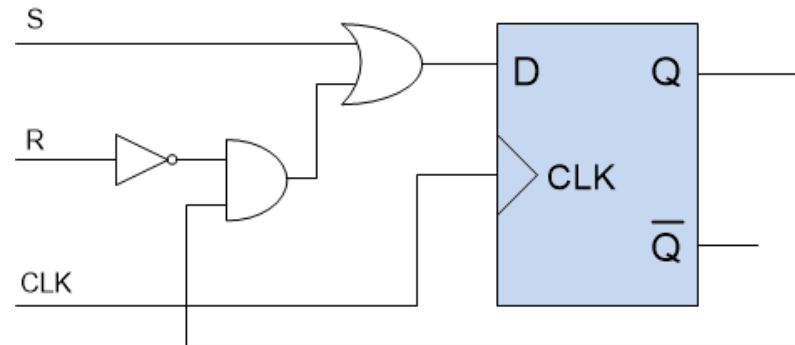
5. Flip-flop S_R(Set_Reset)

FF-S_R kích cạnh lên

(Positive-edge-triggered S_R flip-flop)



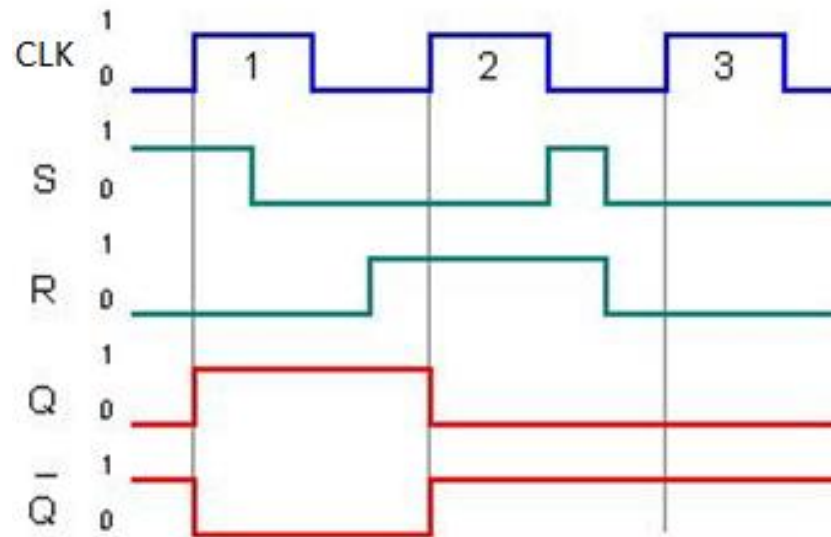
Ký hiệu



FF-S_R kích cạnh lên được thiết kế từ FF-D kích cạnh lên

S	R	CLK	Q	Q'
0	0	f	last Q	last Q'
0	1	f	0	1
1	0	f	1	0
1	1	f	×	×

Bảng sự thật



Hoạt động của FF-S_R kích cạnh lên



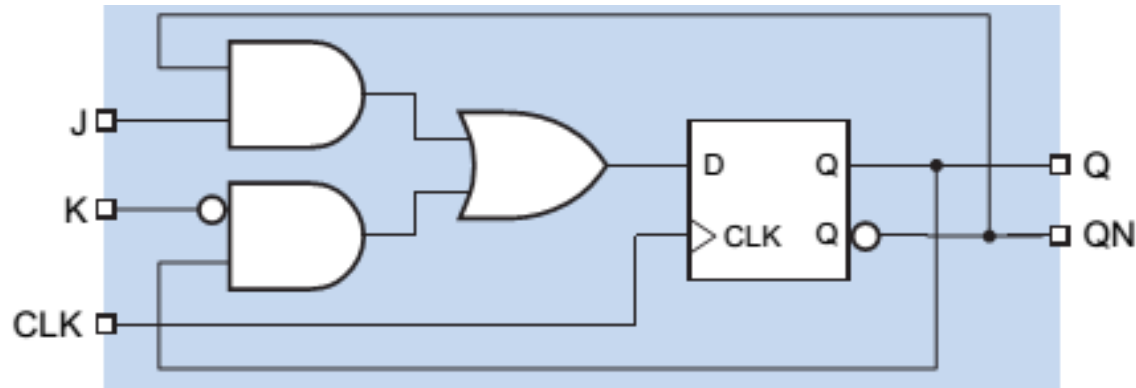
6. Flip-Flop J-K

FF-J_K kích cạnh lên

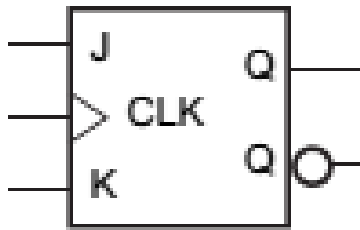
(Edge-triggered J_K flip-flop)

J	K	CLK	Q	QN
0	0		last Q	last QN
0	1		0	1
1	0		1	0
1	1		last QN	last Q

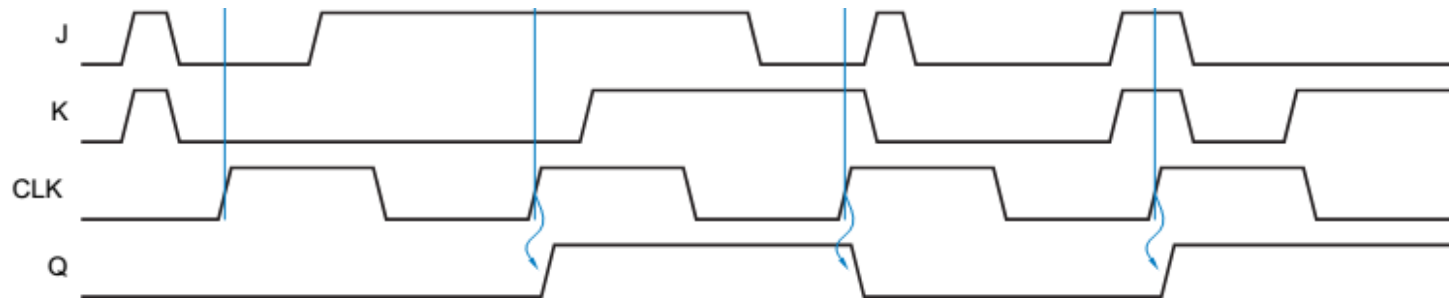
Bảng sự thật



FF-J_K kích cạnh lên được thiết kế từ FF-D kích cạnh lên

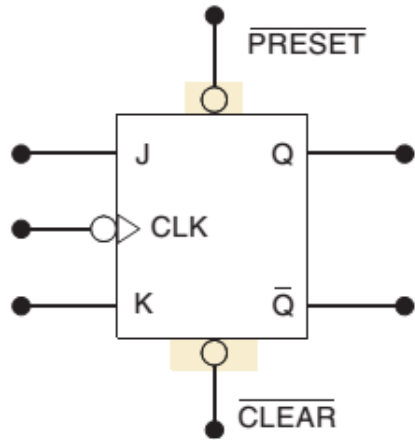


Ký hiệu



Hoạt động của FF-J_K kích cạnh lên

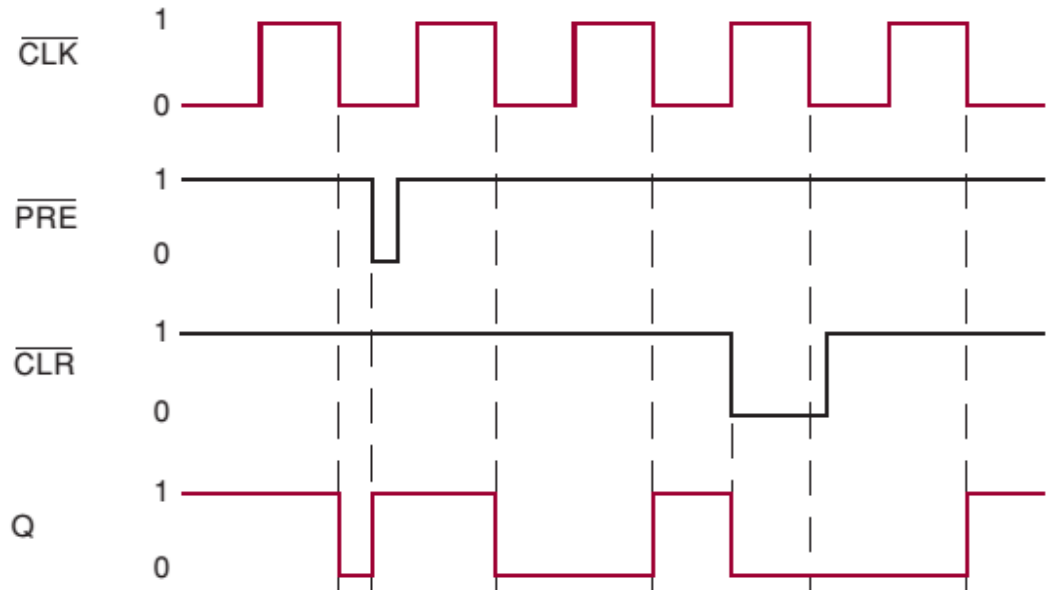
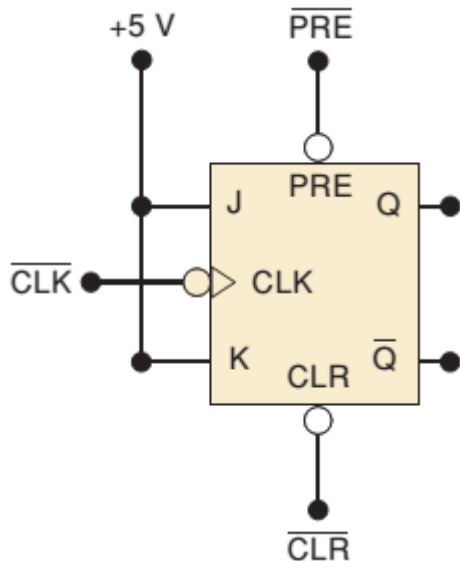
FF-JK với ngõ vào bất đồng bộ



Ký hiệu

J	K	Clk	$\overline{\text{PRE}}$	$\overline{\text{CLR}}$	Q
x	x	x	1	1	Q (no change)
x	x	x	1	0	0 (asynch clear)
x	x	x	0	1	1 (asynch preset)
x	x	x	0	0	(Invalid)
0	0	↓	1	1	Q (no change)
0	1	↓	1	1	0 (Synch reset)
1	0	↓	1	1	1 (Synch set)
1	1	↓	1	1	$\overline{\text{Q}}$ (Synch toggle)

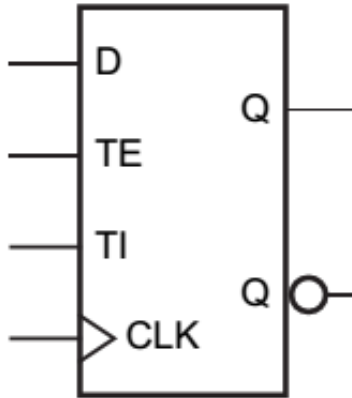
Bảng sự thật





7. Flip-Flop Scan

Flip-flop Scan(FF-Scan)



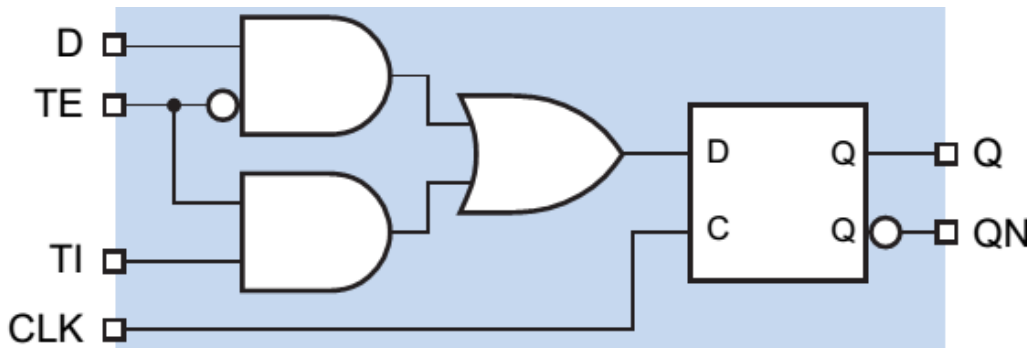
Ký hiệu

Chế độ
bình thường

Chế độ
kiểm tra

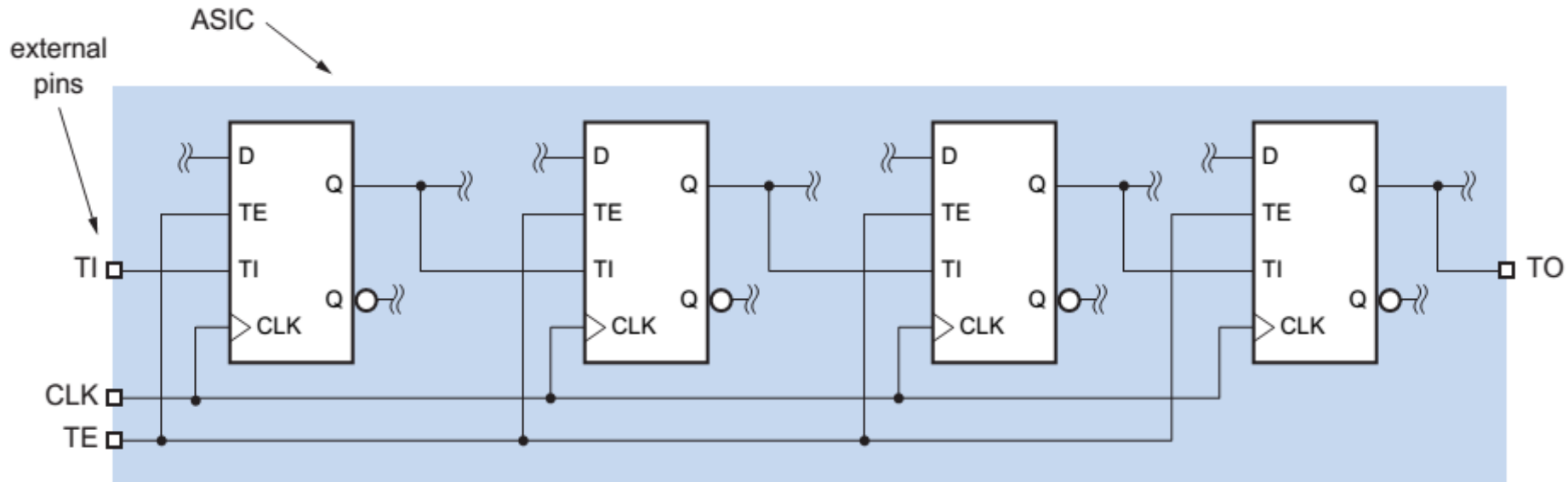
TE	TI	D	CLK	Q	QN
0	x	0		0	1
0	x	1		1	0
1	0	x		0	1
1	1	x		1	0
x	x	x	0	last Q	last QN
x	x	x	1	last Q	last QN

Bảng sự thật



FF-D kích cạnh lên có chế độ Scan

FF-Scan (tt)

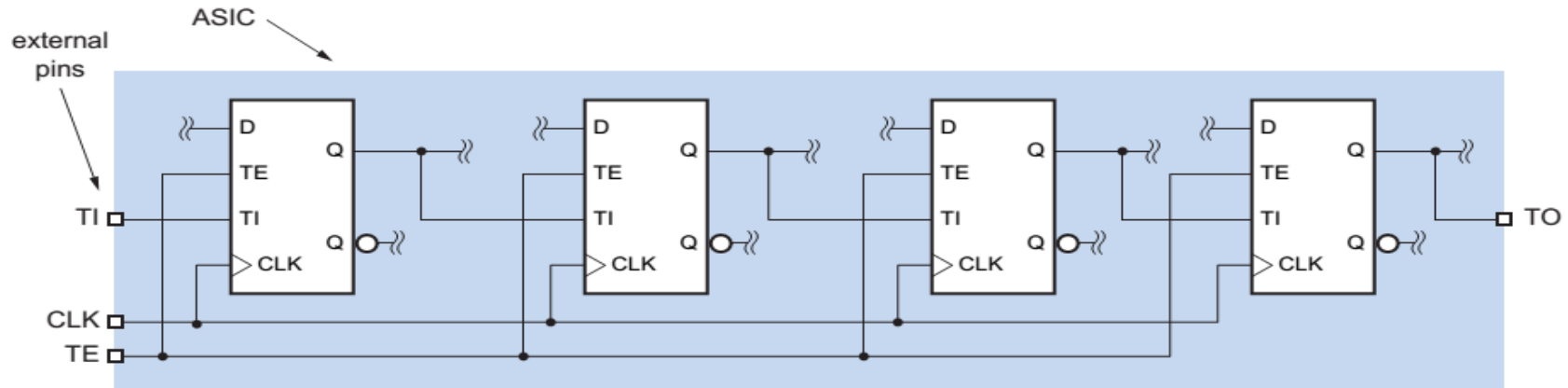


Một chuỗi 4 FFs hoạt động trong chế độ Scan

- Một tính năng quan trọng của các FF được chế tạo ở mức **ASIC** là **khả năng Scan (khả năng kiểm tra)**

Các ngõ vào phụ TI, TE, TO được kết nối đến các FF theo một chuỗi Scan để phục vụ cho mục đích kiểm tra

FF-Scan (tt)



Một chuỗi 4 FFs hoạt động trong chế độ Scan

- Trong chế độ kiểm tra (testing mode), một chuỗi dữ liệu kiểm tra (test pattern) được đưa vào các FF thay thế cho chuỗi dữ liệu thông thường
- Sau khi các test pattern được đưa vào các FF, các FF sẽ quay trở lại chế độ hoạt động bình thường (normal mode)
- Sau một hay nhiều cạnh lên của xung Clock, các FF quay lại chế độ kiểm tra và kết quả kiểm tra được xuất ra ngoài tại ngõ ra của các FF



Thảo luận?