

ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC BÁCH KHOA
KHOA KHOA HỌC & KỸ THUẬT MÁY TÍNH



THÍ NGHIỆM HỆ THỐNG SỐ - CO1024

BÁO CÁO LAB 3

TÀI LIỆU SƯU TẬP

BỞI HCMUT-CNCP

GVHD: Huỳnh Phúc Nghị

Lớp: VL05

Nhóm: 01

SV thực hiện: Dương Khương Duy - 2110913

Võ Nguyên Giáp - 2110142

Đổng Hoàng Sơn - 2110507

Lê Thanh Tùng - 2115231

Tp. Hồ Chí Minh, Tháng 03/2022

Mục lục

I	Thí nghiệm 1	1
1	Đặt vấn đề và giải quyết	1
1.1	Yêu cầu thí nghiệm	1
1.2	Ý tưởng giải quyết bài toán	1
2	Sơ đồ luận lý	2
3	Mô phỏng	3
4	Sơ đồ mạch	3
4.1	Cách nối mạch trên KIT	3
4.2	Sơ đồ mạch	3
5	Hiện thực	4
II	Thí nghiệm 2	5
1	Đặt vấn đề và giải quyết	5
1.1	Yêu cầu thí nghiệm	5
1.2	Ý tưởng giải quyết	5
2	Mô phỏng	5
3	Cách nối & Sơ đồ mạch	6
3.1	Cách nối mạch trên KIT	6
3.2	Sơ đồ mạch	6
4	Hiện thực	7
5	Trả lời câu hỏi	7
5.1	Câu hỏi a	7
5.2	Câu hỏi b	8
III	Thí nghiệm 3	9
1	Đặt vấn đề và giải quyết	9
1.1	Yêu cầu thí nghiệm	9
1.2	Ý tưởng giải quyết bài toán	9
2	Mô phỏng	10
3	Sơ đồ thời gian	11

Danh sách hình vẽ

1	Bảng đặc điểm của D Flip-flop	1
2	Bảng chân trị của D Flip-flop có được thông qua J-K Flip-flop	2
3	Biểu đồ Karnaugh chỉ ra các giá trị đầu vào của J và K	2
4	Sơ đồ luận lý thí nghiệm 1	2
5	Mô phỏng thí nghiệm 1	3
6	Sơ đồ mạch thí nghiệm 1	4
7	Mạch thí nghiệm 1	4
8	Sơ đồ luận lý thí nghiệm 2	5
9	Mô phỏng thí nghiệm 2	5
10	Sơ đồ mạch thí nghiệm 2	6
11	Hiện thực thí nghiệm 2	7
12	Mô phỏng mạch trong Logisim	10
13	Sơ đồ thời gian của A, B và z	11



I. Thí nghiệm 1

1. Đặt vấn đề và giải quyết

1.1 Yêu cầu thí nghiệm

Thiết kế, mô phỏng và hoàn thiện một D Flip-flop bằng J-K Flip-flop (cho phép sử dụng cổng logic nếu cần thiết).

1.2 Ý tưởng giải quyết bài toán

Giải quyết yêu cầu thí nghiệm, ta cần sử dụng 1 IC 7404, 1 IC 7473.

Để tìm cách mắc 1 J-K Flip-flop hoạt động như 1 D Flip-flop, ta có các bước sau:

- Đầu tiên, ta có bảng đặc điểm của D Flip-flop:

D	Q	Q ⁺
0	0	0
0	1	0
1	0	1
1	1	1

Hình 1: Bảng đặc điểm của D Flip-flop

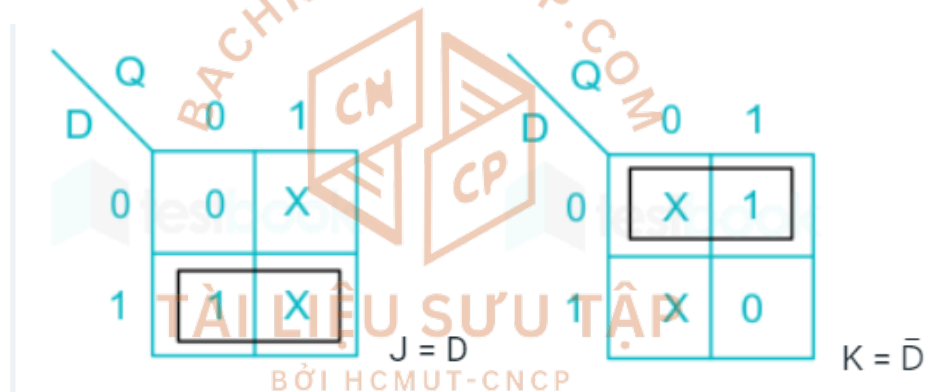
(Q⁺ là trạng thái đầu ra của D Flip-flop ở cổng Q sau một xung đồng hồ)

- Tiếp theo, ta có bảng đặc điểm trên kết hợp với các đầu vào J, K của J-K Flip-flop:

D	Q	Q ⁺	J	K
0	0	0	0	X
0	1	0	X	1
1	0	1	1	X
1	1	1	X	0

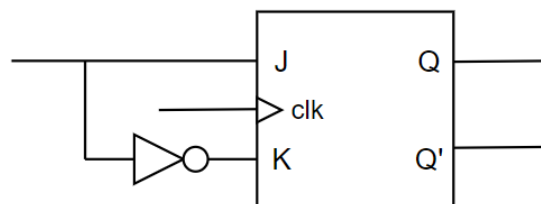
Hình 2: Bảng chân trị của D Flip-flop có được thông qua J-K Flip-flop

- Cuối cùng, ta xử dụng biểu đồ Karnaugh và thuật toán tô màu để chỉ ra giá trị của J và K liên quan tới D:



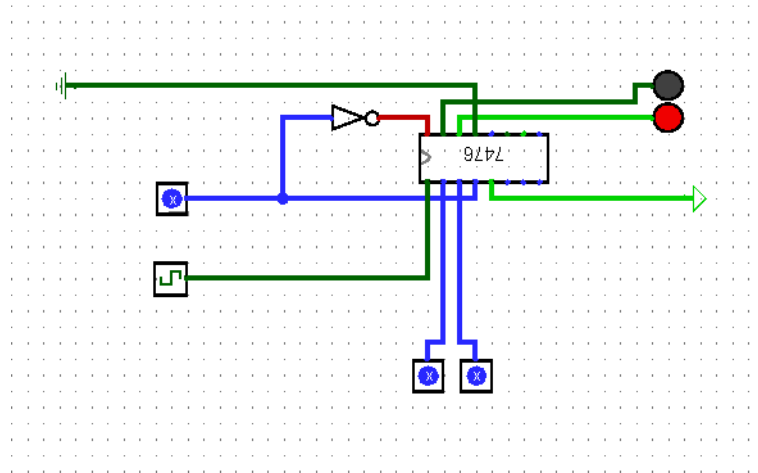
Hình 3: Biểu đồ Karnaugh chỉ ra các giá trị đầu vào của J và K

2. Sơ đồ luận lý



Hình 4: Sơ đồ luận lý thí nghiệm 1

3. Mô phỏng



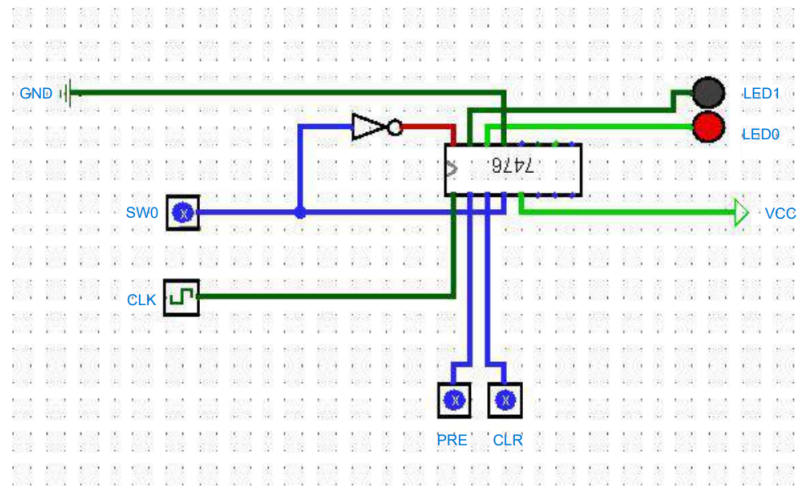
Hình 5: Mô phỏng thí nghiệm 1

4. Sơ đồ mạch

4.1 Cách nối mạch trên KIT

- Bước 1: Lắp 2 IC vào breadboard. (IC 7404 nằm bên trái)
- Bước 2: Lần lượt nối 2 chân của SW 0 vào chân 1 của IC 7404, chân 14 (J1) của IC 7473.
- Bước 3: Chân ra số 2 của IC 7404 nối vào chân 3 (K1) của IC 7473.
- Bước 4: Chân 1 (CLK 1) của IC 7473 nối vào KEY 0 của KIT để tạo nhịp đồng hồ thủ công.
- Bước 5: Chân 2 (CLR 1) của IC 7473 nối vào SW 1 và luôn bật.
- Bước 6: Lần lượt nối 2 chân ra 13, chân ra 12 của IC 7473 vào LED 1 và LED 0.
- Bước 7: Cấp nguồn (VCC) vào chân 14 của IC 7404, chân 4 của IC 7473 và thực hiện nối đất (GND) vào chân 7 của IC 7404, chân 11 của IC 7473.

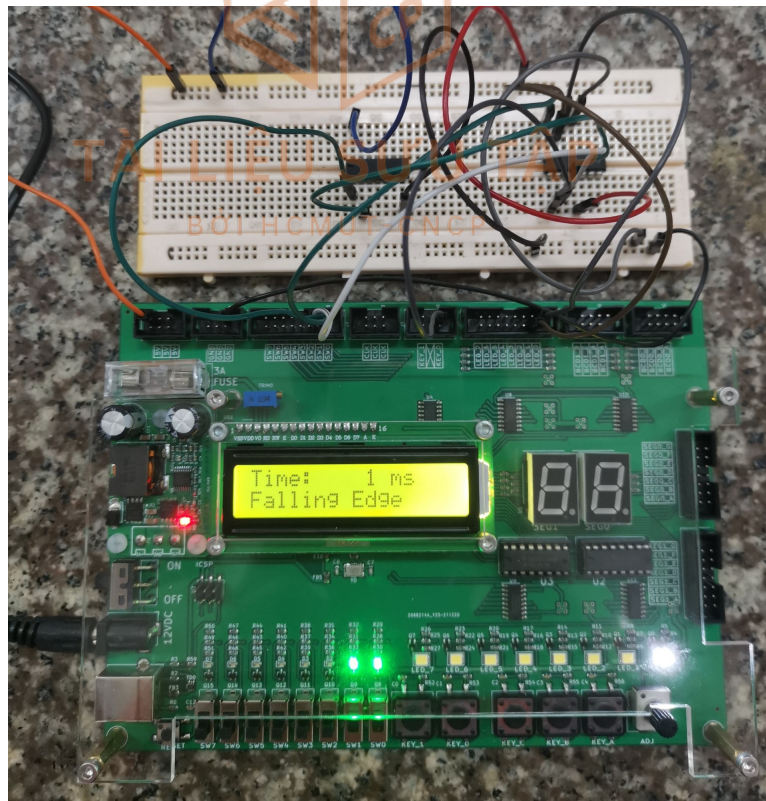
4.2 Sơ đồ mạch



Hình 6: Sơ đồ mạch thí nghiệm 1

5. Hiện thực

- Link video lắp mạch thí nghiệm 1: <https://drive.google.com/file/d/1lJU963ElsJPAu8W0d0z1BndwE-7BLaMM/view?usp=sharing>
- Ảnh mạch:



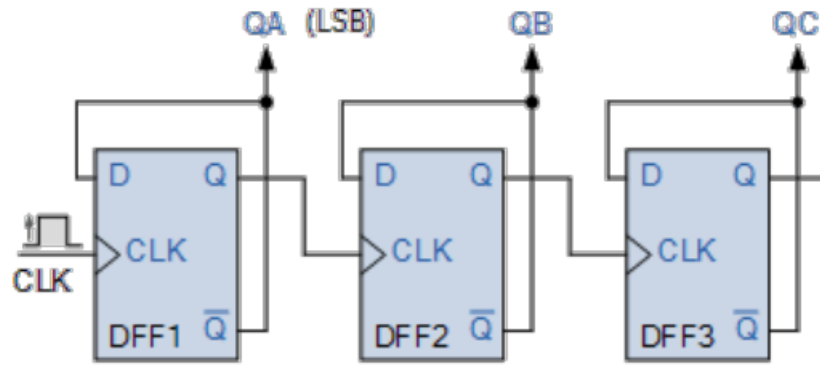
Hình 7: Mạch thí nghiệm 1

II. Thí nghiệm 2

1. Đặt vấn đề và giải quyết

1.1 Yêu cầu thí nghiệm

Thiết kế, mô phỏng và hiện thực mạch sau và trả lời câu hỏi:



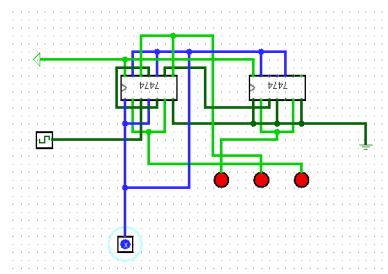
Hình 8: Sơ đồ luận lý thí nghiệm 2

- Giả sử QA, QB và QC được nối tới các LEDs. Nêu hiện tượng xảy ra. Sự khác nhau giữa các LEDs.
- Số lượng D flip flop tối thiểu để tạo một mạch mà tần số output bé hơn 16 lần tần số của input CLK?

1.2 Ý tưởng giải quyết

Để giải quyết yêu cầu thí nghiệm, ta cần sử dụng ít nhất 2 IC 7474 (vì mỗi IC sẽ có 2 D flip flop) để tạo thành 3 D flip flop nối bất đồng bộ với nhau như yêu cầu. Có thể nhận ra dễ dàng đây là mạch đếm lên bất đồng bộ từ 0 đến 7.

2. Mô phỏng



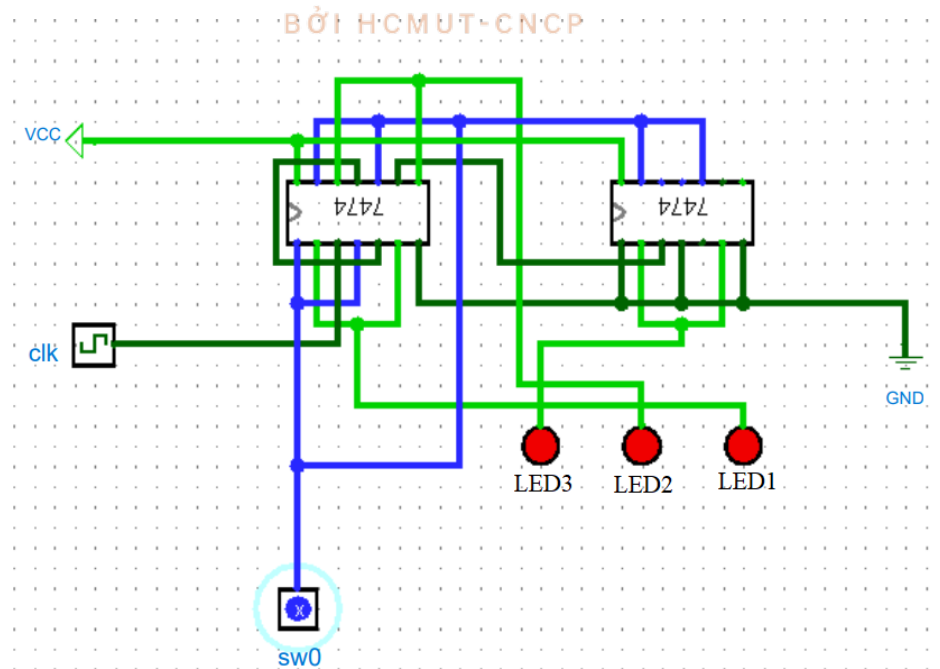
Hình 9: Mô phỏng thí nghiệm 2

3. Cách nối & Sơ đồ mạch

3.1 Cách nối mạch trên KIT

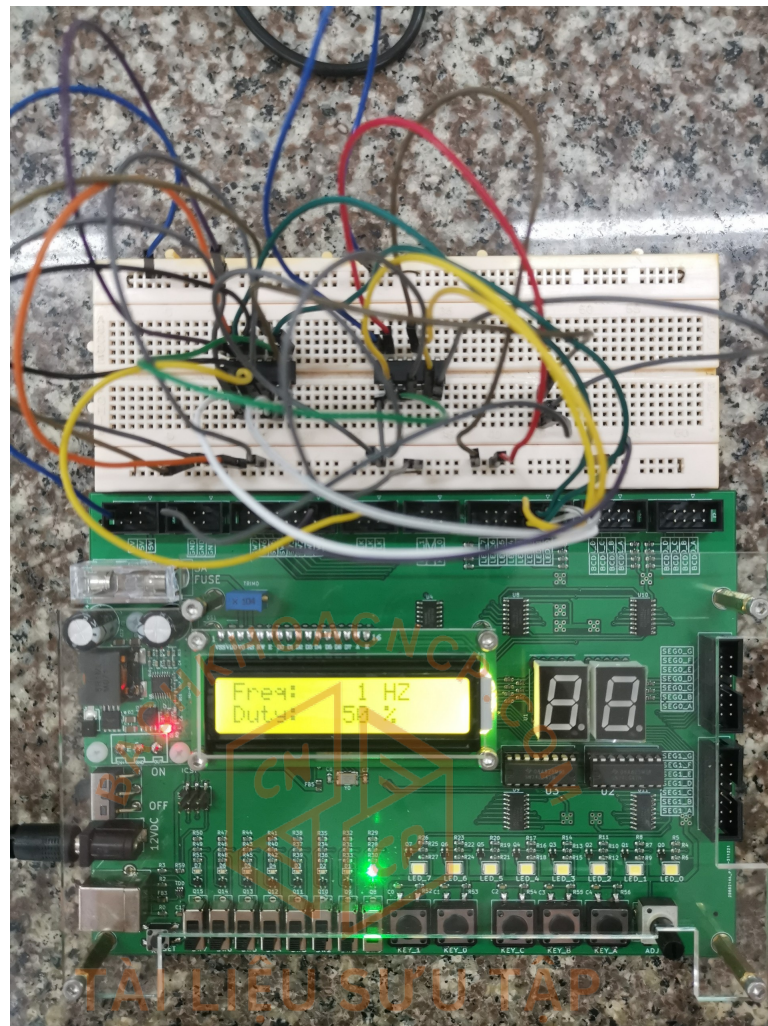
- Bước 1 : Lắp 2 IC 7474 vào breadboard. (IC thứ nhất bên trái)
- Bước 2 : Nối các chân 1, 4, 10, 13 của IC thứ nhất và chân 1, 4, 10, 13 của IC thứ 2 vào chung một SW0 trên KIT. Bật SW0 lên 1 (vì pre và clr của 7474 là tích cực mức thấp).
- Bước 3 : Nối chân 14 và 7 của cả 2 IC vào VCC và GND của KIT để cấp nguồn cho IC.
- Bước 4 : Input CLK vào chân 3 của IC thứ nhất. Output QA, QB, QC lần lượt là chân 6, 8 (IC thứ nhất), 6 (IC thứ 2) nối tới các LED 1 2 3.
- Bước 5 : Từ LED 1 2 nối dây qua chân 2, 12 của IC thứ nhất. Còn với IC thứ 2 thì nối LED 3 qua chân 2.
- Bước 6 : Các Output chân 5 và chân 9 của IC thứ nhất lần lượt nối tới input chân 11 (IC thứ nhất) và chân 3 (IC thứ hai).
- Bước 7 : Bật KIT và quan sát hiện tượng.

3.2 Sơ đồ mạch



Hình 10: Sơ đồ mạch thí nghiệm 2

4. Hiện thực



BỜ HCMUT-CNCP
Hình 11: Hiện thực thí nghiệm 2

Link video lắp mạch thí nghiệm 2: https://drive.google.com/file/d/1NJT9Bdy_DH9lnRym3jozaMb-FlXJjJp0/view?usp=sharing

5. Trả lời câu hỏi

5.1 Câu hỏi a

Các đèn 1 2 3 tương ứng với QA QB QC thay đổi theo nguyên tắc mạch đếm lên từ 0 đến 7, ta có bảng sự thay đổi các LED như sau :

	QC	QB	QA
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

Bảng 1: Sự thay đổi của các LED

Từ bảng trên ta thấy rằng tần số của LED 1 lớn hơn gấp 2 lần tần số LED 2 và gấp 4 lần tần số LED 3.

Kết luận : đây là mạch đếm lên bất đồng bộ từ 0 đến 7.

5.2 Câu hỏi b

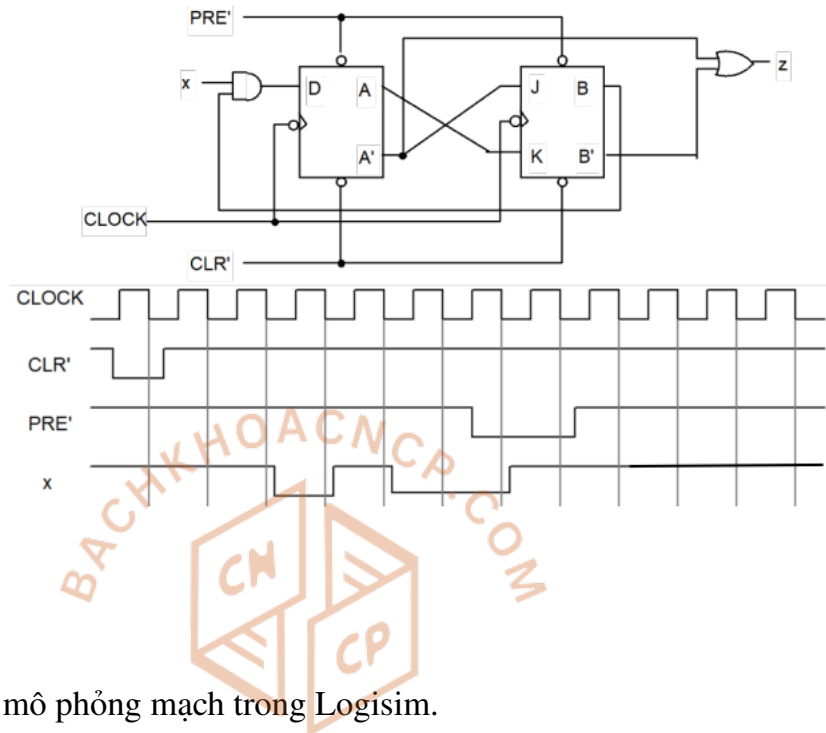
Qua thí nghiệm trên ta có thể thấy rằng cứ qua một D flip flop thì tần số output của D flip flop cuối cùng sẽ bé hơn 2^n (n là số D flip flop sử dụng) tần số input. Do đó để output có tần số bé hơn 16 lần tương đương 2^4 tần số input thì cần ít nhất 4 D flip flop hay 2 IC 7474.

III. Thí nghiệm 3

1. Đặt vấn đề và giải quyết

1.1 Yêu cầu thí nghiệm

Cho mạch và waveform như sau:



a) Thiết kế và mô phỏng mạch trong Logisim.

b) Hoàn thành sơ đồ thời gian cho A, B và z dựa trên dạng sóng đã cho

1.2 Ý tưởng giải quyết bài toán

Để giải quyết bài toán, ta sử dụng bảng chân trị của J-K, D flip flop kích cạnh xuống và đối chiếu với waveform để tính toán sơ đồ thời gian của A, B và z:

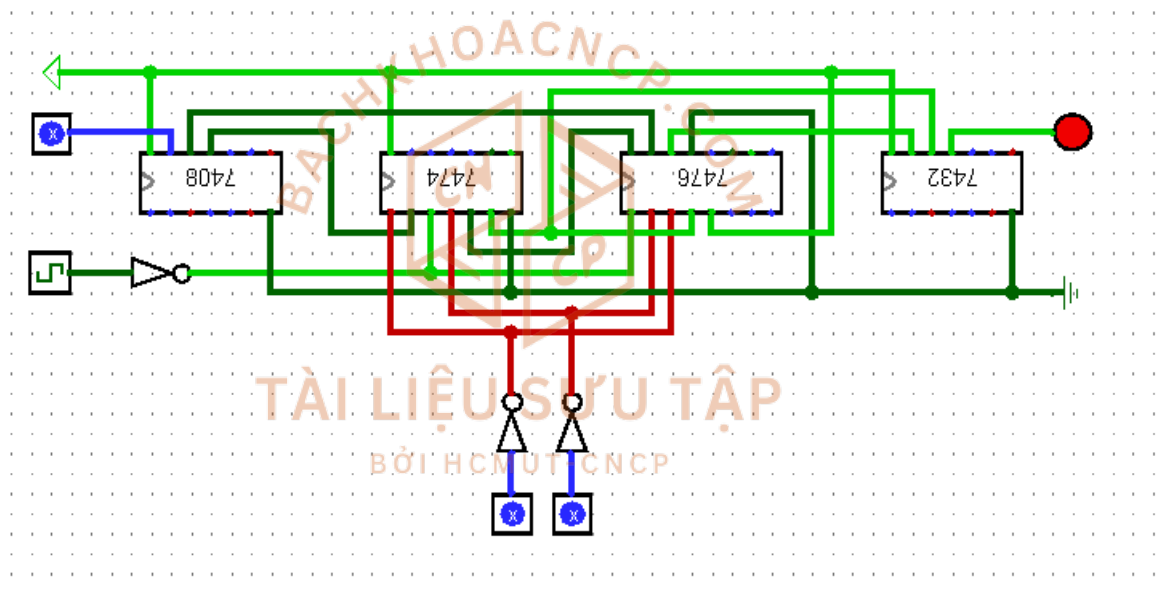
PRE'	CLR'	CLK	J	K	Q	Q'
0	1	X	X	X	1	0
1	0	X	X	X	0	1
0	0	X	X	X	1	1
1	1	↓	0	0	No change	
1	1	↓	1	0	1	0
1	1	↓	0	1	0	1
1	1	↓	1	1	Toggle	

Bảng 2: Bảng chân trị J-K flip flop kích cạnh xuống

PRE'	CLR'	CLK	D	Q	Q'
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	1	1
1	1	↓	1	1	0
1	1	↓	0	0	1
1	1	0	X	No change	
1	1	1	X	No change	

Bảng 3: Bảng chân trị D flip flop kích cạnh xuống

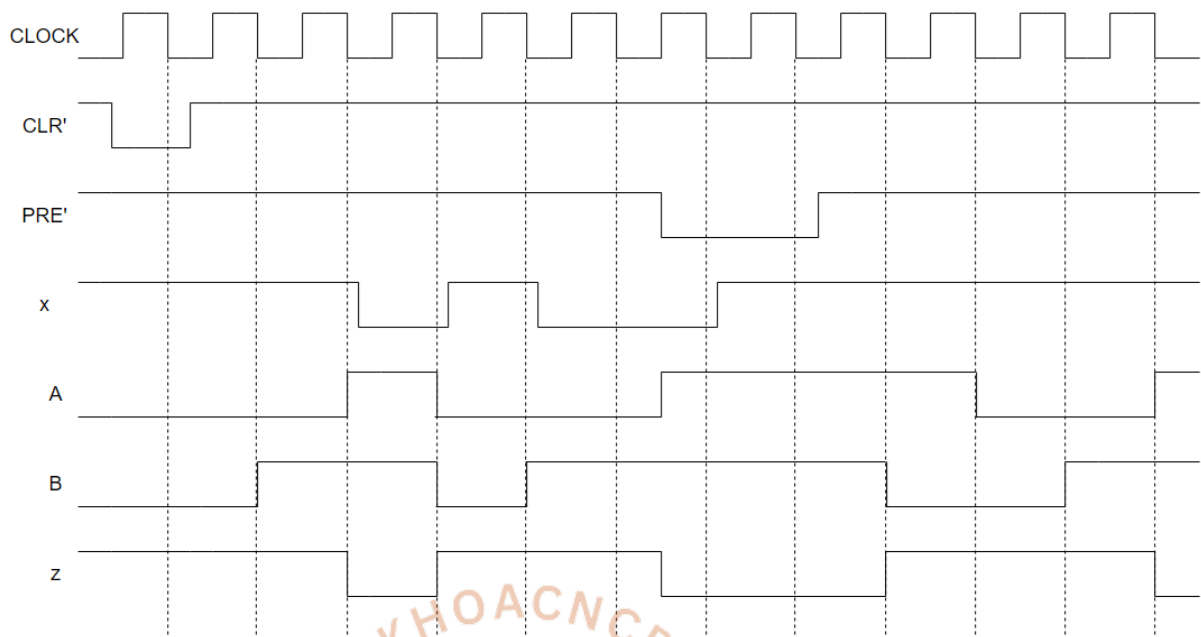
2. Mô phỏng



Hình 12: Mô phỏng mạch trong Logisim

Chú thích: Sử dụng cổng NOT để kích cạnh xuống xung CLOCK cho 2 flip flop.

3. Sơ đồ thời gian



Hình 13: Sơ đồ thời gian của A, B và z

TÀI LIỆU SƯU TẬP
BỞI HCMUT-CNCP