



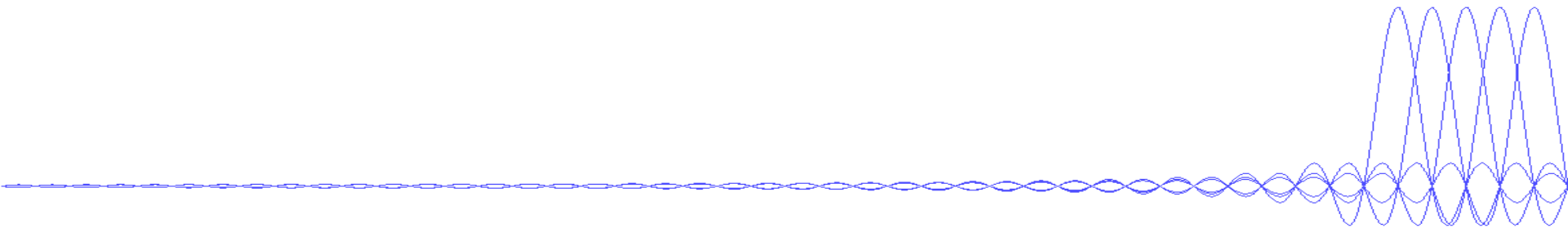
COMPUTER ENGINEERING



**UIT**  
TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

# TỔ CHỨC VÀ CẤU TRÚC MÁY TÍNH II

## Chương 4 Mạch số





- Mạch số
- Mạch tổ hợp
- Thiết kế mạch tổ hợp
- Mạch tuần tự
- Thiết bị lưu trữ
- Bài tập

Kiến trúc

Vi kiến trúc

Luận lý

**Mạch số**

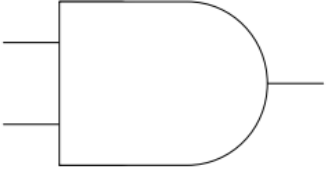
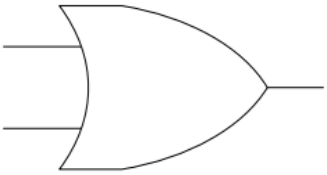
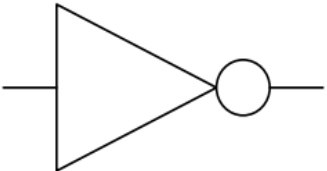


# Mạch số (1/3)

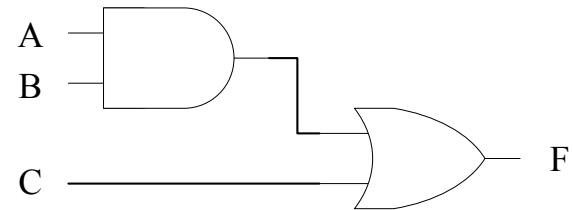
- Mạch số là mạch thu nhận, truyền, lưu trữ và xử lý tín hiệu số
- Thiết kế mạch số:
  - Xác định chức năng của mạch số
    - Tìm mối quan hệ giữa các ngõ vào và các ngõ ra:
      - Hàm Boolean
      - Bảng chân trị
  - Xác định cấu trúc của mạch số (hiện thực)
    - Tìm và kết nối các thiết bị thực hiện các toán tử luận lý:
      - AND, OR, NOT



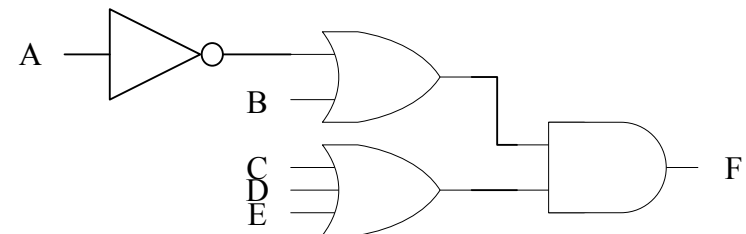
# 1. Mạch số (2/3) – Xác định cấu trúc

Tên	Ký hiệu	Hàm Boolean
AND		$F = AB$
OR		$F = A + B$
NOT		$F = \bar{A}$

$$F = AB + C$$



$$F = (\bar{A} + B)(C + D + E)$$





# Quiz 1

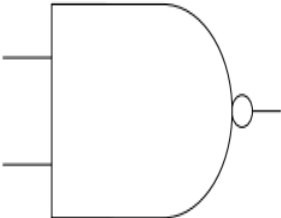
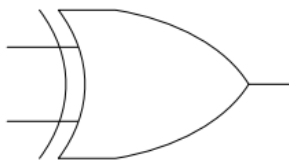
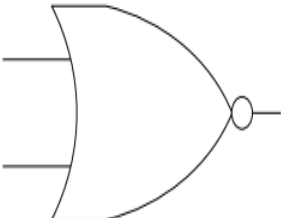
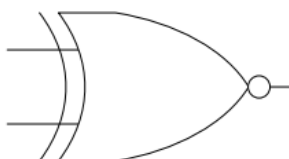
■ Hiện thực các hàm luận lý sau:

$$F1(A, B, C, D) = (\bar{A} + B)(C + D)B$$

$$F2(A, B, C, D) = (\bar{A} + BC)(C + ABD) + D$$



# Mạch số (3/3) – Các công luận lý khác

Tên	Ký hiệu	Hàm Boolean	Bảng chân trị			Tên	Ký hiệu	Hàm Boolean	Bảng chân trị		
NAND		$F = \overline{AB}$	A	B	F	XOR		$F = A \oplus B$	A	B	F
			0	0	1				0	0	0
			0	1	1				0	1	1
			1	0	1				1	0	1
			1	1	0				1	1	0
NOR		$F = \overline{A + B}$	A	B	F	XNOR (NXOR)		$F = \overline{A \oplus B}$	A	B	F
			0	0	1				0	0	1
			0	1	0				0	1	0
			1	0	0				1	0	0
			1	1	0				1	1	1



## Quiz 2

■ Hiện thực các hàm luận lý sau:

$$F1(A, B, C, D) = (\overline{A}\overline{B} + C)\overline{A + B} + D$$

$$F2(A, B, C, D) = \overline{A} + (B \oplus C)(C + \overline{A \oplus D})$$



# Mạch tổ hợp (1/2) – Thiết bị tổ hợp

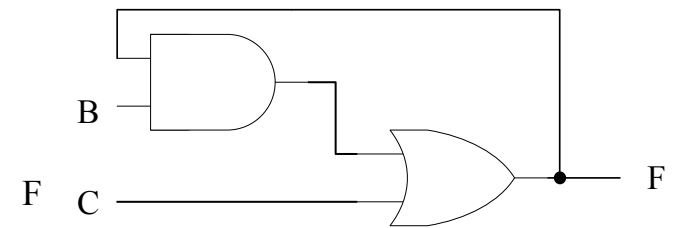
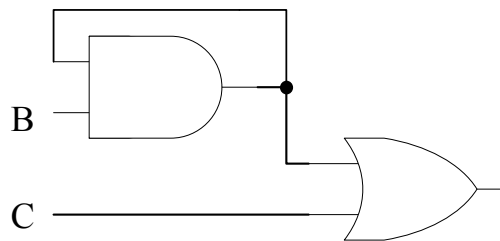
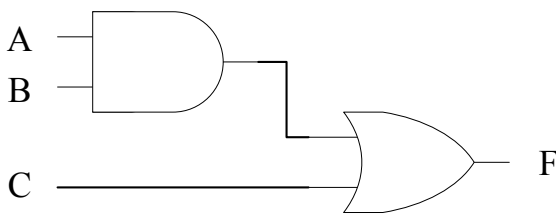
- Thiết bị tổ hợp là thiết bị có tính chất sau:
  - Có một hay nhiều ngõ vào
  - Có một hay nhiều ngõ ra
  - Có đặc tả chức năng mô tả chi tiết giá trị mỗi ngõ ra cho mọi tổ hợp giá trị của tất cả ngõ vào (Hàm Boolean)
  - Có đặc tả định thời mô tả thời gian lan truyền (thời gian tối thiểu mà ngõ ra sẽ ổn định và hợp lệ khi 1 ngõ vào thay đổi)
- Ví dụ: AND, OR, NOT, XOR, XNOR, NAND, NOR





## Mạch tổ hợp (2/2)

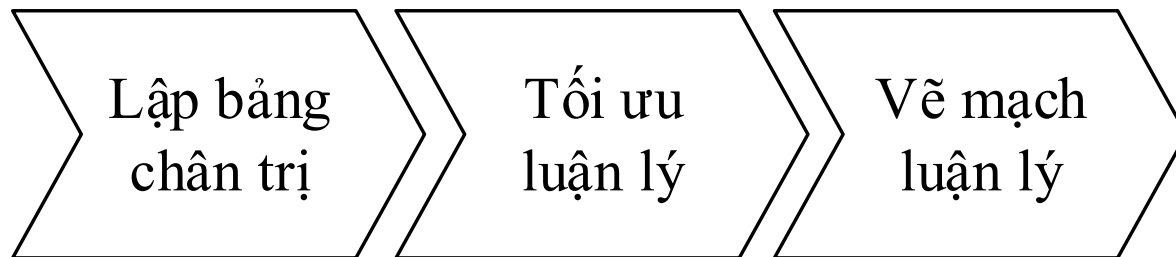
- Mạch tổ hợp là mạch chỉ chứa các thiết bị tổ hợp được kết nối với nhau và **không** tồn tại hồi tiếp
- Một thiết bị tổ hợp cũng được xem là một mạch tổ hợp
- Hồi tiếp: Ngõ ra được dùng như ngõ vào để tính toán **lại** ngõ ra





# Thiết kế mạch tổ hợp (1/2)

- Mục tiêu: Có được bản vẽ sơ đồ mạch tối ưu nhất về diện tích
  - Hàm Boolean ánh xạ ngõ ra phải có biểu thức tối ưu nhất
    - Tối ưu luận lý (Đại số Boolean / K-map)
      - Bảng chân trị biểu diễn chức năng của mạch
- Quy trình thiết kế

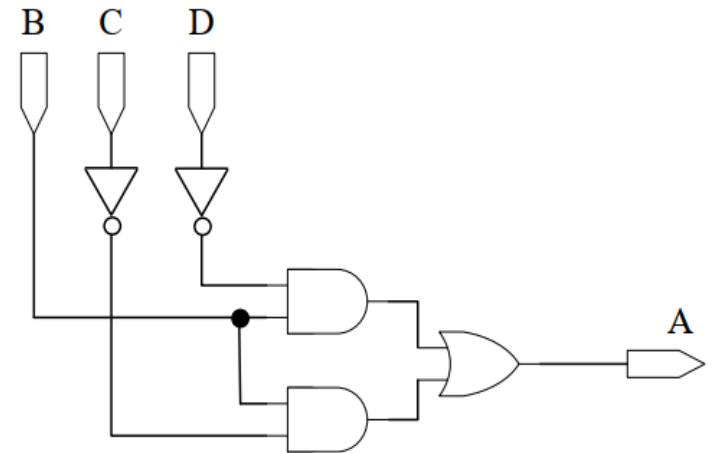
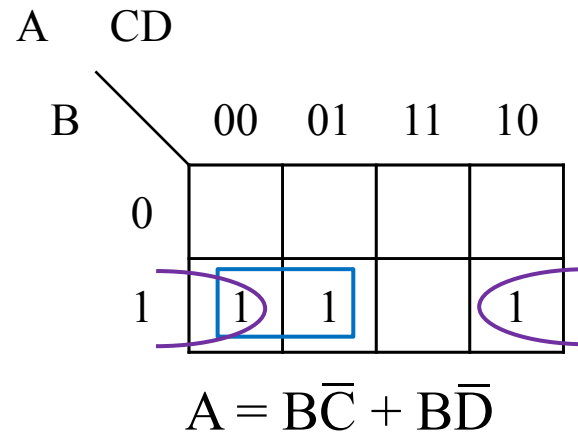




# Thiết kế mạch tổ hợp (2/2) – Ví dụ

Bài toán: Thiết kế mạch báo động ( $A = 1$ ) cho lái xe với các tình huống: Bugi bật ( $B = 1$ ) và cửa mở ( $C = 0$ ), hoặc chưa cài dây an toàn ( $D = 0$ ) và bugi bật ( $B = 1$ ).

B	C	D	A
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	





## Quiz 3

- Thiết kế mạch tổ hợp có chức năng phát hiện một ký số thập phân lớn hơn 7
  - Gợi ý: 4 ngõ vào, 1 ngõ ra

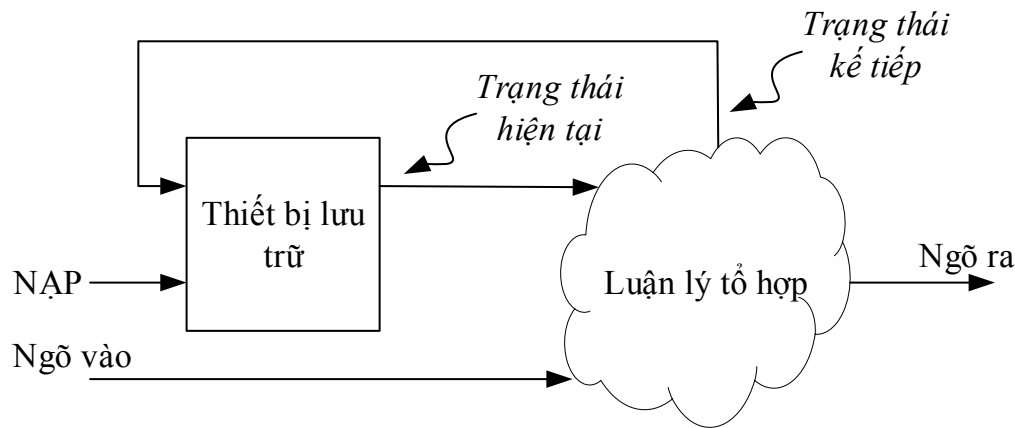


# Mạch tuần tự (1/2)

- Vấn đề của mạch tổ hợp:
  - Số lượng tín hiệu cần xử lý tăng lên
    - Tăng số lượng ngõ vào để nhận tín hiệu
      - Mạch trở nên phức tạp và khó để hiện thực
- Liên hệ thực tế: Chỉ có 1 phòng học nhưng có tới 3 lớp cần sử dụng
  - Giải pháp: Chia 3 ca, mỗi lớp học 1 ca
- Áp dụng cho mạch số: Nhập nhiều tín hiệu cho 1 ngõ vào bằng cách “chia ca”: Mạch tuần tự!



# Mạch tuần tự (2/2) – Cấu trúc



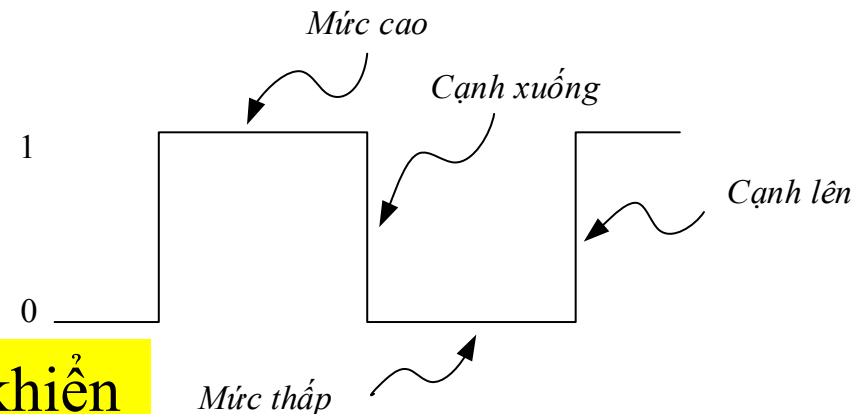
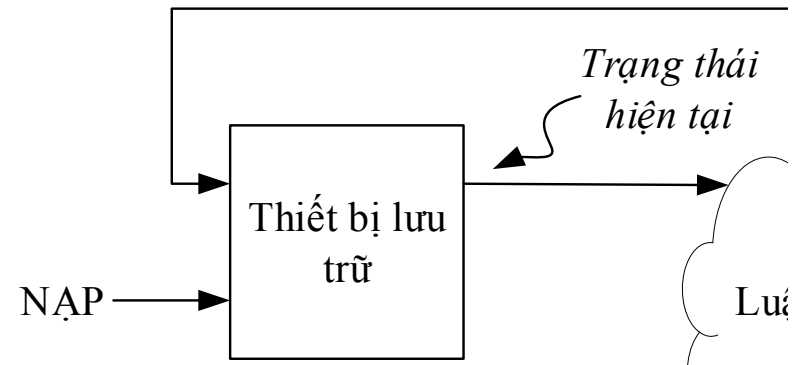
Trạng thái là tổ hợp các giá trị được lưu trong các thiết bị lưu trữ

- Thiết bị lưu trữ: Lưu trữ trạng thái hiện tại
- Luận lý tổ hợp: Xử lý để xác định trạng thái kế tiếp và ngõ ra
- Ngõ vào: Các ngõ vào
- Ngõ ra: Các ngõ ra
- NẠP: Ngõ vào điều khiển việc cập nhật giá trị



# Thiết bị lưu trữ (1/4)

- Có ít nhất 1 ngõ ra mang giá trị mà chúng lưu trữ (Q)
- Có ít nhất 1 ngõ vào để thu nhận dữ liệu hoặc điều khiển
- Có 1 ngõ vào NẠP để điều khiển việc cập nhật giá trị (E, CLK)
  - Latch: Tích cực theo mức
  - Flipflop: Tích cực theo cạnh

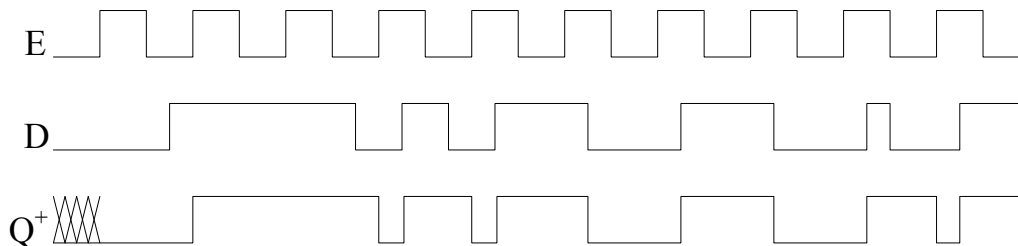
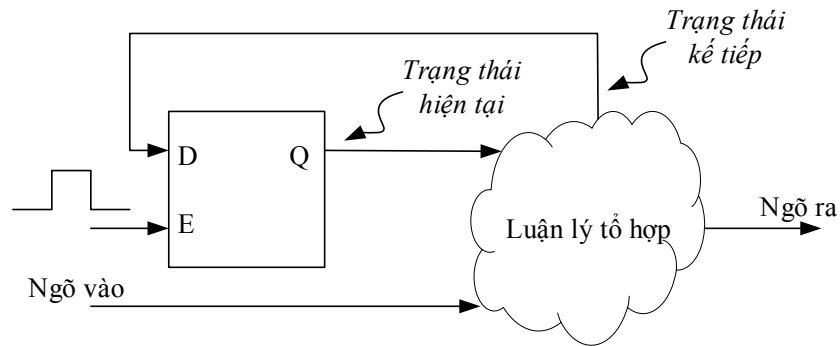


Đọc và ghi theo một tín hiệu điều khiển



# Thiết bị lưu trữ (2/4) - Latch

- Latch là một thiết bị lưu trữ tích cực theo mức có khả năng lưu trữ 1 bit thông tin



E	D	Q	Q <sup>+</sup>
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

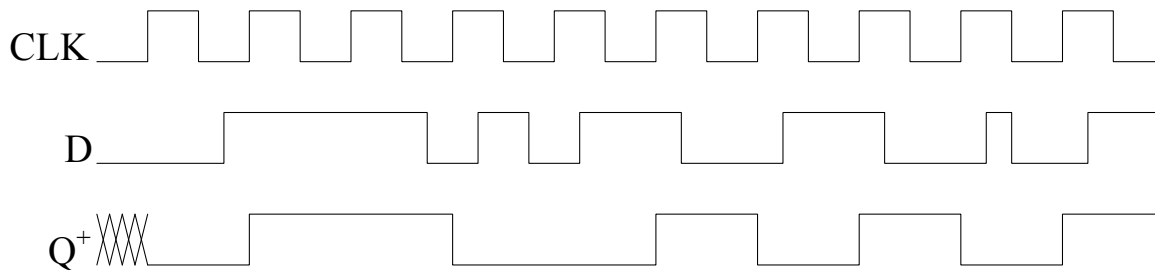
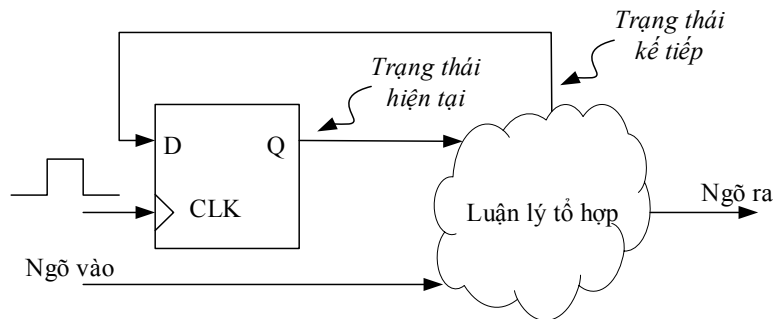
E	Q <sup>+</sup>
0	Q
1	D





# Thiết bị lưu trữ (3/4) - Flipflop

- Flipflop là một thiết bị lưu trữ tích cực theo cạnh có khả năng lưu trữ 1 bit thông tin



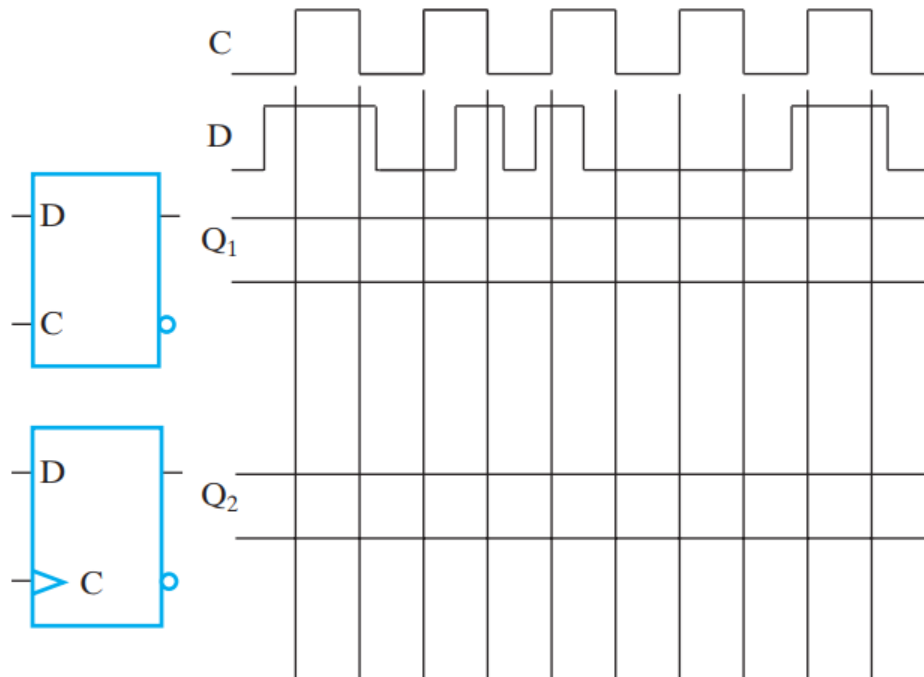
CLK	D	Q	Q <sup>+</sup>
-	0	0	0
-	0	1	1
-	1	0	0
-	1	1	1
↑	0	0	0
↑	0	1	0
↑	1	0	1
↑	1	1	1

CLK	Q <sup>+</sup>
-	Q
↑	D



# Quiz 4

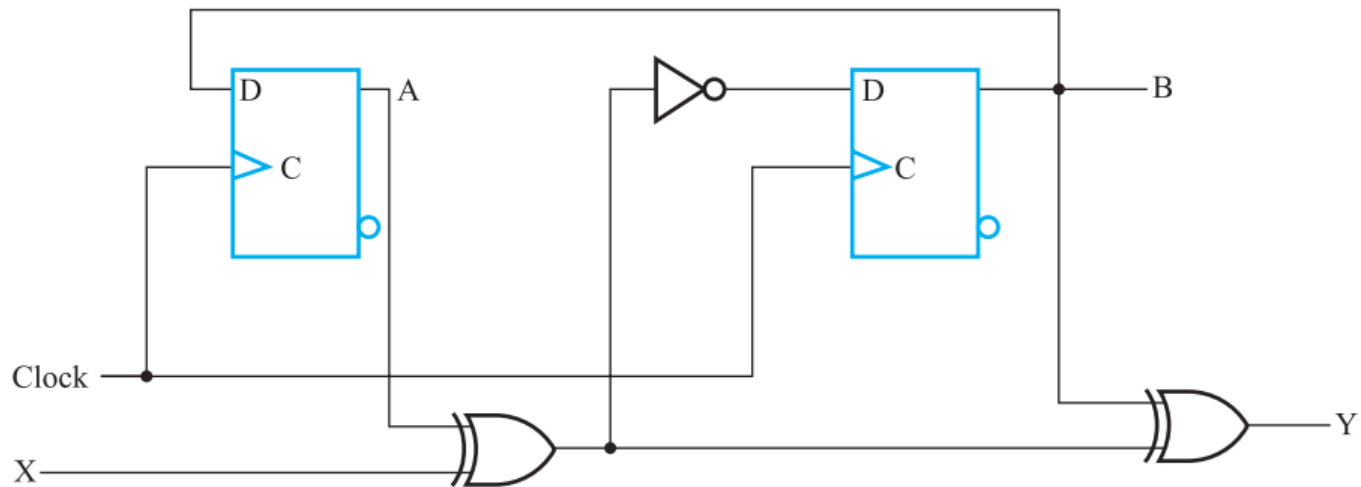
## ■ Hoàn thành dạng sóng của Q1 và Q2





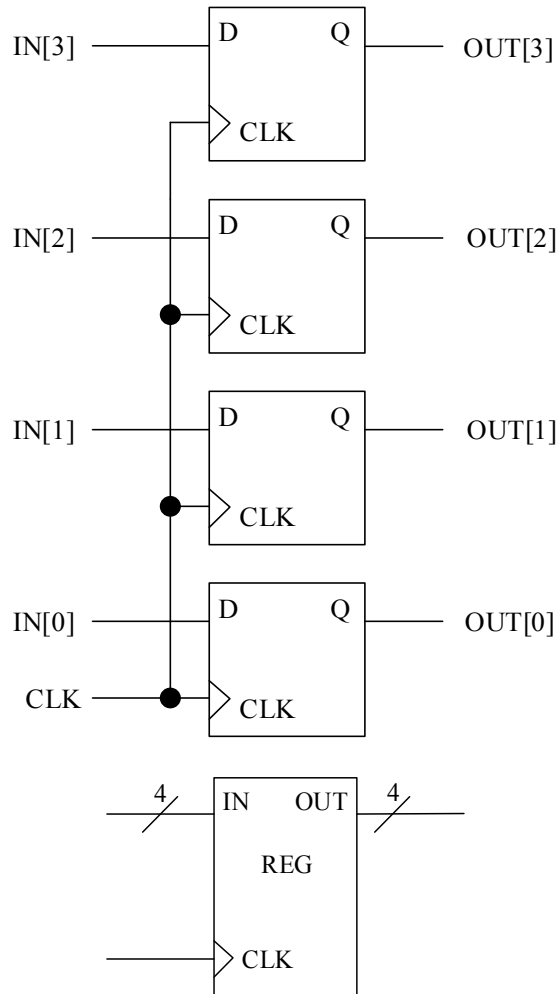
# Quiz 5

- Biết rằng C luôn luôn tích cực, lập bảng chân trị cho hàm luận lý  $Y(X, A, B)$



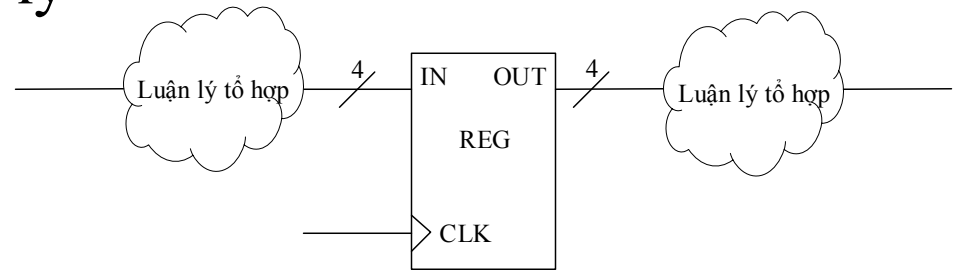


# Thiết bị lưu trữ (4/4) – Thanh ghi



■ Thanh ghi là một thiết bị lưu trữ được cấu tạo bởi các flipflop nối chung ngõ vào CLK

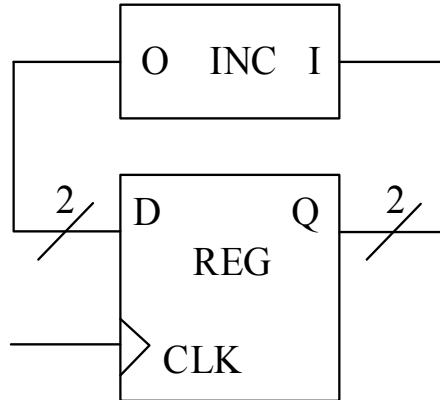
□ Có thể bổ sung khối luận lý tổ hợp để xử lý





## Quiz 6

- INC là bộ tăng giá trị lên 1. Trong đó O là ngõ ra và I là ngõ vào. Mối quan hệ giữa O và I là:  $O = I + 1$ . REG là thanh ghi chứa 2 D flipflop. Giả sử ban đầu  $Q = 0$ , sau 4 lần ngõ vào CLK tích cực thì Q bằng bao nhiêu?





## Bài tập (1/2)

Thiết kế mạch số phát hiện người chiến thắng trong một cuộc thi “oẳn tù tì” giữa 2 người.

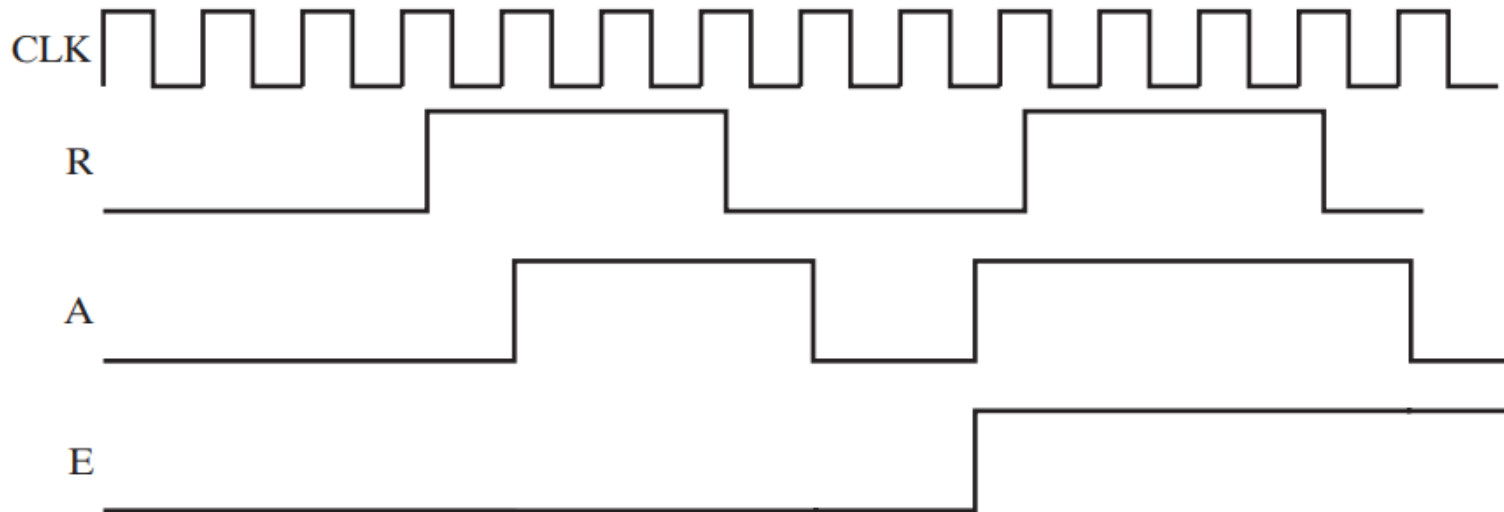
Biết rằng 3 đòn được mã hóa như bên dưới:

<b>Đòn</b>	<b>Mã hóa</b>
Giấy	01
Kéo	10
Búa	11



## Bài tập (2/2)

- Ngõ vào D của D flipflop có biểu thức  $D = AR + E$ . Hãy vẽ dạng sóng của ngõ ra Q





# THẢO LUẬN

