

TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN

Đại học Quốc gia TP HCM

Họ tên: Dương Anh Khôi

GVHD: Tạ Trí Đức

MSSV: 22520696

Khoa: Kỹ thuật Máy tính

Báo cáo: CE213 – Lab4



UIT

**TRƯỜNG ĐẠI HỌC
CÔNG NGHỆ THÔNG TIN**

BÁO CÁO THỰC HÀNH BÀI 4

THIẾT KẾ ALU

I. Thiết kế ALU 32bit

1. Tập lệnh:

M	S ₁	S ₀	ALU Operations
0	0	0	Complement A
0	0	1	AND
0	1	0	EX-OR
0	1	1	OR
1	0	0	Decrement A
1	0	1	Add
1	1	0	Subtract
1	1	1	Increment A

2. Source Code:

```
1 module ALU_32bit(  
2     input wire [31:0] A, B,  
3     input wire M, S1, S0,  
4     output reg [31:0] result,  
5     output reg add_sub_overflow,  
6     output reg iszero  
7 );  
8  
9 always @(*) begin  
10     case({M,S1,S0})  
11         3'b000: begin result = ~A; add_sub_overflow = 0; end  
12         3'b001: begin result = A&B; add_sub_overflow = 0; end  
13         3'b010: begin result = A^B; add_sub_overflow = 0; end  
14         3'b011: begin result = A|B; add_sub_overflow = 0; end  
15         3'b100: begin result = A-1; add_sub_overflow = (~A[31] & B[31] & result[31]) | (A[31] & ~B[31] & ~result[31]); end  
16         3'b101: begin result = A+B; add_sub_overflow = (A[31] & B[31] & ~result[31]) | (~A[31] & ~B[31] & result[31]); end  
17         3'b110: begin result = A-B; add_sub_overflow = (~A[31] & B[31] & result[31]) | (A[31] & ~B[31] & ~result[31]); end  
18         3'b111: begin result = A+1; add_sub_overflow = (A[31] & B[31] & ~result[31]) | (~A[31] & ~B[31] & result[31]); end  
19         default: begin result = 32'h00000000; add_sub_overflow <= 0; end  
20     endcase  
21  
22     iszero <= (result == 32'h00000000) ? 1'b1 : 1'b0;  
23 end  
24 endmodule
```

3. TestBench:

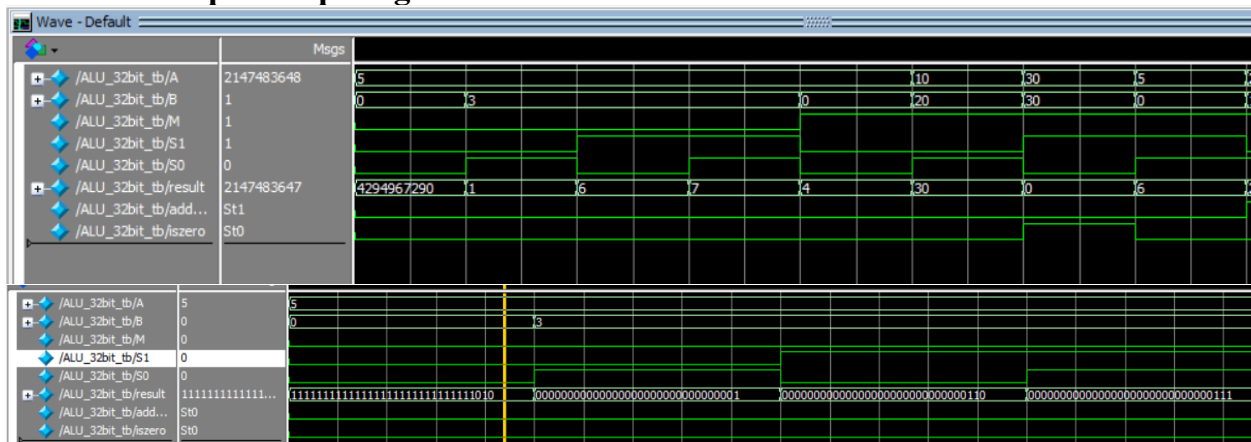
```
1  `timescale 1ns / 1ps
2
3  module ALU_32bit_tb;
4
5      reg [31:0] A;
6      reg [31:0] B;
7      reg M, S1, S0;
8      wire [31:0] result;
9      wire add_sub_overflow;
10     wire iszero;
11
12     ALU_32bit alu (
13         .A(A),
14         .B(B),
15         .M(M),
16         .S1(S1),
17         .S0(S0),
18         .result(result),
19         .add_sub_overflow(add_sub_overflow),
20         .iszero(iszero)
21     );
22
23     initial begin
24         A = 32'd5; B = 32'd0; M = 0; S1 = 0; S0 = 0;
25         #10;
26         $display("Complement A: result = %d", result);
27
28         A = 32'd5; B = 32'd3; M = 0; S1 = 0; S0 = 1;
29         #10;
30         $display("AND: result = %d", result);
31
32         A = 32'd5; B = 32'd3; M = 0; S1 = 1; S0 = 0;
33         #10;
34         $display("EX-OR: result = %d", result);
35
36         A = 32'd5; B = 32'd3; M = 0; S1 = 1; S0 = 1;
37         #10;
```

```

38     $display("OR: result = %d", result);
39
40     A = 32'd5; B = 32'd0; M = 1; S1 = 0; S0 = 0;
41     #10;
42     $display("Decrement A: result = %d", result);
43
44     A = 32'd10; B = 32'd20; M = 1; S1 = 0; S0 = 1;
45     #10;
46     $display("Add (signed): result = %d, overflow = %b", result, add_sub_overflow);
47
48     A = 32'd30; B = 32'd30; M = 1; S1 = 1; S0 = 0;
49     #10;
50     $display("Subtract (signed): result = %d, overflow = %b", result, add_sub_overflow);
51
52     A = 32'd5; B = 32'd0; M = 1; S1 = 1; S0 = 1;
53     #10;
54     $display("Increment A: result = %d", result);
55
56     A = 32'h7FFFFFFF; B = 32'd1; M = 1; S1 = 0; S0 = 1;
57     #10;
58     $display("Overflow Add A: result = %d", result);
59
60     A = 32'h80000000; B = 32'd1; M = 1; S1 = 1; S0 = 0;
61     #10;
62     $display("Overflow Sub A: result = %d", result);
63
64     $finish;
65 end
66
67 initial begin
68     $monitor("At time %t: A = %d, B = %d, result = %d, overflow = %b", $time, A, B, result, add_sub_overflow);
69 end
70
71 endmodule

```

4. Kết quả mô phỏng testbench:



5. Giải thích testbench:

- Khi MS1S0 = 000 (complement A), input_A = 000..101 thì result là 111...010
- Khi MS1S0 = 001 (AND) , input_A = 000..101 và input_B = 000...011 thì result là 000...001
- Khi MS1S0 = 010(XOR), input_A = 000..101 và input_B = 000...011 thì result là 000...110
- Khi MS1S0 = 011(OR), input_A = 000..101 và input_B = 000...011 thì result là 000...111
- Khi MS1S0 = 100(Decre_A), input_A = 5, input_B = 0 thì resule là 4
- Khi MS1S0 = 101(ADD), input_A = 10, input_B = 20 thì resule là 30
- Khi MS1S0 = 110(SUB), input_A = 30, input_B = 30 thì resule là 0
- Khi MS1S0 = 111(Incr_A), input_A = 5 thì resule là 6

II. Thiết kế Mux 2-1 32bit

1. Source code:

```
1 module mux2to1_32bit(  
2     input wire Sel,  
3     input wire [31:0] A, B,  
4     output wire [31:0] Out  
5 );  
6  
7 assign Out = (Sel == 1'b0) ? A : B;  
8 endmodule  
9
```

2. TestBench:

```
1 `timescale 1ns/1ps  
2  
3 module mux2to1_32bit_tb;  
4  
5     reg Sel;  
6     reg [31:0] A, B;  
7     wire [31:0] Out;  
8  
9     mux2to1_32bit uut (  
10         .Sel(Sel),  
11         .A(A),  
12         .B(B),  
13         .Out(Out)  
14     );  
15  
16     initial begin  
17  
18         $display("Time\tSel\tA\tB\tOut");  
19  
20         Sel = 0;  
21         A = 32'hAAAAAAAA;  
22         B = 32'h55555555;  
23         #10;  
24         $display("%0dns\tb\t\t\t\t", $time, Sel, A, B, Out);  
25  
26  
27         Sel = 1;  
28         #10;  
29         $display("%0dns\tb\t\t\t\t", $time, Sel, A, B, Out);  
30  
31  
32         A = 32'h12345678;  
33         B = 32'h87654321;  
34         Sel = 0;  
35         #10;  
36         $display("%0dns\tb\t\t\t\t", $time, Sel, A, B, Out);  
37
```

```

1  `timescale 1ns/1ps
2
3  module mux2to1_32bit_tb;
4
5      reg Sel;
6      reg [31:0] A, B;
7      wire [31:0] Out;
8
9      mux2to1_32bit uut (
10         .Sel(Sel),
11         .A(A),
12         .B(B),
13         .Out(Out)
14     );
15
16     initial begin
17
18         $display("Time\tSel\tA\tB\tOut");
19
20         Sel = 0;
21         A = 32'hAAAAAAAA;
22         B = 32'h55555555;
23         #10;
24         $display("%0dns\t%b\t%h\t%h\t%h", $time, Sel, A, B, Out);
25
26
27         Sel = 1;
28         #10;
29         $display("%0dns\t%b\t%h\t%h\t%h", $time, Sel, A, B, Out);
30
31
32         A = 32'h12345678;
33         B = 32'h87654321;
34         Sel = 0;
35         #10;
36         $display("%0dns\t%b\t%h\t%h\t%h", $time, Sel, A, B, Out);
37

```

3. Kết quả TestBench

	Msgs									
/mux2to1_32bit_tb/Sel	1									
/mux2to1_32bit_tb/A	303379748	2863311530			305419896			303379748		
/mux2to1_32bit_tb/B	3230228097	1431655765			2271560481			3230228097		
/mux2to1_32bit_tb/Out	3230228097	2863311530	1431655765		305419896	2271560481		303379748	32	

4. Giải Thích TestBench

- Khi Sel = 1 thì output = A và khi Sel = 0 thì output = B