

TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN

Đại học Quốc gia TP HCM

Họ tên: Dương Anh Khôi

GVHD: Tạ Trí Đức

MSSV: 22520696

Khoa: Kỹ thuật Máy tính

BÁO CÁO: CE213 – LAB2



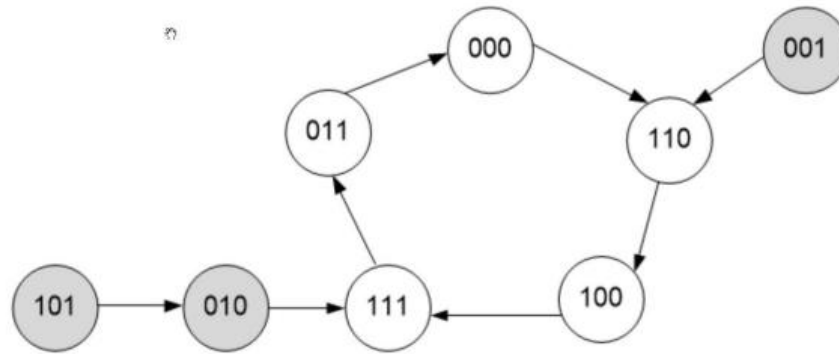
UIT

**TRƯỜNG ĐẠI HỌC
CÔNG NGHỆ THÔNG TIN**

BÁO CÁO THỰC HÀNH BÀI 2

THIẾT KẾ MẠCH ĐẾM ĐỒNG BỘ CÓ KHẢ NĂNG NẠP GIÁ TRỊ BAN ĐẦU

Bài Tập 1: Sử dụng ngôn ngữ Verilog HDL thiết kế bộ đếm như hình sau:



Hình 1 Sơ đồ chuyển trạng thái của bộ đếm

Source Code:

```
module Lab2_22520696_DuongAnhKhoi(  
    input [2:0] loaddata,  
    input loadEn,  
    input clk,  
    output reg [2:0] count  
);  
  
always @(posedge clk, posedge loadEn)  
    if(loadEn)  
        count <= loaddata;  
    else  
        if(count == 0)  
            count <= 6;  
        else if (count == 6)  
            count <= 4;  
        else if (count == 4)
```

```

        count <= 7;

    else if (count == 7)

        count <= 3;

    else if (count == 3)

        count <= 0;

    else if (count == 1)

        count <= 6;

    else if (count == 5)

        count <= 2;

    else if (count == 2)

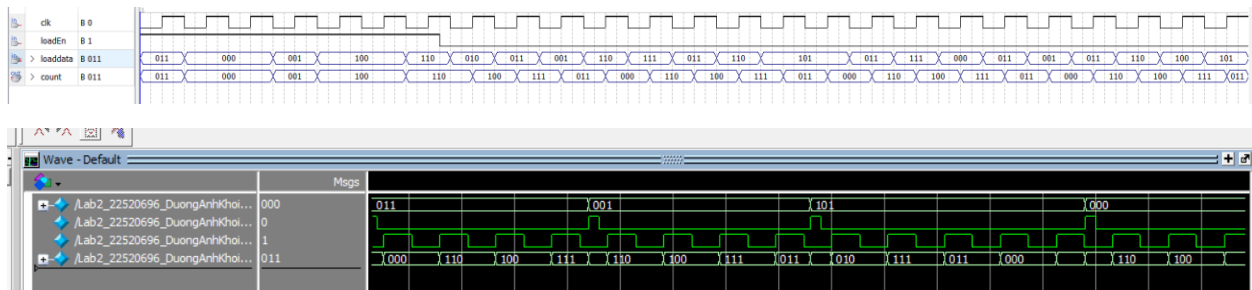
        count <= 7;

    else count <= 0;

```

endmodule

Mô phỏng:



Chức năng:

- loadEn: Khi bật 1 thì cho phép lưu giá trị, trở về 0 thì không còn cho phép lưu mà bắt đầu thực hiện chức năng là thiết kế bộ đếm.
- loaddata: Nạp giá trị ban đầu vào, khi loadEn=1 thì giá trị sẽ được lưu, ngược lại thì không hoạt động.
- count: Khi loadEn=1 thì xuất ra giá trị loaddata, khi loadEn=0 thì thực hiện bộ đếm và in ra giá trị.

Bài tập 2: Sử dụng ngôn ngữ Verilog HDL, thiết kế một tập gồm 32 thanh ghi, mỗi thanh ghi 4 byte. Tập thanh ghi (RegisterFile) có các tín hiệu sau:

**ReadAddress1[4:0], ReadAddress2[4:0], WriteAddress[4:0], WriteData[31:0],
ReadData1[31:0], ReadData2[31:0], ReadWriteEn.**

Source Code:

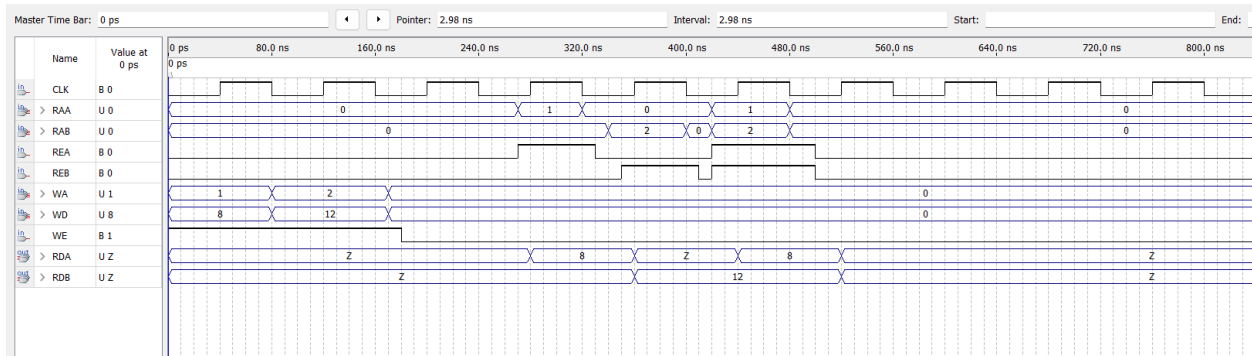
```
counter_disable.v  Compilation Report - Bui2

1  module RegisterFile (
2      input wire CLK,
3      input wire [4:0] WA,    // Địa chỉ ghi (5 bit)
4      input wire [31:0] WD,   // Dữ liệu ghi (32 bit)
5      input wire WE,
6      input wire [4:0] RAA,   // Địa chỉ đọc A (5 bit)
7      output reg [31:0] RDA,  // Dữ liệu đọc A (32 bit)
8      input wire REA,
9      input wire [4:0] RAB,   // Địa chỉ đọc B (5 bit)
10     output reg [31:0] RDB,  // Dữ liệu đọc B (32 bit)
11     input wire REB
12 );

13
14 // Định nghĩa tham số
15 parameter DATA_WIDTH = 32;
16 parameter ADDR_WIDTH = 5;
17
18 // Khai báo tập thanh ghi 32 thanh ghi, mỗi thanh ghi 32 bit
19 reg [DATA_WIDTH-1:0] register [0:31];
20
21 // Khối always để đọc và ghi dữ liệu
22 always @(posedge CLK) begin
23     if (REA) begin
24         RDA <= register[RAA];
25     end else begin
26         RDA <= {DATA_WIDTH{1'bz}};
27     end
28
29     if (REB) begin
30         RDB <= register[RAB];
31     end else begin
32         RDB <= {DATA_WIDTH{1'bz}};
33     end
34
35     if (WE) begin
36         register[WA] <= WD;
37     end
38 end
39
40 endmodule
41
```

Đây là một **bộ thanh ghi** có **1 cổng ghi** - **2 cổng đọc**, dùng để lưu và truy xuất dữ liệu trong vi xử lý.

Mô phỏng:



Chức năng:

- 32 thanh ghi (register[0:31]), mỗi thanh ghi rộng 32-bit.
- 1 cổng ghi (WA, WD, WE)
 - Nếu WE = 1 -> Dữ liệu WD ghi vào địa chỉ WA khi có cạnh lên của CLK.
- 2 cổng đọc (RAA -> RDA, RAB -> RDB)
 - Nếu REA = 1 -> Đọc dữ liệu từ register[RAA] vào RDA.
 - Nếu REB = 1 -> Đọc dữ liệu từ register[RAB] vào RDB.
 - Nếu REA hoặc REB = 0 -> Xuất trạng thái trở kháng cao (Z).

Cách hoạt động:

Khi có xung clock:

- Ghi dữ liệu nếu WE = 1.
- Đọc dữ liệu từ hai địa chỉ nếu REA và REB được kích hoạt.
- Sử dụng Z (trở kháng cao) khi không đọc để tránh xung đột bus dữ liệu.