

TRƯỜNG ĐH CÔNG NGHỆ THÔNG TIN

Đại học Quốc gia TP HCM

Họ tên: Dương Anh Khôi

GVHD: Tạ Trí Đức

MSSV: 22520696

Khoa: Kỹ thuật Máy tính

BÁO CÁO: CE213 – LAB1



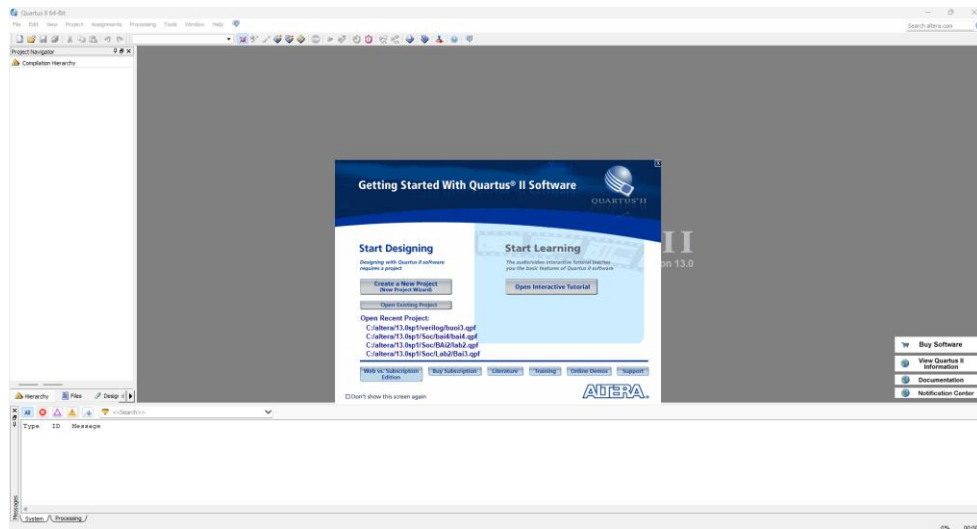
**UIT**

**TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN**

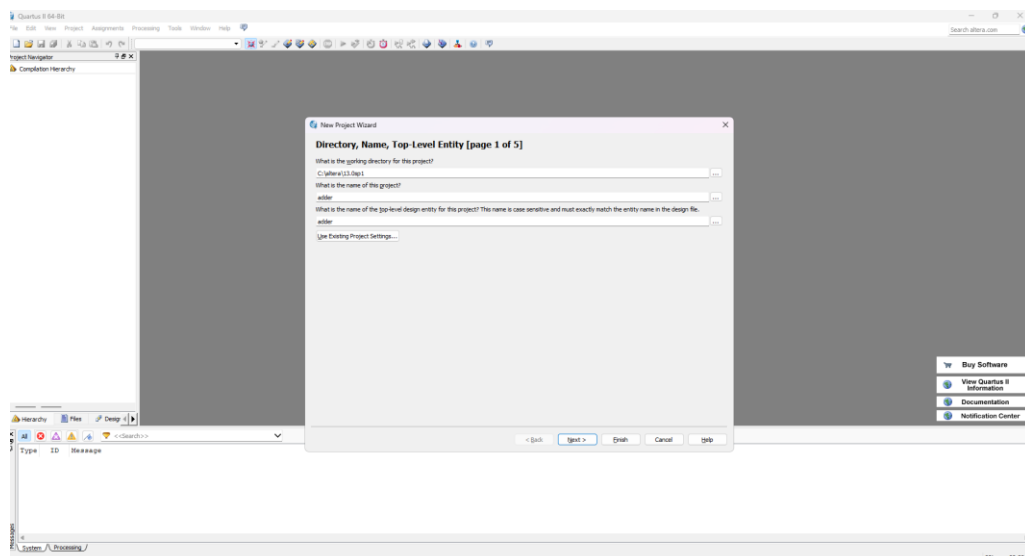
# BÁO CÁO THỰC HÀNH BÀI 1

## HƯỚNG DẪN THỰC THỰC HÀNH THIẾT KẾ VI MẠCH DÙNG VERILOG TRÊN MODELSIM

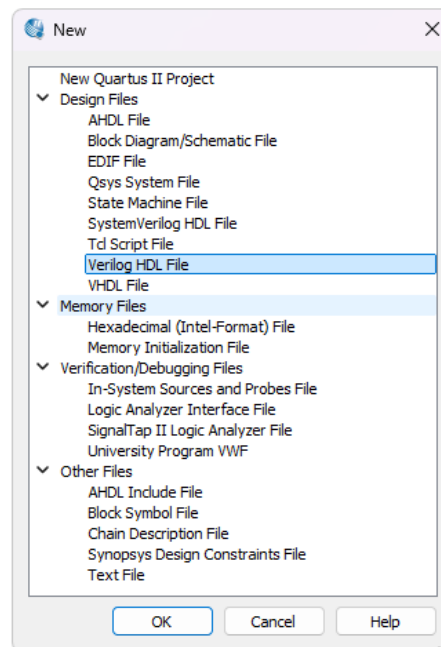
### Bước 1: Mở phần mềm Quartus



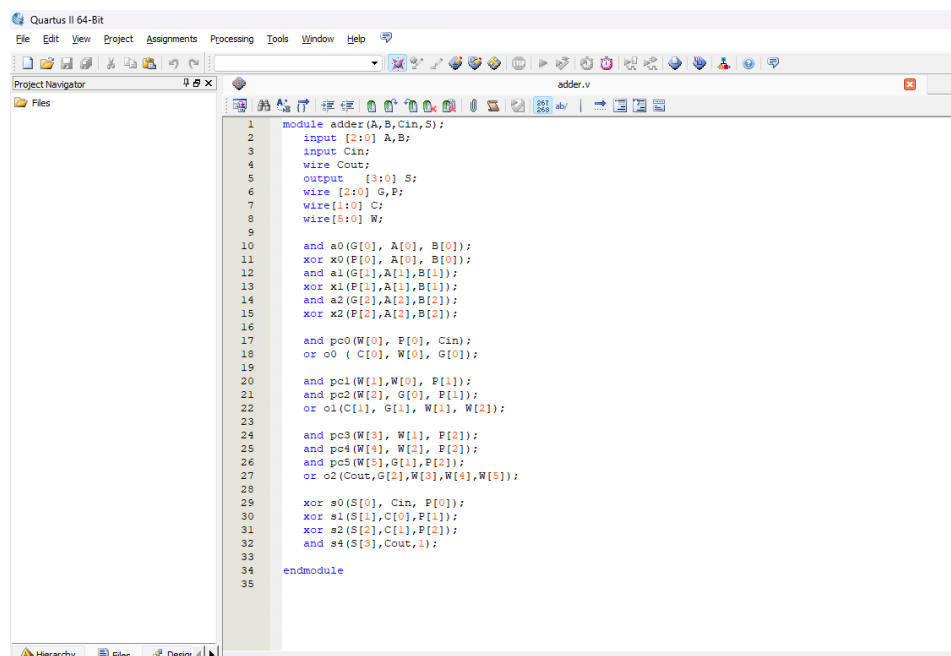
### Bước 2: Tạo project. Bằng cách chọn file -> new -> project. Đặt tên project là adder.



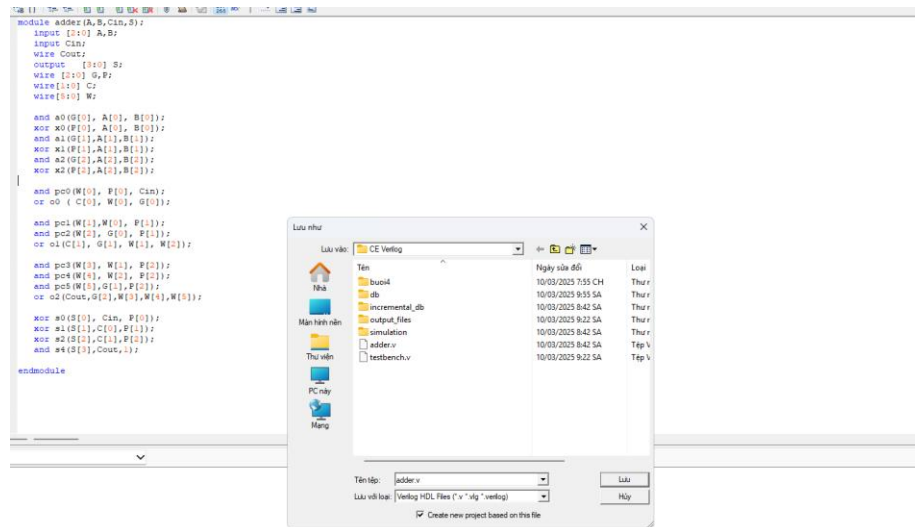
**Bước 3: Chọn File → New → Verilog HDL File.**



**Bước 4: Dùng ngôn ngữ Verilog mô tả thiết kế, ở đây ta đang thực hiện ví dụ là mô tả thiết kế một bộ adder 3bit.**



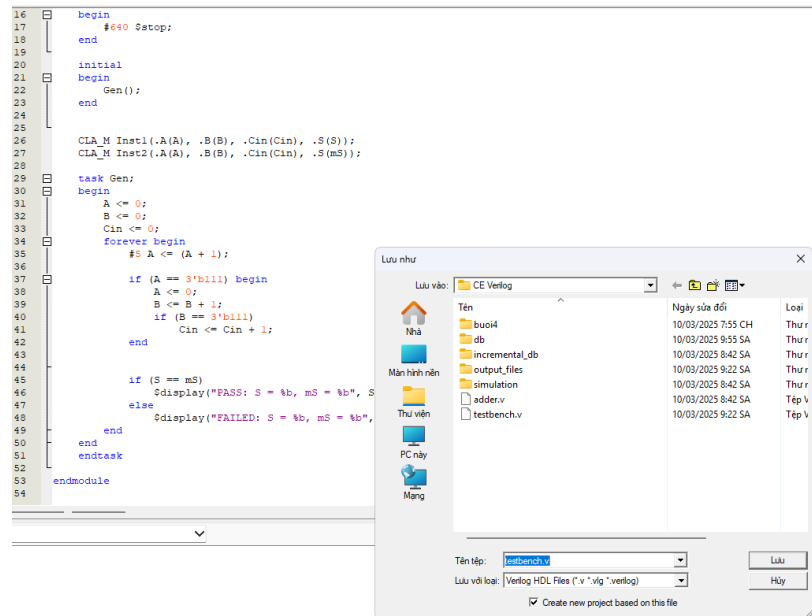
## Bước 5: Lưu file với tên adder.v



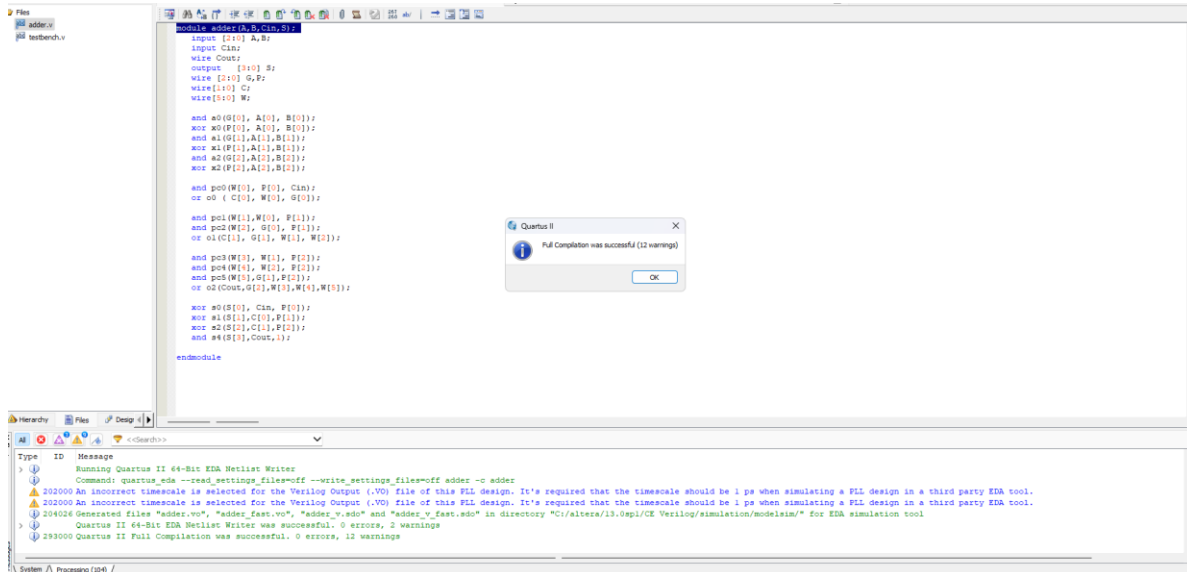
**Bước 6: Tạo Testbench để định nghĩa dạng sóng cho các tín hiệu input của thiết kế. Ta mở tiếp một cửa sổ khác cũng dùng Verilog để thiết kế bằng cách chọn tab File → New → Verilog HDL File. Ta mô tả testbench cho thiết kế như sau:**

```
1  module CLA_M(A, B, Cin, S);
2      input [2:0] A, B;
3      input Cin;
4      output [3:0] S;
5
6      assign S = (A + B + Cin);
7  endmodule
8
9  `timescale 1ns/100ps
10 module testbench();
11     reg [2:0] A, B;
12     reg Cin;
13     wire [3:0] S, mS;
14
15     initial
16     begin
17         #640 $stop;
18     end
19
20     initial
21     begin
22         Gen();
23     end
24
25
26     CLA_M Inst1(.A(A), .B(B), .Cin(Cin), .S(S));
27     CLA_M Inst2(.A(A), .B(B), .Cin(Cin), .S(mS));
28
29     task Gen;
30     begin
31         A <= 0;
32         B <= 0;
33         Cin <= 0;
34         forever begin
35             #5 A <= (A + 1);
36
37             if (A == 3'b111) begin
38                 A <= 0;
39                 B <= B + 1;
40
41                 if (B == 3'b111)
42                     Cin <= Cin + 1;
43             end
44
45             if (S == mS)
46                 $display("PASS: S = %b, mS = %b", S, mS);
47             else
48                 $display("FAILED: S = %b, mS = %b", S, mS);
49             end
50         end
51     endtask
52
53 endmodule
```

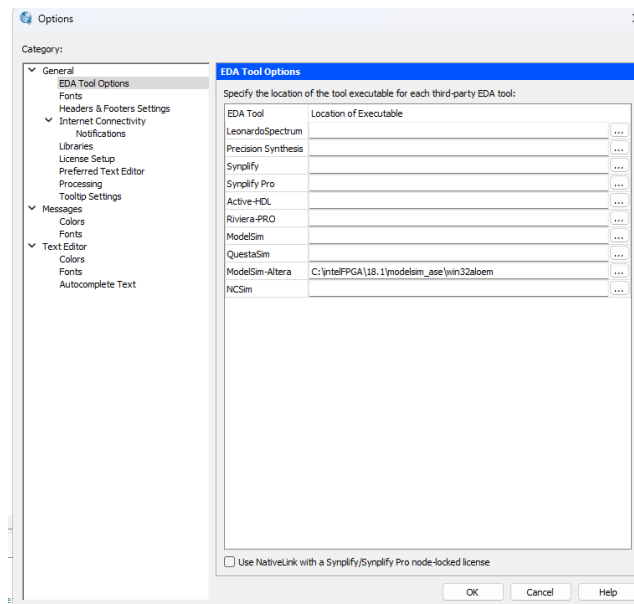
## Bước 7: Lưu testbench cho thiết kế với tên testbench.v



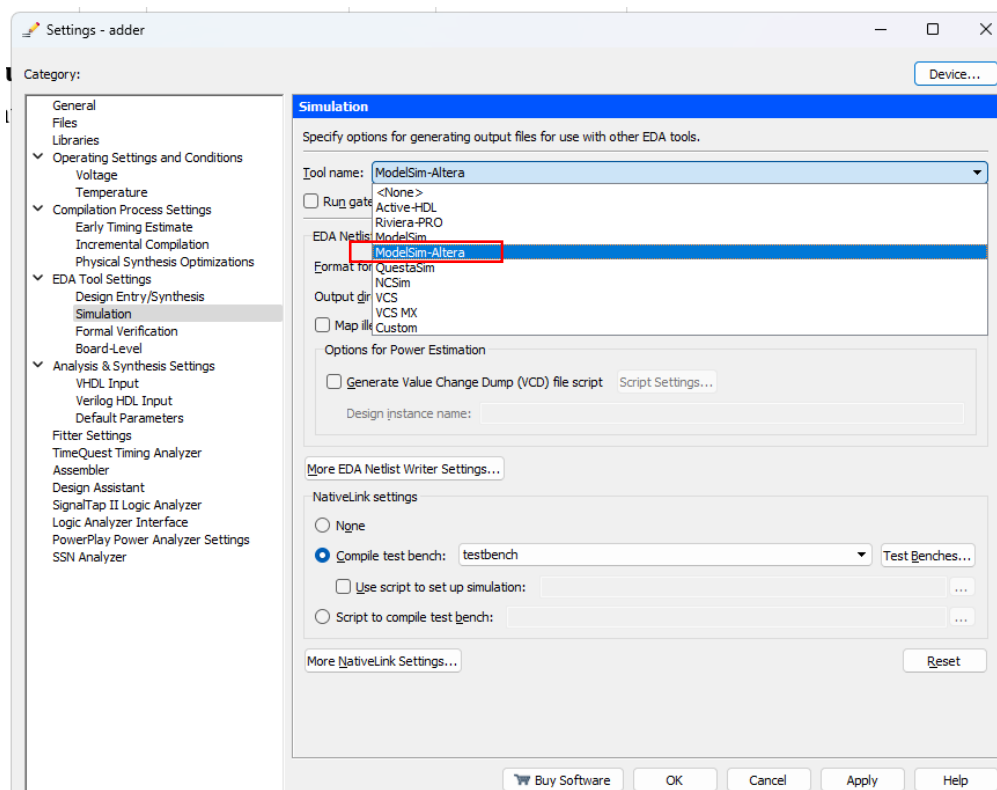
## Bước 8: Compile all mô tả thiết kế



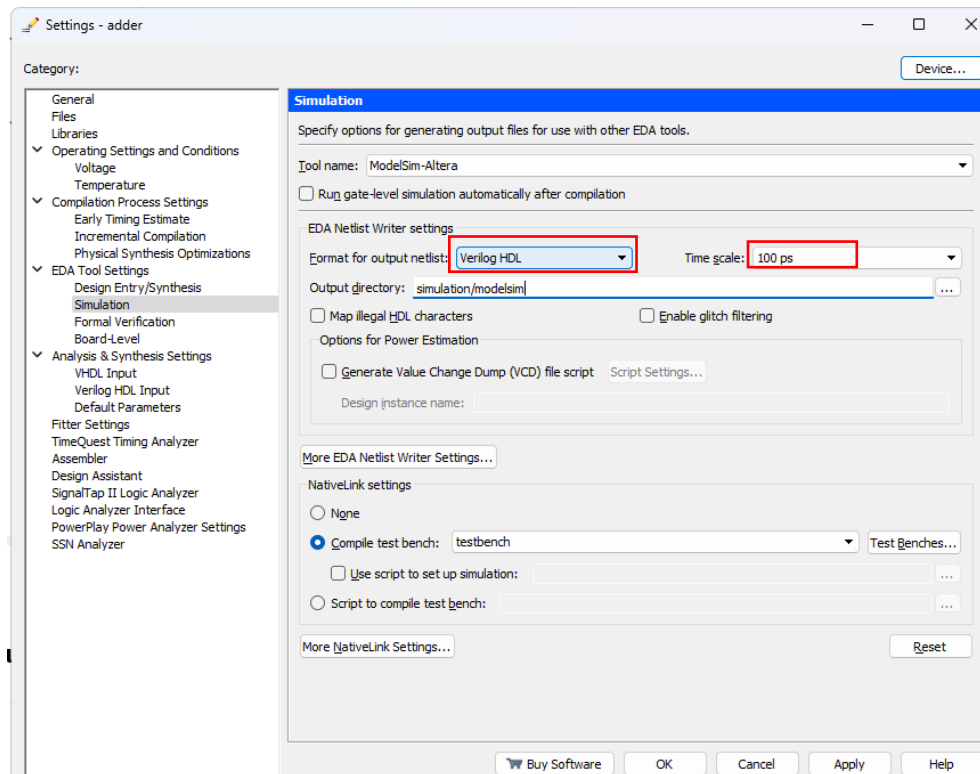
**Bước 9: Chọn tool → options → EDA tool options để kiểm tra xem đã cài đặt modelsim – altera hay chưa. Nếu đã cài rồi thì sẽ giống như hình, nếu chưa hãy tiến hành cài đặt rồi tiếp tục làm theo các bước tiếp theo**



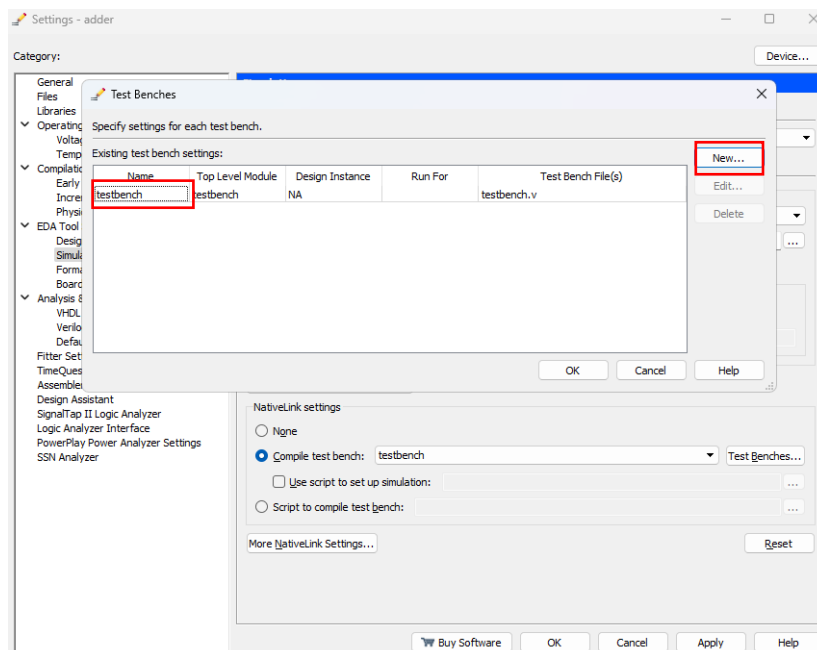
**Bước 10: Chọn assignments → settings → EDA tools settings → Simulation. Ở mục toolname chọn Modelsim – Altera.**



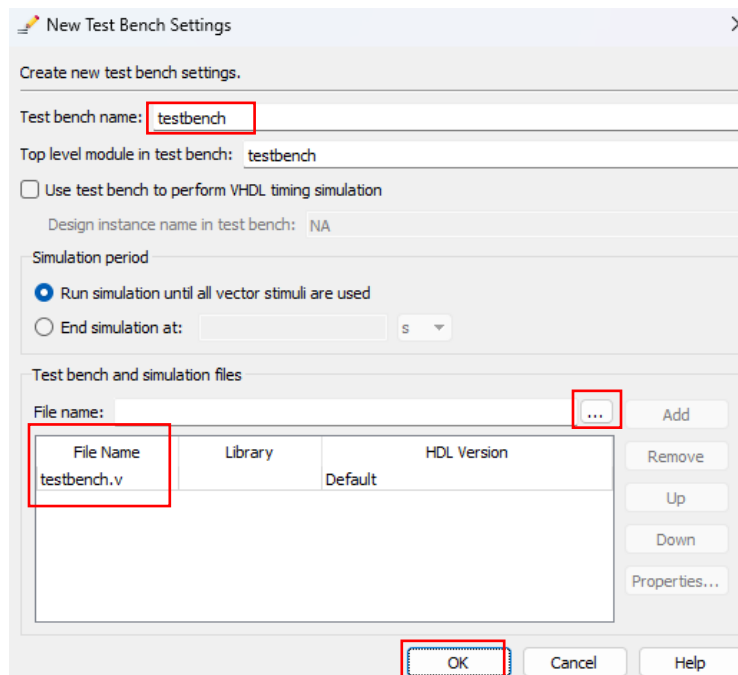
### Bước 11: Tại EDA Netlist Writer, chọn Verilog HDL và Time scale = 100ps



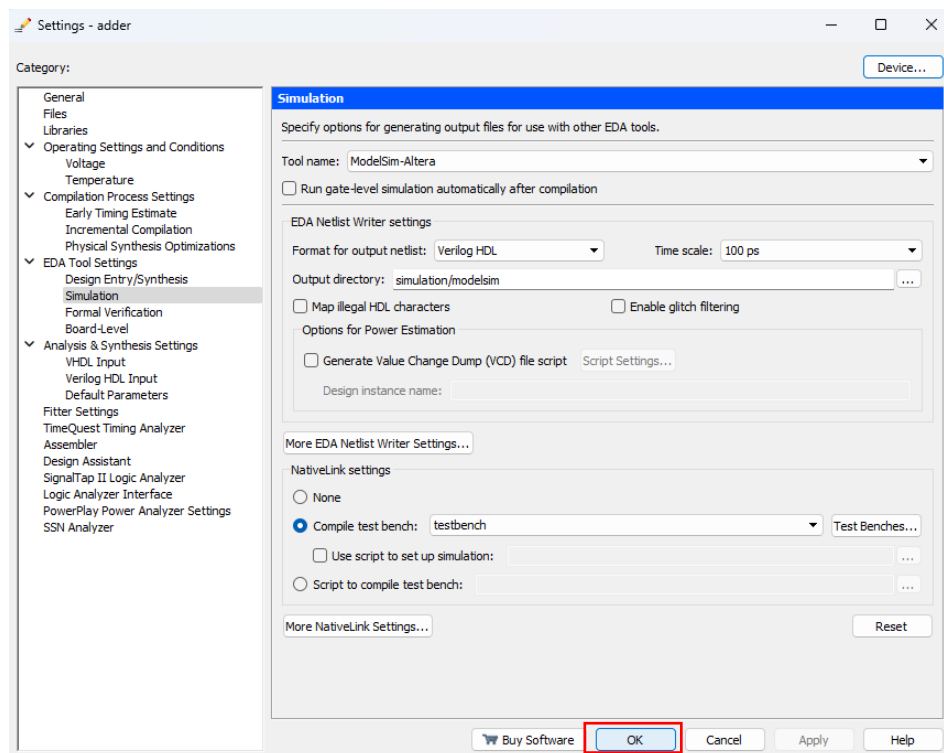
### Bước 13: Ở nativelylink settings, bấm chọn vào ô Testbenches. Sau đó một cửa sổ sẽ hiện ra, bấm vào new:



**Bước 14:** Nhập tên testbench là testbench, sau đó ở phía dưới mục Test bench and simulations bấm vào dấu ... để add file testbench.v vào và sau đó bấm nút add. Sau đó bấm ok.

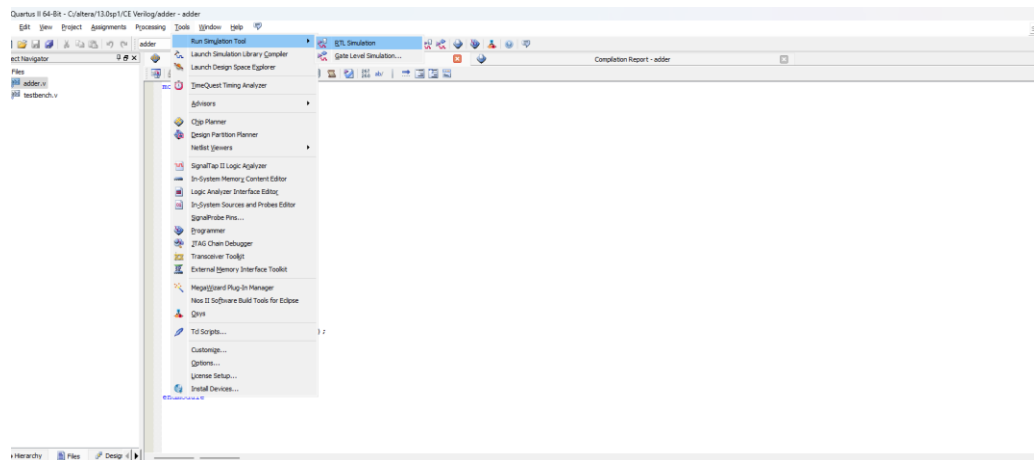


**Bước 15:** Sau khi thực hiện xong các bước thì sẽ giống như hình, bấm ok.

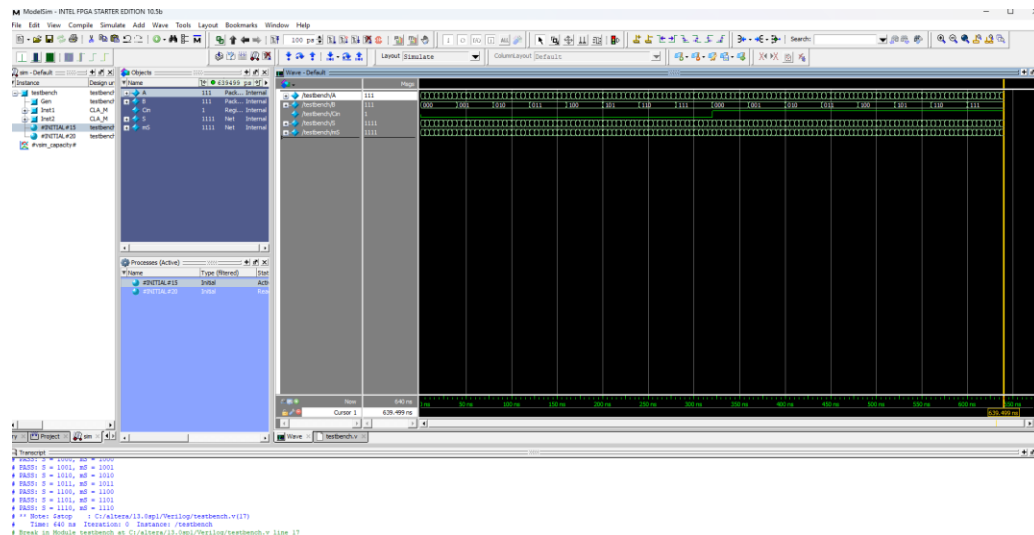




## Bước 16: Chọn vào Tools → Run simulation → RTL simulation.



## Bước 17: Sau khi chạy thì chương trình sẽ hiển thị như hình ở dưới:



- ⇒ Quan sát ta thấy, tín hiệu ngõ ra không có delay timing so với các tín hiệu ngõ vào. Bởi vì đây là mô phỏng pre-synthesis nên trong quá trình chạy mô phỏng, thông tin về định thời cho các node bên trong thiết kế không được cung cấp, do đó delay timing giữa các node này là bằng 0.

### Bước 19: Quan sát dạng sóng và debug function nếu sai. Quan sát kết quả nhận được.

```
Transcript
# PASS: S = 1011, mS = 1011
# PASS: S = 0101, mS = 0101
# PASS: S = 0110, mS = 0110
# PASS: S = 0111, mS = 0111
# PASS: S = 1000, mS = 1000
# PASS: S = 1001, mS = 1001
# PASS: S = 1010, mS = 1010
# PASS: S = 1011, mS = 1011
# PASS: S = 1100, mS = 1100
# PASS: S = 0110, mS = 0110
# PASS: S = 0111, mS = 0111
# PASS: S = 1000, mS = 1000
# PASS: S = 1001, mS = 1001
# PASS: S = 1010, mS = 1010
# PASS: S = 1011, mS = 1011
# PASS: S = 1100, mS = 1100
# PASS: S = 1101, mS = 1101
# PASS: S = 0111, mS = 0111
# PASS: S = 1000, mS = 1000
# PASS: S = 1001, mS = 1001
# PASS: S = 1010, mS = 1010
# PASS: S = 1011, mS = 1011
# PASS: S = 1100, mS = 1100
# PASS: S = 1101, mS = 1101
# PASS: S = 1110, mS = 1110
# PASS: S = 1000, mS = 1000
# PASS: S = 1001, mS = 1001
# PASS: S = 1010, mS = 1010
# PASS: S = 1011, mS = 1011
# PASS: S = 1100, mS = 1100
# PASS: S = 1101, mS = 1101
# PASS: S = 1110, mS = 1110
# ** Note: $stop      : E:/CE213_HDL/ThucHanh/Lab1/SourceCode/CLA_testbench.v(17)
#   Time: 640 ns   Iteration: 0   Instance: /CLA_testbench
# Break in Module CLA_testbench at E:/CE213_HDL/ThucHanh/Lab1/SourceCode/CLA_testbench.v line 17
VSIM 2>
```

⇒ Tất cả đều Pass -> Thành công