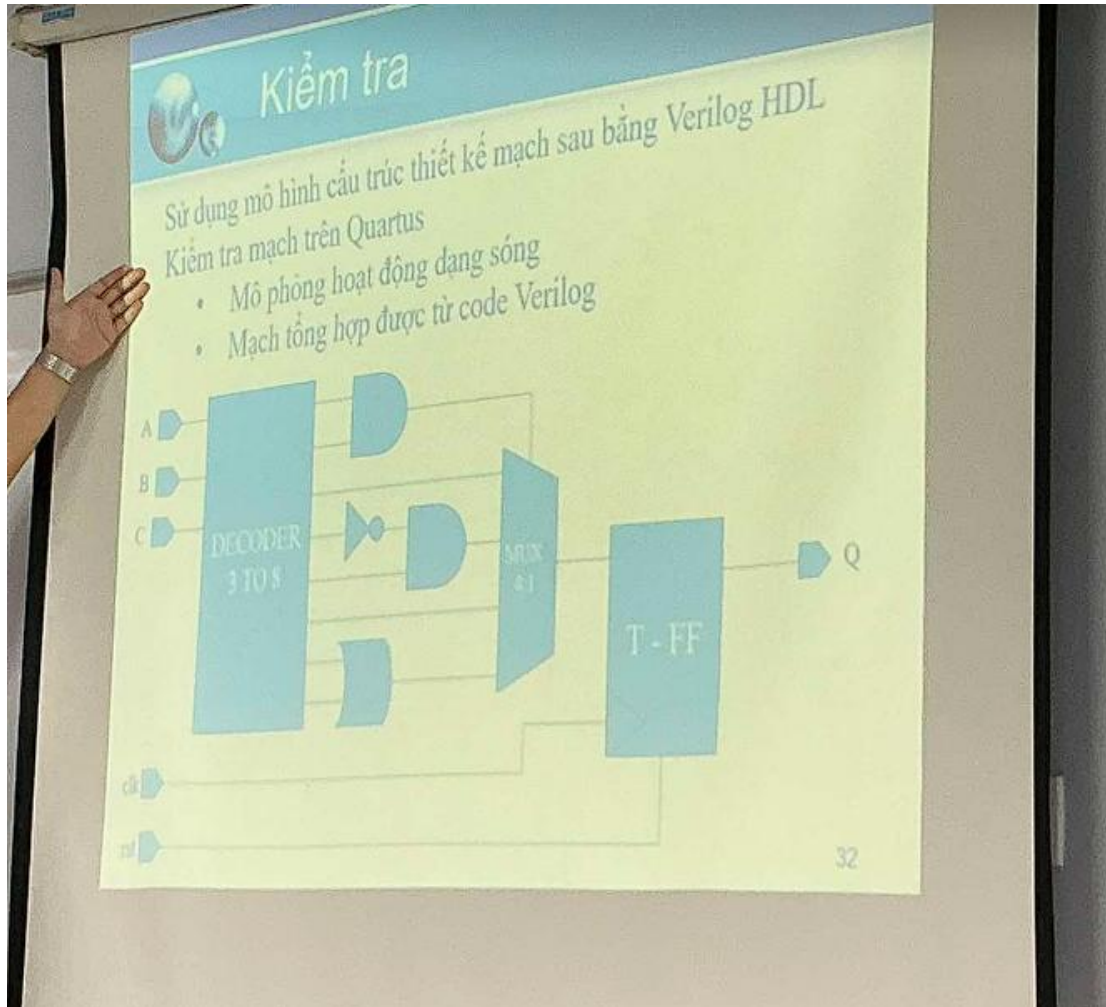


Họ tên: Dương Anh Khôi

MSSV: 22520696



Bài làm

Code Verilog:

a. Thiết kế bộ MUX 2-1:

```
1 // Mô-đun MUX 2-1
2 module mux2(in0, in1, select, out);
3     input in0, in1, select;
4     output out;
5     wire s0, w0, w1;
6     not (s0, select);
7     and (w0, s0, in0), (w1, select, in1);
8     or (out, w0, w1);
9 endmodule
```

b. Từ bộ MUX 2-1 -> Thiết kế bộ MUX 4-1:

```
11 // Mô-đun MUX 4-1 sử dụng MUX 2-1
12 module mux4(in0, in1, in2, in3, sel0, sel1, out);
13     input in0, in1, in2, in3, sel0, sel1;
14     output out;
15     wire w0, w1;
16
17     mux2 mux_low(in0, in1, sel0, w0);
18     mux2 mux_high(in2, in3, sel0, w1);
19
20     mux2 mux_final(w0, w1, sel1, out);
21 endmodule
```

c. Thiết kế bộ giải mã 3 to 8

```
23 // Bộ giải mã 3-to-8
24 module decoder_3to8(A, B, C, out);
25     input A, B, C;
26     output [7:0] out;
27     wire A_not, B_not, C_not;
28     wire olout, alout, orlout;
29
30     // Nghịch đảo các đầu vào
31     not (A_not, A);
32     not (B_not, B);
33     not (C_not, C);
34
35     // Tạo các đầu ra giải mã
36     and (out[0], A_not, B_not, C_not); // 000
37     and (out[1], A_not, B_not, C);    // 001
38     and (out[2], A_not, B, C_not);    // 010
39     and (out[3], A_not, B, C);        // 011
40     and (out[4], A, B_not, C_not);    // 100
41     and (out[5], A, B_not, C);        // 101
42     and (out[6], A, B, C_not);        // 110
43     and (out[7], A, B, C);            // 111
44
45     not (olout, out[3]);
46     and (alout, olout, out[4]);
47     or (orlout, out[6], out[7]);
48 endmodule
```

d. Thiết kế T-Flip Flop

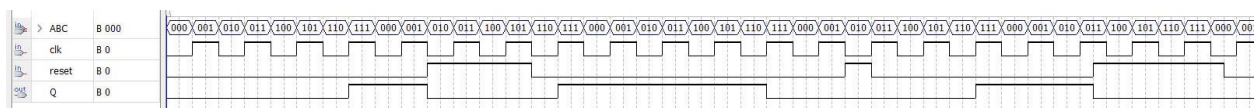
```
50 // T-Flip Flop
51 module t_flip_flop(T, clk, reset, Q);
52     input T, clk, reset;
53     output reg Q;
54
55     always @(posedge clk or posedge reset) begin
56         if (reset)
57             Q <= 1'b0;
58         else if (T)
59             Q <= ~Q; // Toggle khi T=1
60     end
61 endmodule
```

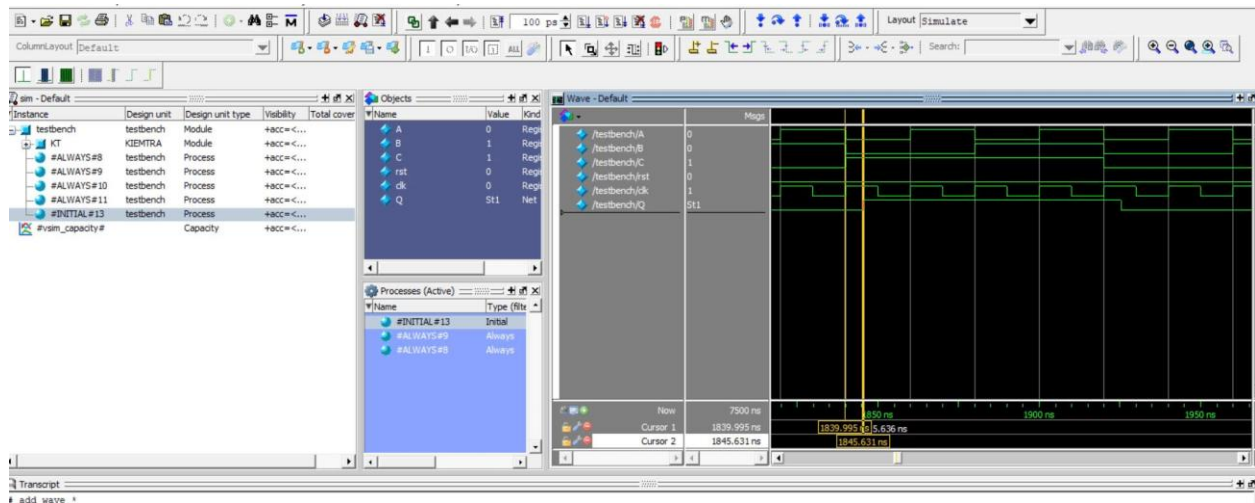
e. Module chính thực hiện yêu cầu đề bài:

```
63 module Lecture5(A, B, C, clk, reset, Q);
64     input A, B, C, clk, reset;
65     output Q;
66
67     // Các dây dẫn nội bộ
68     wire [7:0] decoder_out;
69     wire mux_out, olout, alout, orlout, intff;
70
71     // Bộ giải mã 3-to-8
72     decoder_3to8 decoder_inst(A, B, C, decoder_out);
73
74     // Tạo các tín hiệu logic
75     not (olout, decoder_out[3]);
76     and (alout, olout, decoder_out[4]);
77     or (orlout, decoder_out[6], decoder_out[7]);
78
79     // Sử dụng MUX4 với đủ đối số
80     mux4 mux_inst(
81         decoder_out[2], // in0
82         alout,          // in1
83         decoder_out[5], // in2
84         orlout,         // in3
85         A,              // sel0
86         B,              // sel1
87         intff           // out
88     );
89
90     // T-Flip Flop nhận đầu vào từ mạch logic trước đó
91     t_flip_flop tff_inst(intff, clk, reset, Q);
92 endmodule
```

1. Mô phỏng hoạt động dạng sóng (Check timing tại 50 MHz)

- 50MHz = 20ns





Nhận xét:

- Khi reset được kích hoạt thì lập tức Q sẽ được reset về lại 0
- Tín hiệu Q chỉ thay đổi tại các cạnh dương của clock khi đầu vào T được kích hoạt
- Tín hiệu đầu ra Q tuân theo quy luật rõ ràng dựa trên các đầu vào điều khiển ABC
- Q không thay đổi giá trị sau mỗi chu kỳ clock

2. Mạch tổng hợp được từ code Verilog

