TRƯỜNG ĐH CÔNG NGHỆ THÔNG TIN

Đại học Quốc gia TPHCM

Họ tên: Dương Anh Khôi

GVHD: Tạ Trí Đức

MSSV: 22520696

Khoa: Kỹ thuật Máy tính

BÁO CÁO: CE213 – LAB2

****

**BÁO CÁO THỰC HÀNH BÀI 2**

**THIẾT KẾ MẠCH ĐẾM ĐỒNG BỘ  
CÓ KHẢ NĂNG NẠP GIÁ TRỊ BAN ĐẦU**

**Bài Tập 1: Sử dụng ngôn ngữ Verilog HDL thiết kế bộ đếm như hình sau:**

A diagram of a number

AI-generated content may be incorrect.

*Hình 1 Sơ đồ chuyển trạng thái của bộ đếm*

***Source Code:***

module Lab2\_22520696\_DuongAnhKhoi(

input [2:0] loaddata,

input loadEn,

input clk,

output reg [2:0] count

);

always @(posedge clk, posedge loadEn)

if(loadEn)

count <= loaddata;

else

if(count == 0)

count <=6;

else if (count ==6)

count <= 4;

else if (count == 4)

count <= 7;

else if (count ==7)

count <= 3;

else if (count == 3)

count <= 0;

else if (count == 1)

count <= 6;

else if (count == 5)

count <= 2;

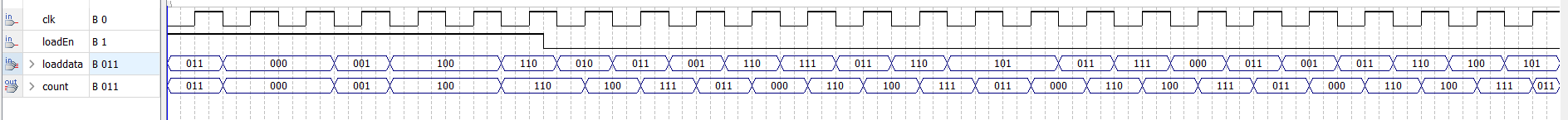
else if (count ==2)

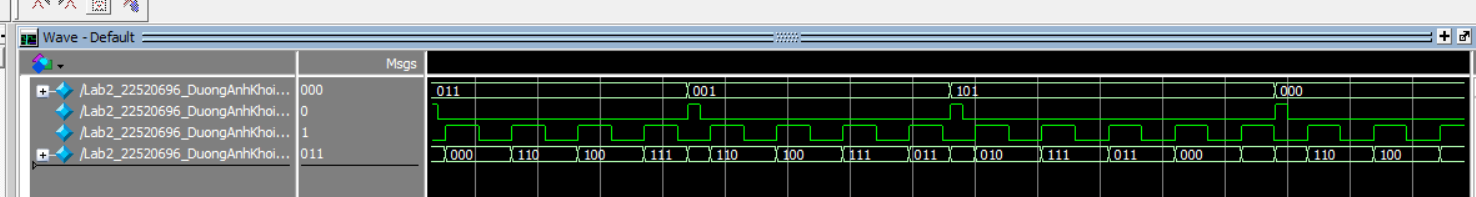
count <= 7;

else count <= 0;

endmodule

***Mô phỏng:***



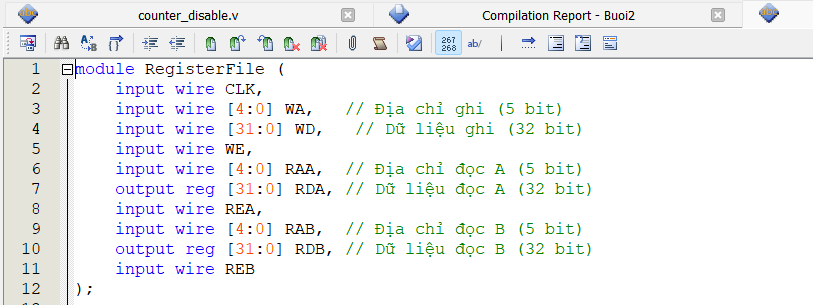


***Chức năng:***

* loadEn: Khi bật 1 thì cho phép lưu giá trị, trở về 0 thì không còn cho phép lưu mà bắt đầu thực hiện chức năng là thiết kế bộ đếm.
* loaddata: Nạp giá trị ban đầu vào, khi loadEn =1 thì giá trị sẽ được lưu, ngược lại thì không hoạt động.
* count: Khi loadEn =1 thì xuất ra giá trị loaddata, khi loadEn =0 thì thực hiện bộ đếm và in ra giá trị.

**Bài tập 2: Sử dụng ngôn ngữ Verilog HDL, thiết kế một tập gồm 32 thanh ghi, mỗi thanh ghi 4 byte. Tập thanh ghi (RegisterFile) có các tín hiệu sau: ReadAddress1[4:0], ReadAddress2[4:0], WriteAddress[4:0], WriteData[31:0], ReadData1[31:0], ReadData2[31:0], ReadWriteEn.**

***Source Code:***



A screenshot of a computer program

AI-generated content may be incorrect.

Đây là một **bộ thanh ghi có 1 cổng ghi - 2 cổng đọc**, dùng để lưu và truy xuất dữ liệu trong vi xử lý.

***Mô phỏng:***

**A screenshot of a computer

AI-generated content may be incorrect.**

***Chức năng:***

* 32 thanh ghi (register[0:31]), mỗi thanh ghi rộng 32-bit.
* 1 cổng ghi (WA, WD, WE)
  + Nếu WE =1 -> Dữ liệu WD ghi vào địa chỉ WA khi có cạnh lên của CLK.
* 2 cổng đọc (RAA -> RDA, RAB -> RDB)
  + Nếu REA =1 -> Đọc dữ liệu từ register[RAA] vào RDA.
  + Nếu REB =1 -> Đọc dữ liệu từ register[RAB] vào RDB.
  + Nếu REA hoặc REB =0 -> Xuất trạng thái trở kháng cao (Z).

***Cách hoạt động:***

Khi có xung clock:

* Ghi dữ liệu nếu WE = 1.
* Đọc dữ liệu từ hai địa chỉ nếu REA và REB được kích hoạt.
* Sử dụng Z (trở kháng cao) khi không đọc để tránh xung đột bus dữ liệu.