

1. Предпосылки создания программируемой логики. Общая структура кристалла FPGA. Основные блоки, входящие в структуру кристалла, их расположение, организация соединений. Л.1, 4-5 (от 17 слайда)
2. Структура наборного логического блока (LAB) и организация блока MLAB. Л.2-3
3. Как определяется максимальное время задержки в схемах, реализуемых на FPGA? Л.4-5(слайд 7)
4. Необходимость присвоения различных типов данных при программировании устройства в FPGA. Л.1
5. Основные управляющие сигналы, поступающие на адаптивный логический модуль. Работу каких устройств регулируют эти сигналы? Л.2-3; 4-5.
6. Структура и принцип функционирования конечного автомата. Синтез конечных автоматов в FPGA. Л.4-5.
7. Способы организации выделенной памяти в FPGA. Структура такой памяти. Л. 2-3.
8. Одно-портовая и двух-портовая память. Л. 2-3.
9. Каким образом обеспечивается синхронизация всех узлов устройства, функционирующего в FPGA? Л. 4-5(слайд 29).
10. Типы частотных сетей. Особенности формирования и распространения сигнала для каждого типа. Л.4-5
11. Понятие ствольной частоты. Основные блоки преобразования частоты в FPGA. Л.4-5
12. Аппаратные возможности для последовательной передачи данных в среде FPGA. Л.4-5
13. Шина PCIe. Принцип построения, структура передачи информации, назначение. Л. 6-7.
14. Структура системы на кристалле на основе FPGA. Преимущества такой SoC. Как обеспечивается возможность работы Cortex-A9 в структуре DE1-SoC в каждом из двух возможных режимов? Л.6-7, 8.
15. Возможности передачи данных внутри элементов системы на кристалле. Трансиверы, кодирование, PCIe. Л. 4-5, 6-7.
16. Интерфейс I2C. Принцип построения, структура передачи информации. Л.8.
17. Шина SPI. Принцип функционирования, типы конфигураций, структура передачи информации. Л.8.
18. Устройства для подсчета временных интервалов. Л.11-12(с 25 слайда)
19. Возможности передачи данных на большие расстояния. UART. Структура, принцип передачи информации. Л. 6-7.
20. Шина USB. Предпосылки создания. Иерархия. Л. 6-7.
21. Шина USB. Структура. Роли блоков, входящих в структуру. Л. 6-7.
22. Шина USB. Типы передаваемых пакетов. Л. 6-7.

- 23.Шина USB. Виды пересылок. Л. 6-7.
- 24.Протокол JTAG. Предпосылки создания и возможности обмена. Л. 6-7.
- 25.Протокол JTAG. Структура TAP. Л. 6-7.
- 26.Протокол JTAG. Структура и функционирование BSC (ячейки граничного сканирования). Л. 6-7.
- 27.Общая структура NPS Cortex A9, входящего в структуру FPGA CycloneV. Регистр статуса. Л. 11-12.
- 28.Производительность процессора. В чем заключается конвейерная обработка команд? Ступени конвейера. Л. 11-12.
- 29.Производительность процессора. Суперскалярная архитектура. Прогнозирование переходов. Внутрипроцессорная многопоточность. Л. 11-12.
- 30.Структура внутренней памяти процессорной системы. Физическая основа памяти данных и инструкций. Л. 9-10.
- 31.Структура внутренней памяти процессорной системы. Физическая основа памяти устройств. Л. 9-10.
- 32.Структура внутренней памяти процессорной системы. Системная память. Л. 9-10.
- 33.Преобразование виртуальной памяти в физическую. Страничное преобразование памяти. Л. 9-10.
- 34.Преобразование виртуальной памяти в физическую. Сегментное преобразование. Л. 9-10.
- 35.Виды фрагментаций, возникающих при страничной и сегментной организации памяти. Способы устранения фрагментаций. Л. 9-10.
- 36.Структура основных блоков управления микропроцессорной системы. Л.9-10 (сл.16-20), Л.11-12(сл.18,19)