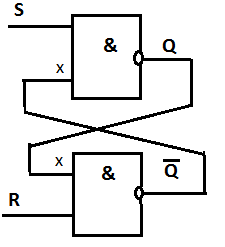
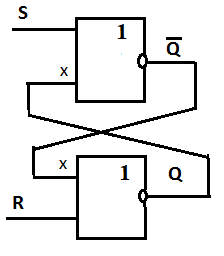
**Основные сведения о назначении и конфигурации FPGA.**

Все современные вычислительные системы построены на основе полупроводниковых структур (n-p-n или p-n-p переходы). Любая подобная система должна содержать элементы, сохраняющие информацию, то есть имеющие возможность подтверждать записанную в них информацию с помощью отрицательной обратной связи, и элементы линейной структуры для преобразования информации или направления потоков информации.

Элементы, построенные на основе принципа обратной связи, называются ПЦУ (последовательностные цифровые устройства). Элементы. построенные на основе линейной структуры соединения переходов, называются комбинационные цифровые устройства – КЦУ.

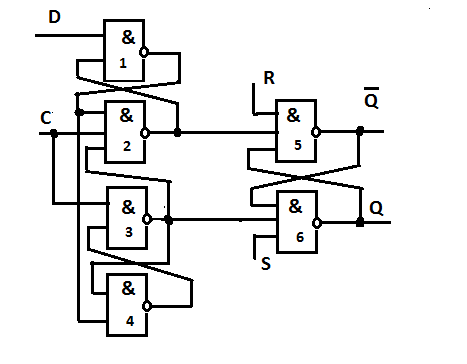
ПЦУ всегда имеют стандартную структуру. Основная ячейка хранения построена по принципу асинхронного RS-триггера на основе базовых логических элементов: И-НЕ или ИЛИ-НЕ. Соответственно, управляющим уровнем внешнего воздействия в 1-ом случае будет 0, а во 2-м – 1.





Ячейка хранения как базовая часть входит в структуру любого синхронного триггера. Самой удобной для использования в вычислительных системах структурой является D-триггер.

Схема, позволяющая фиксировать информацию в момент прихода фронта синхроимпульса, называется схемой 3-х триггеров. Она построена на элементах 1 – 4. Основная ячейка, в которой хранится информация, построена на элементах 5 – 6. Элементы, формирующие эту ячейку, имеют 3 входа. Внешними для нее являются установочные *R* и *S* входы



Для рассмотрения функционирования **динамического входа синхронизации** и *D* – входа считаем, что на установочные входы поступают уровни «1».

1. Момент времени, предшествующий подаче импульса синхронизации: *C* = 0, *D* = 1. Если *C* = 0, то выходы элементов «2» и «3» в состоянии «1», а, значит, ячейка на элементах «5» и «6» находится в режиме хранения, предположим, хранится «0». Теперь определим состояние выходов элементов «1» и «4». Т.к. вход *D* = 1 и выход элемента «2» в состоянии «1», то выход элемента «1» находится в состоянии «0». Этот уровень «0» будет удерживать выход элемента «4» в состоянии «1».
2. Следующий момент времени, *D* = 1, *C* = 1. Выход элемента «1» продолжает оставаться в состоянии «0», его состояние поступает на вход элемент «2», таким образом, на выходе элемента «2» продолжает удерживаться в «1». На вход элемента «3» теперь поступают «1» с входа *C* и от связи с выходом элемента «4». Теперь на выходе элемента «3» устанавливается «0», что приводит к установке в «1» основной ячейки – *Q* = 1, *nQ* = 0. Состояние «0» выхода элемента «3» позволяет удерживать в «1» выходы элементов «2» и «4» вне зависимости от состояния выхода элемента «1». Т.е. изменение информации на входе *D* теперь не влияет на состояние триггера.

Таким образом, мы видим, что, для уверенной записи информации от входа D, необходима установка элементов 1 и 4 в состояние, предписанное уровнем, поданным на этот вход при отсутствии синхроимпульса. Это время называется временем удержания. Выходной уровень установится при у

Для возможности обработки информации в КЦУ за один такт (период синхроимпульса T) работы системы необходимо время задержки такого КЦУ

tз=T – (tуд + tуст)

К сожалению, применяя стандартный принцип синтеза КЦУ, добиться такого результата крайне трудно. Ведь синтез КЦУ предполагает следующие этапы:

- постановку задачи;

- составление таблицы истинности для всех выходов относительно подаваемых на вход комбинаций согласно заявленному заданию:

- запись системы логических уравнений для каждого выхода относительно состояний входов в канонической форме,

- изображение схемы устройства на основе записанной системы уравнений.

Таким образом мы имеем устройство, имеющее неравномерную задержку при прохождении сигнала от входов до различных выходов. Такую задержку стандартизировать невозможно. Для любой схемы, построенной классическим методом, КЦУ являются проблемными местами, снижающими производительность устройства.

Поэтому стали искать методы замены классических КЦУ на их схемные эмуляторы.

Эмуляторы, построенные на основе имитации уравнений, и замене схемы КЦУ на ПЛИС, блоки которой представлены первичной матрицей И, включаемой в вторичную матрицу ИЛИ, позволяли построить только схемы КЦУ, так как не содержали необходимого количества регистров.

Широкое применение нашло схемное решение ПЛИС FPGA (field programmable gate array), где схема КЦУ заменяется ее табличным эмулятором – **триггерной матрицей**, в которую записываются отклики выхода на все возможные входные комбинации. Внутренняя структура FPGA последних поколений представлена блоками четырех основных конфигураций, расположенных на внутренней поверхности кристалла в форме матрицы.

Блоки для построения узлов проектируемых устройств – наборные логические блоки LAB (logic array block(s)), каждый из которых состоит из 10 адаптивных логических модулей ALM (adaptive logic module). В состав ALM входят триггеры, формирующие регистры, нетактируемые матрицы LUT (look-up tables) для записи функционирования КЦУ и простая логика для управляемых соединений элементов модулей в блоке. ALM в структуре LAB может содержать LUT на 3 входа и 4 входа, или LUT на 5 входов.

Для построения модулей памяти применяются блоки MLAB – аналогичные по структуре блокам LAB, но содержащие LUT на 6 входов. Таким образом, ёмкость этой памяти 640 бит.

Для хранения больших массивов используются блоки M10K ёмкостью 10 килобит. Эти блоки, в отличие от MLAB, имеют стандартную конфигурацию, переконфигурируемую в зависимости от разрядности используемых данных.

Для цифровой обработки сигналов в структуре FPGA имеются блоки DSP (digital signal processing).

Все блоки располагаются в виде матрицы, разделяемые горизонтальными и вертикальными линиями каналов, объединяемых в шины. Каналы представляют собой выделенное пространство переходов, содержащее точки связей между блоками. Конечно, такие связи представляют собой жесткое, динамически неуправляемое соединение, но, так как плотность соединений на каналах всегда гораздо меньше плотности соединений внутри блоков, каналы служат для температурной разгрузки кристалла.

Структура кристалла многослойная. В слоях располагаются важнейшие элементы для поддержания функционирования синтезируемых в кристалле устройств.

Это элементы частотных сетей – внутренние, фракциональные PLL (phase lock loop), служащие для подстройки фазы тактовой частоты в зависимости от места нахождения блока, а также для поддержания необходимого номинала частоты путем умножения или деления тактовой частоты кристалла, а также блоки DLL (delay lock loop), служащие только для регулирования задержки тактового сигнала.

Это элементы преобразования данных для дальнейшей последовательной передачи в линию и приема с линии и последовательно-параллельного преобразования данных для работы в схеме устройства, синтезированного в матрице кристалла. К таким устройствам относятся каналы трансивера – PMA (physical medium attachment) и устройства кодирования данных - PCS (physical coding sublayer).

Внешняя часть кристалла содержит структуры контроллера памяти и PCIe, а также буферные схемы и элементы TAP (BSC – ячейки граничного сканирования, объединяемые в регистр управления и регистр данных при работе по протоколу JTAG).