



计算机组成原理

第五章 输入/输出系统





主要内容

- 1 概述
- 2 模型机系统总线组成
- 3 直接程序传送方式与接口
- 4 中断方式及接口
- 5 DMA方式及接口

本章讨论：

总线的基本概念

接口的基本概念

中断方式及其接口组成

DMA方式及其接口组成

计算机互联进行信息
交换的基础

系统总线

各种接口——中断、DMA接口

信息传输的控制方式

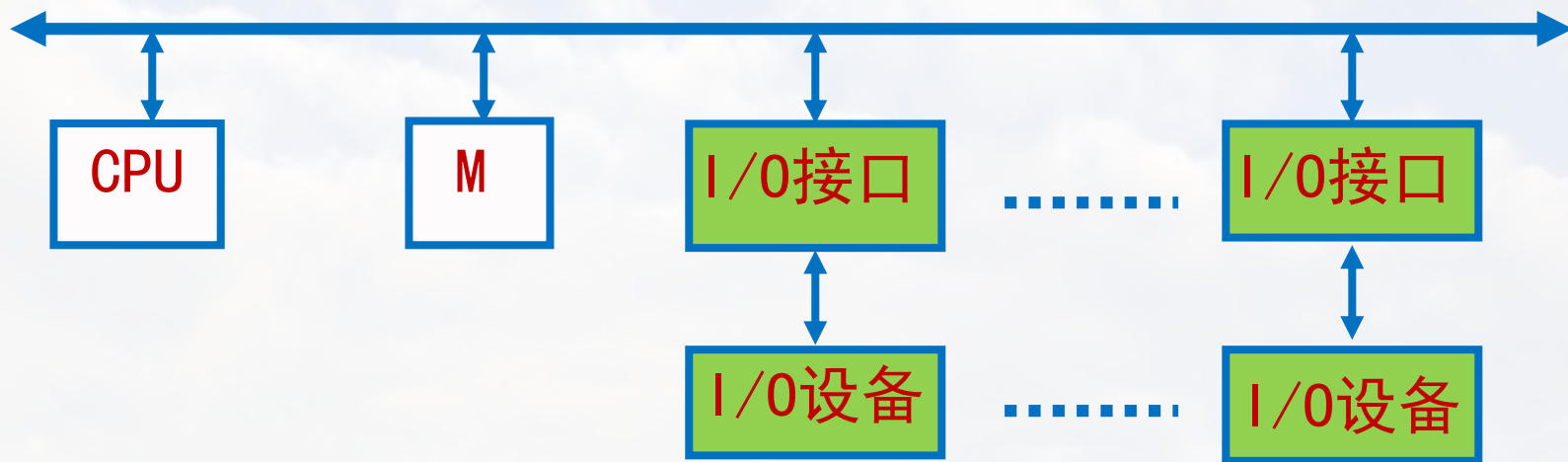
相应的程序软件



5.1 概述

- 01. 接口
- 02. 总线
- 03. 接口类型与功能

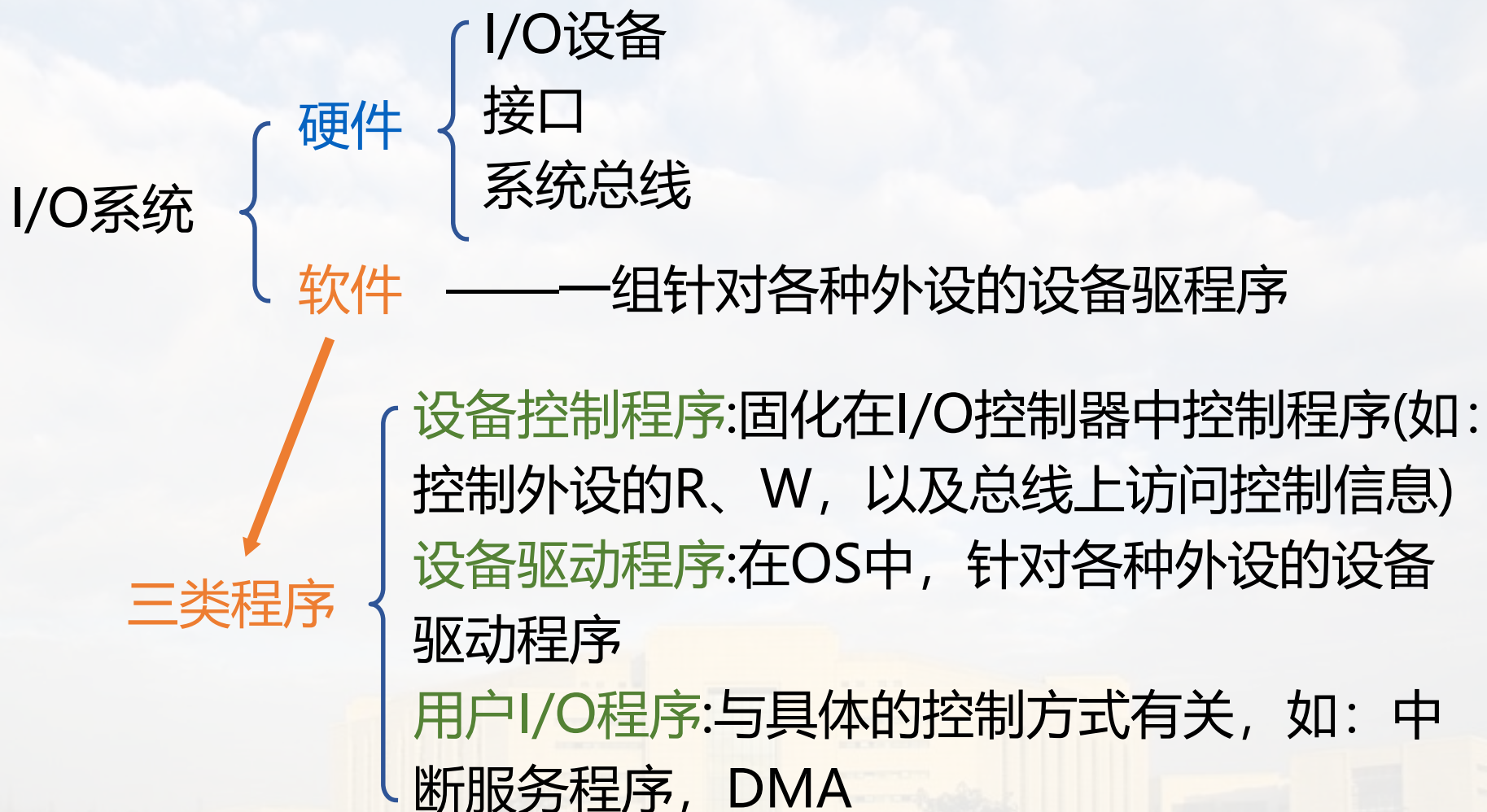
系统总线

I/O
系统

I/O设备： 实现与主机的信息交换和人机交互

I/O接口： 主机与外设之间的连接逻辑，控制外设的I/O操作

系统总线： 连接系统各大部件的公共信息通道



I/O接口：是指主机和外设之间的连接电路

为什么在外设与CPU之间需要接口？



- 时间同步

不同速度外设如何与CPU之间进行时间同步

- 数据格式的转换(如果需要)

外设数据格式可能与CPU数据格式不同

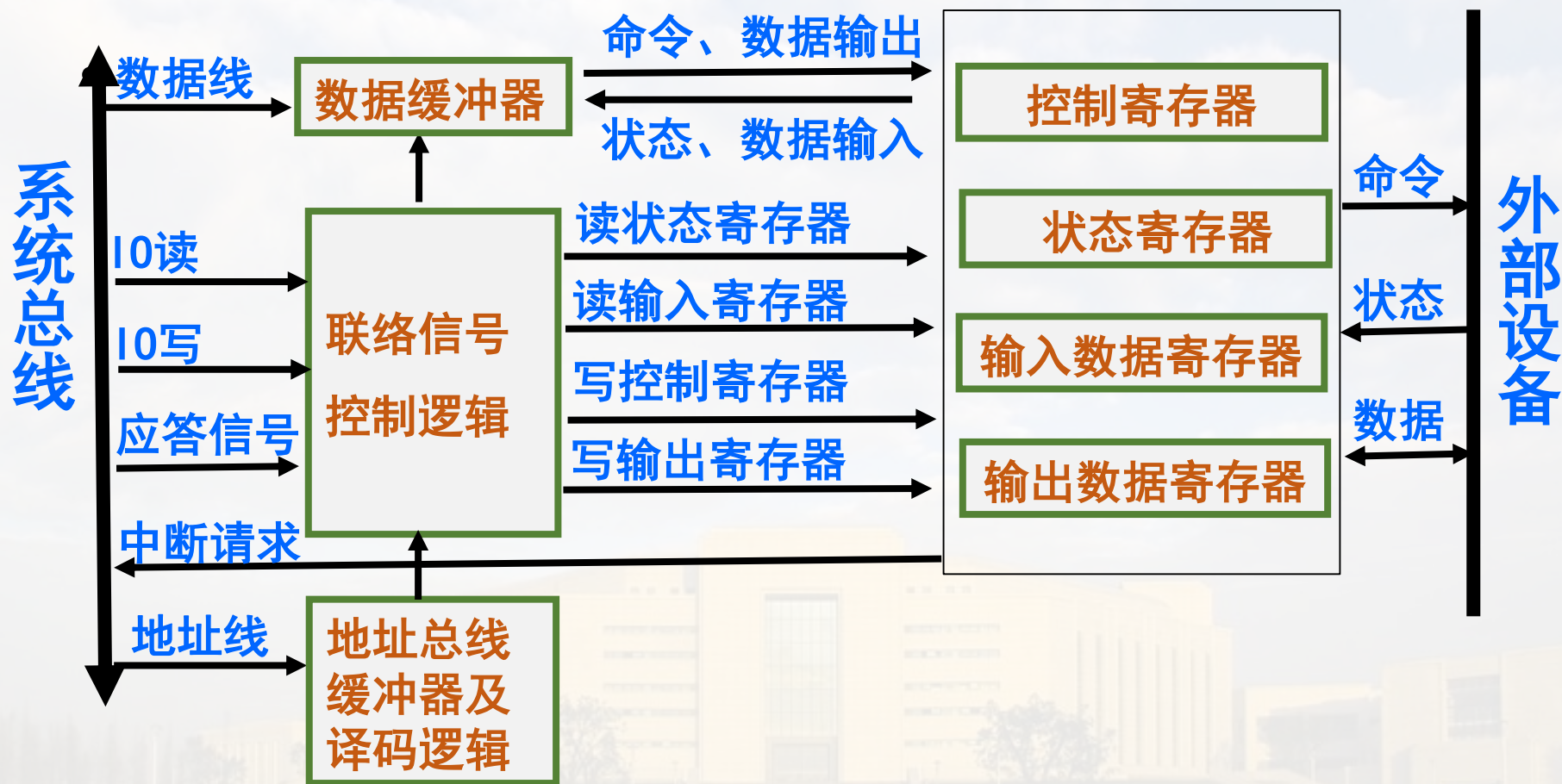
- CPU与外设之间一次数据传送量的控制

- 其它因素(如电平转换)

因此,种类繁多的外设需要有相应的接口实现与CPU之间的连接,以完成上述功能。

一、接口

1、IO接口组成



一、接口

2、接口分类

(1) 按数据传送格式划分



并行接口：接口与外设按**并行方式**传送数据；

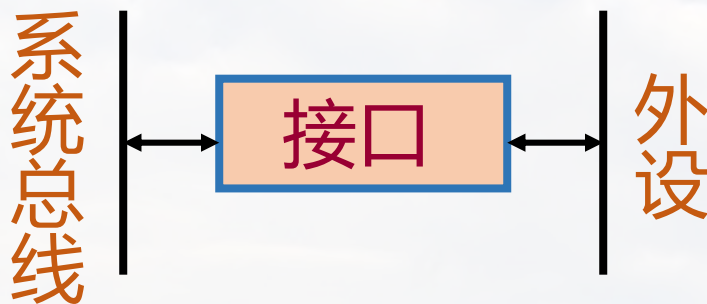
数据各位同时传送；

适合设备本身并行工作，距主机较近的场所。

串行接口：接口与外设**串行**传送。

数据逐位分时传送。

(2)按时序控制方式划分



同步接口：连接同步总线，接口与总线的信息传送由**统一时序信号**控制。

异步接口：连接异步总线，接口与总线的信息传送采用**异步应答**方式。

(3)按I/O传送控制方式划分

程序控制接口：

通过硬件或软件方式按指定优先级查询各设备是否要进行输入/输出

中断接口：

设备提出中断请求，主机响应后与设备交换信息，接口中包含中断控制逻辑

DMA接口：

支持高速外设与主机之间进行DMA方式交换数据

3、I/O接口主要功能

(1)寻址

接收CPU送来的地址码，
选择接口中的寄存器供CPU访问。

(2)数据缓冲

实现主机与外设的**速度匹配**；
缓冲深度与传送的数据量有关。



3、I/O接口主要功能

(3)预处理

串-并格式转换 (串口)

数据通路宽度转换 (并口)

电平转换

(4)控制功能

传送控制命令与状态信息，实现I/O传送控制方式



4、接口编址

统一编址：将一部分总线地址（高区）分配给设备接口中的寄存器（**占用了主存地址**）。

通用的访存指令

单独编址：为接口中的每个寄存器分配独立的端口号（**与主存地址无关**）

有专门的I/O指令,例如：

```
IN  AL, 61H
OUT 62H, AL
```

5、接口传送信息（控制命令、数据、状态）

1、总线定义、特点和实体

1) **定义**: 一组能为多个部件分时共享的公共信息通道。

2) **特点**: 分时、共享

通常作法: 发送部件通过诸如**三态门**之类的部件实现**分时发送信息**, 由打入脉冲将信息送入指定接收部件。

3) **实体**: 一组传送线与相应控制逻辑

{ CPU内设置控制逻辑
设置总线控制器

2、总线分类

(1) 按功能（层次结构）划分

1) CPU内总线——ALU总线

CPU芯片内寄存器与算逻部件之间互连的总线

单组数据线(单向、双向)或多组数据线，或多种总线。

2) 部件内总线——局部总线、片级总线

插件板内各芯片之间互连的总线。

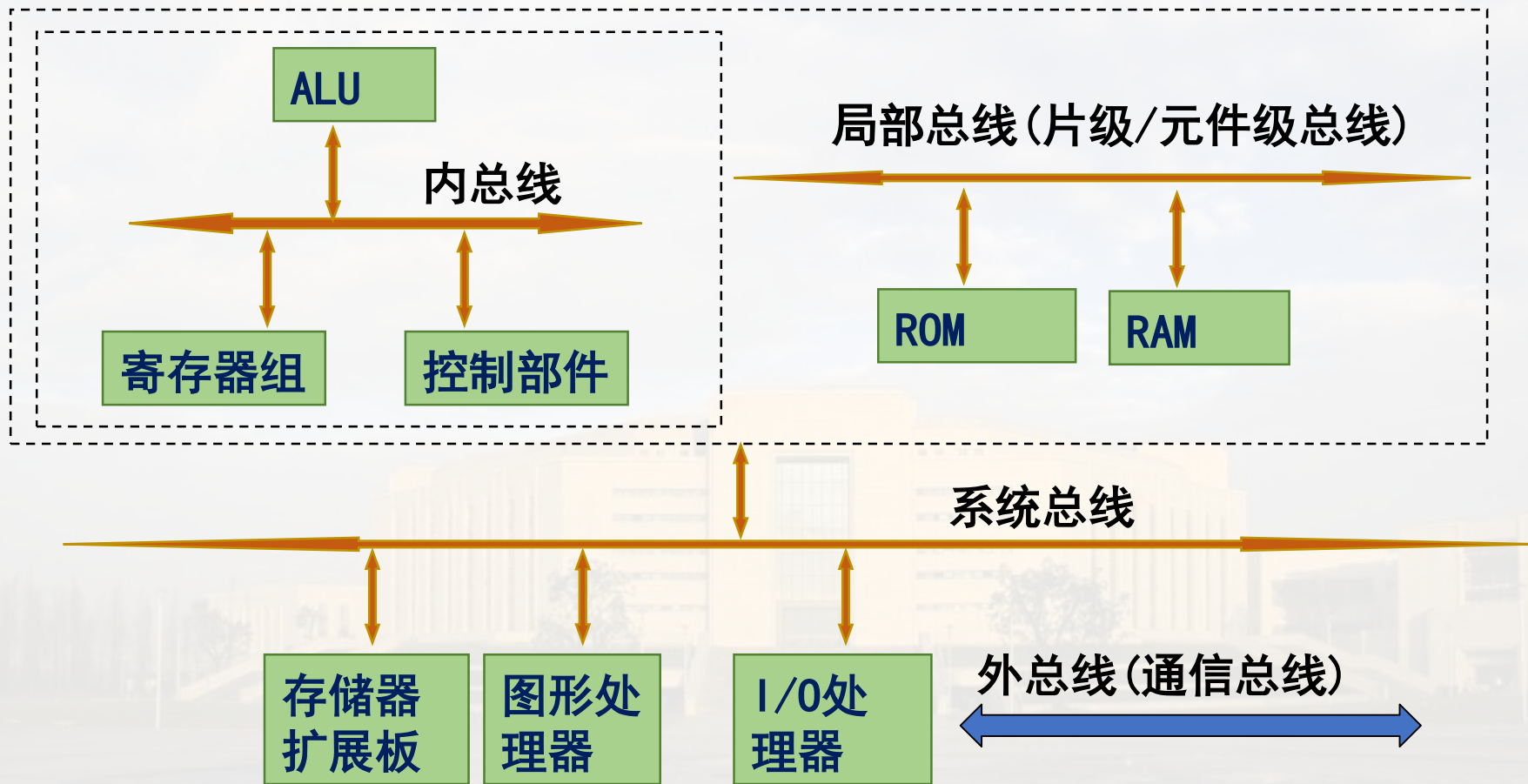
分为地址、数据、控制线。

3) 系统总线——板级总线

计算机系统内各功能部件之间，或各插件板之间互连的总线。 分为地址、数据、控制线。

4) 外总线——通信总线

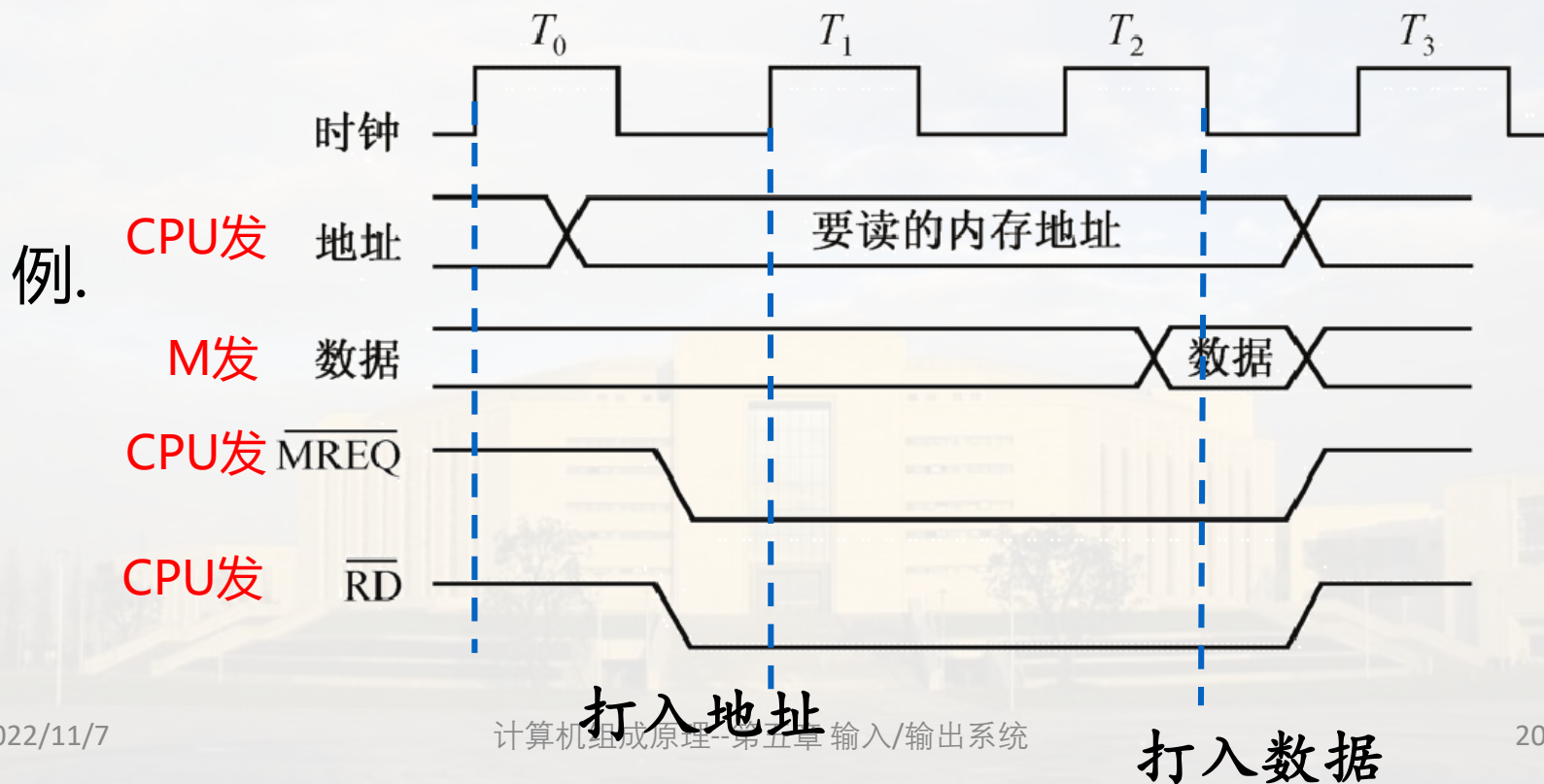
计算机系统之间，或计算机系统与其他系统之间互连的总线。分为数据线(与地址复用)、控制线。



(2) 按时序控制方式划分

- 1) 同步总线 时钟周期、同步脉冲
由统一时序控制总线传送操作。

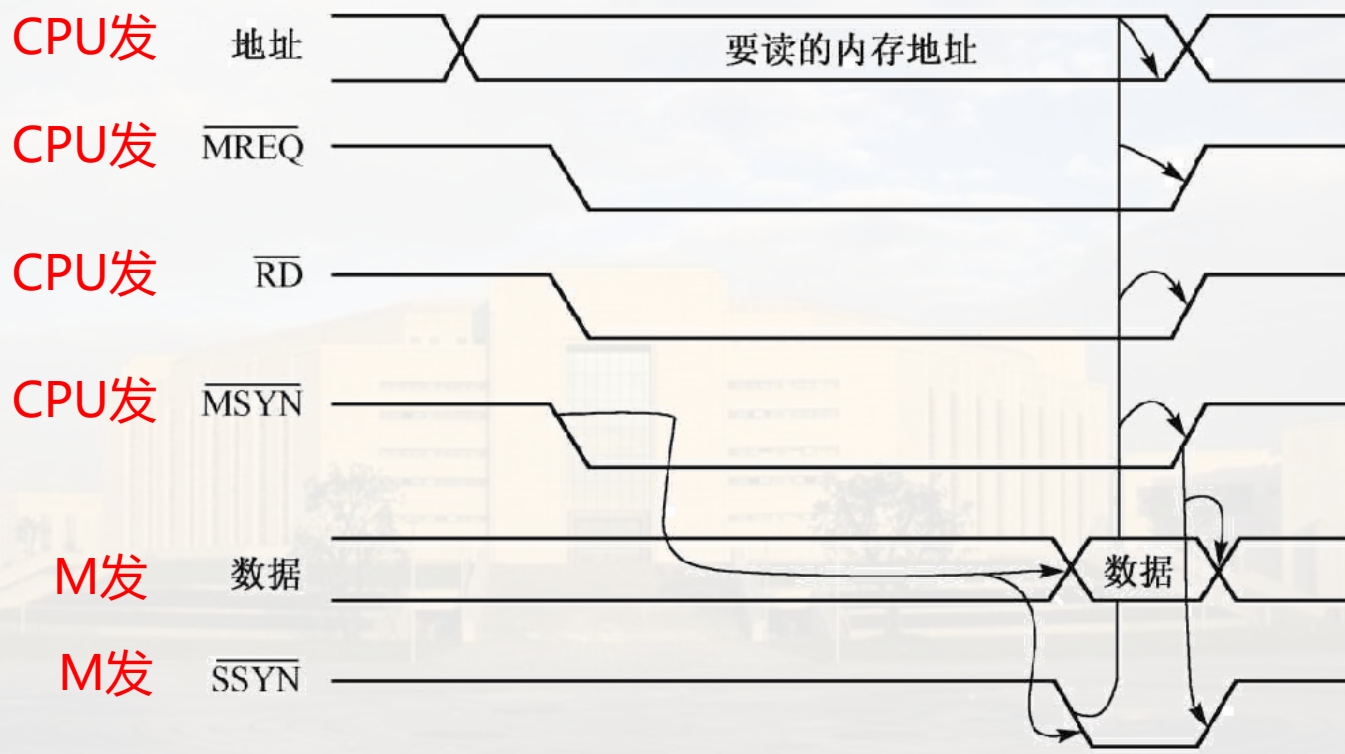
在固定时钟周期内完成数据传送，由同步脉冲定时打入。



2) 异步总线

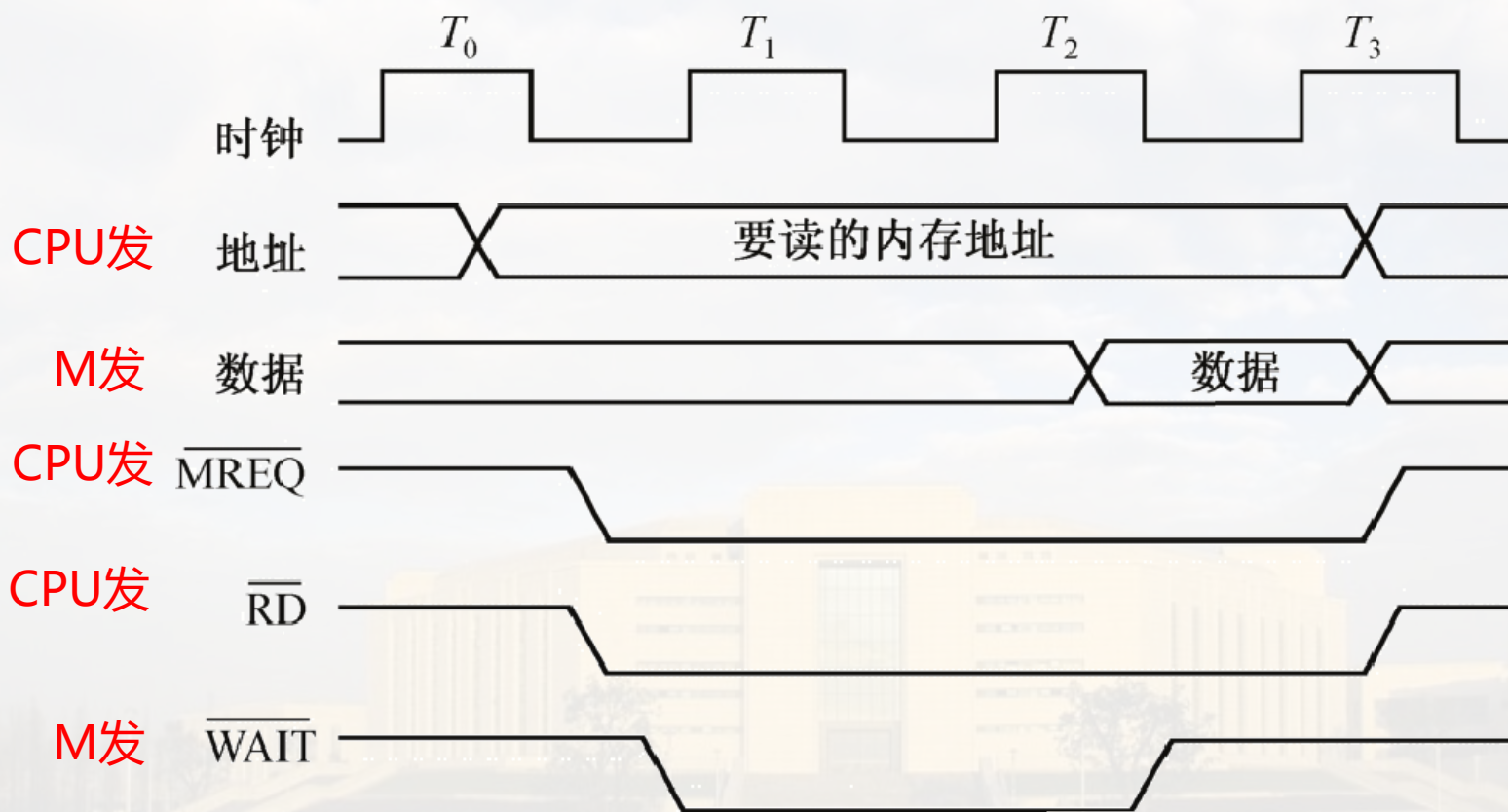
无固定时钟周期划分：没有一个统一的公共时钟，总线上的部件都可以有各自的时钟，总线周期时间由传送实际需要决定；以异步应答方式控制总线传送操作。

例.

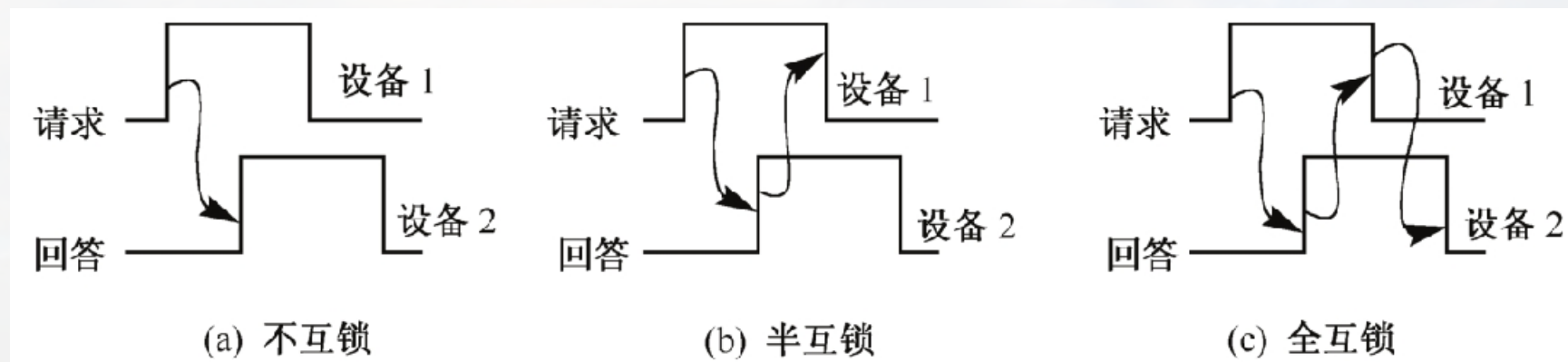


3) 扩展同步总线

以时钟周期为时序基础，**允许总线周期中的时钟数可变。**



一般将异步应答关系分为**不互锁**、**半互锁**、**全互锁**三类，如图所示。（异步总线操作时序图中的箭头表示了事件起始和结束的因果关系，即代表了异步应答信号的关系。）



注意几个“周期”概念：

时钟周期：CPU一步操作(一次内部数据通路传送)时间。

总线周期：经过总线的一次数据传送(或访存)时间。

通常包含若干时钟周期。

在通常情况下，一个总线周期与一次操作过程是对应的。

(模型机的一个总线周期只包含一个时钟周期。)

工作周期：指令周期中的一个操作阶段。

可包含多个总线周期。

(3) 按数据传送格式划分

- 1) 并行总线：同时传送各位信息。
- 2) 串行总线：分时逐位传送各位信息。

CPU内总线：同步、并行

外总线：异步、并行、串行

系统总线：同步、异步、扩展同步、并行（少量串行）

(4) 按承载信息种类划分

数据总线（Data Bus）、地址总线（Address Bus）和控制总线（Control Bus）。

3、总线的标准

1) 什么是总线标准？

对总线物理结构、功能、电气等规范统一规定。

针对系统总线 and 外总线, 对**总线四大特性**进行统一的规范, 如下:

物理特性: 如接插头大小/引脚数量/相对位置等

功能特性: 描述每一信号线的功能

电气特性: 如信号传送方向、信号驱动能力、抗干扰能力、信号的正负逻辑等。

时间特性: 如信号有效的时机、持续时间等。

2) 为何制定总线标准?

便于灵活组成系统。

采用总线结构的好处:

- ① 技术工程角度: 简化硬件设计、易于扩充;
- ② 从用户的角度: 具有“易获得性”;
- ③ 从厂商的角度: 易于批量生产、降低成本。

常见的总线:

系统总线(典型)

- ISA总线
- EISA总线
- AGP总线
- PCI总线及改型
- PCI-Express

外总线(典型)

- RS-232-C
- RS-485
- USB总线
- IEEE1394

例题:

下列选项中的英文缩写均为总线标准的是:

- A. PCI、CRT、USB、EISA
- B. ISA、CPI、VESA、EISA
- C. ISA、SCSI、RAM、MIPS
- D. ISA、EISA、PCI、PCI-Express

判断题: 扩展同步总线中, 允许总线周期中的时钟周期数和时钟周期长度固定。 (×)

3) 扩展同步总线

以时钟周期为时序基础, 允许总线周期中的时钟数可变。

3) 总线的技术指标

(1) 总线宽度

总线能同时传输的二进制位数

(2) 总线频率

总线在单位时间(秒)传输数据的次数

(3) 总线数据传输率

单位时间内总线输出的数据总量 (B/s)

总线数据传输率 = (总线宽度/8) × 总线频率

3) 系统总线信号组成

电源、数据、
地址、控制

时序：时钟、定时、应答
数传控制：M读/写、IO读/写
中断请求、响应
总线请求、响应
复位.....

4、总线的仲裁

连接到总线上的模块有**主动**和**被动**两种形态，为了解决竞争总线控制权，必须有**总线仲裁部件**，以某种规则选择一个**主设备**作为总线的控制者。

多个**主设备**提出总线控制请求时，一般采用**优先级**或**公平策略**进行仲裁。

按照总线仲裁电路的位置不同，**仲裁方式**分为：

集中式仲裁；

分布（散）式仲裁；

1) 集中式仲裁

集中式总线仲裁需要**中央仲裁器**，总线控制逻辑基本上**集中放在一起**。

集中式仲裁中每个模块有两条线连到中央仲裁器：

- 一条是送往仲裁器的总线请求（BR）信号线；
- 一条是仲裁器送出的总线授权（BG）信号线。

三种方式：

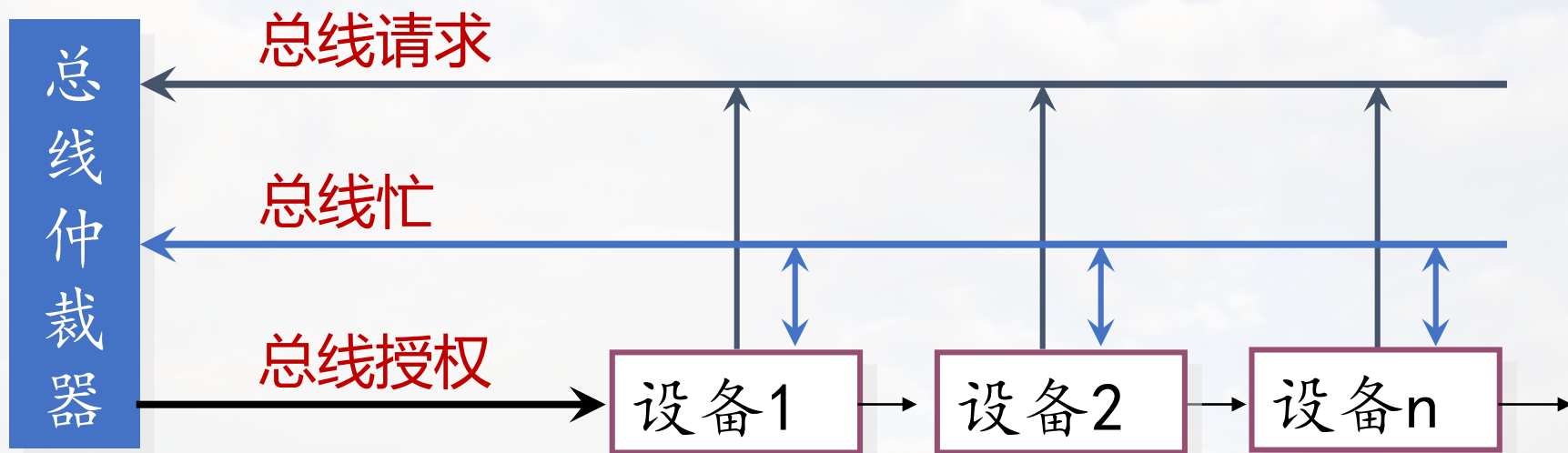
链式查询；

计数器定时查询；

独立请求方式；

如后图例所示

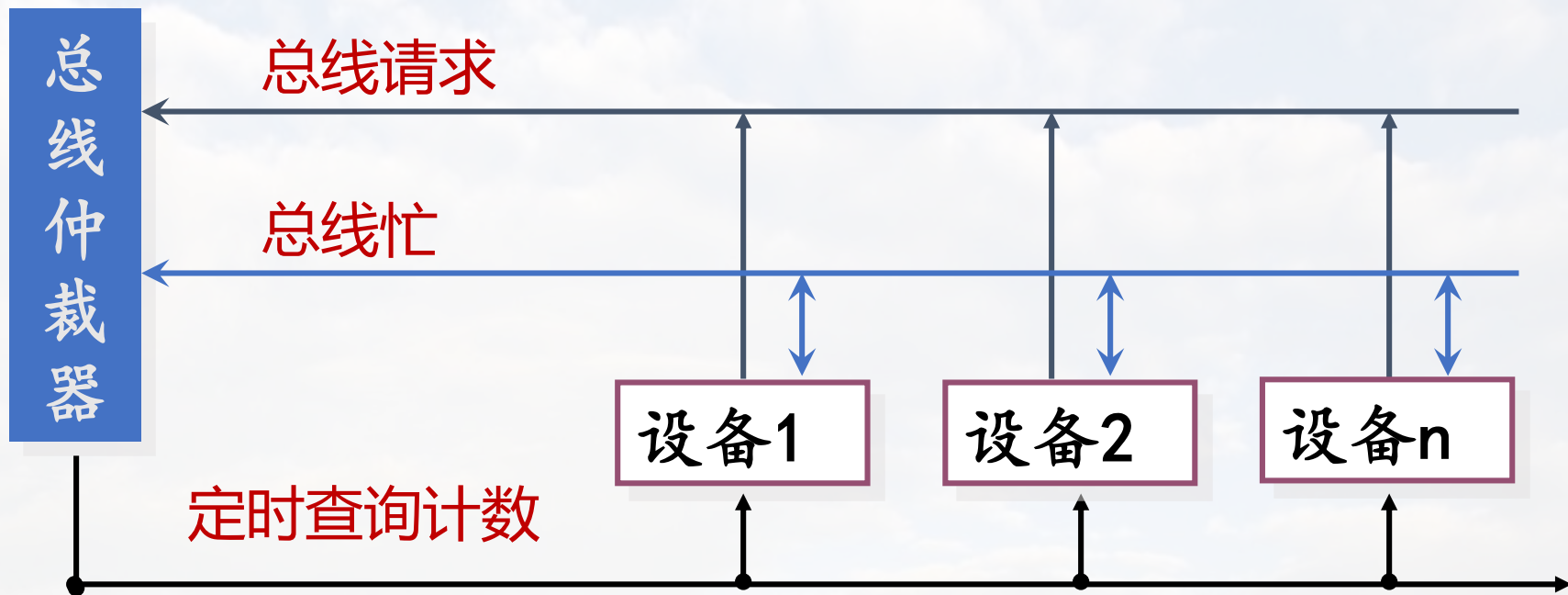
① 链式查询集中式总线仲裁



总线授权信号被依次串行地传送到所连接的外围设备上进行比较。

离总线控制器的逻辑距离决定，越近的优先级越高

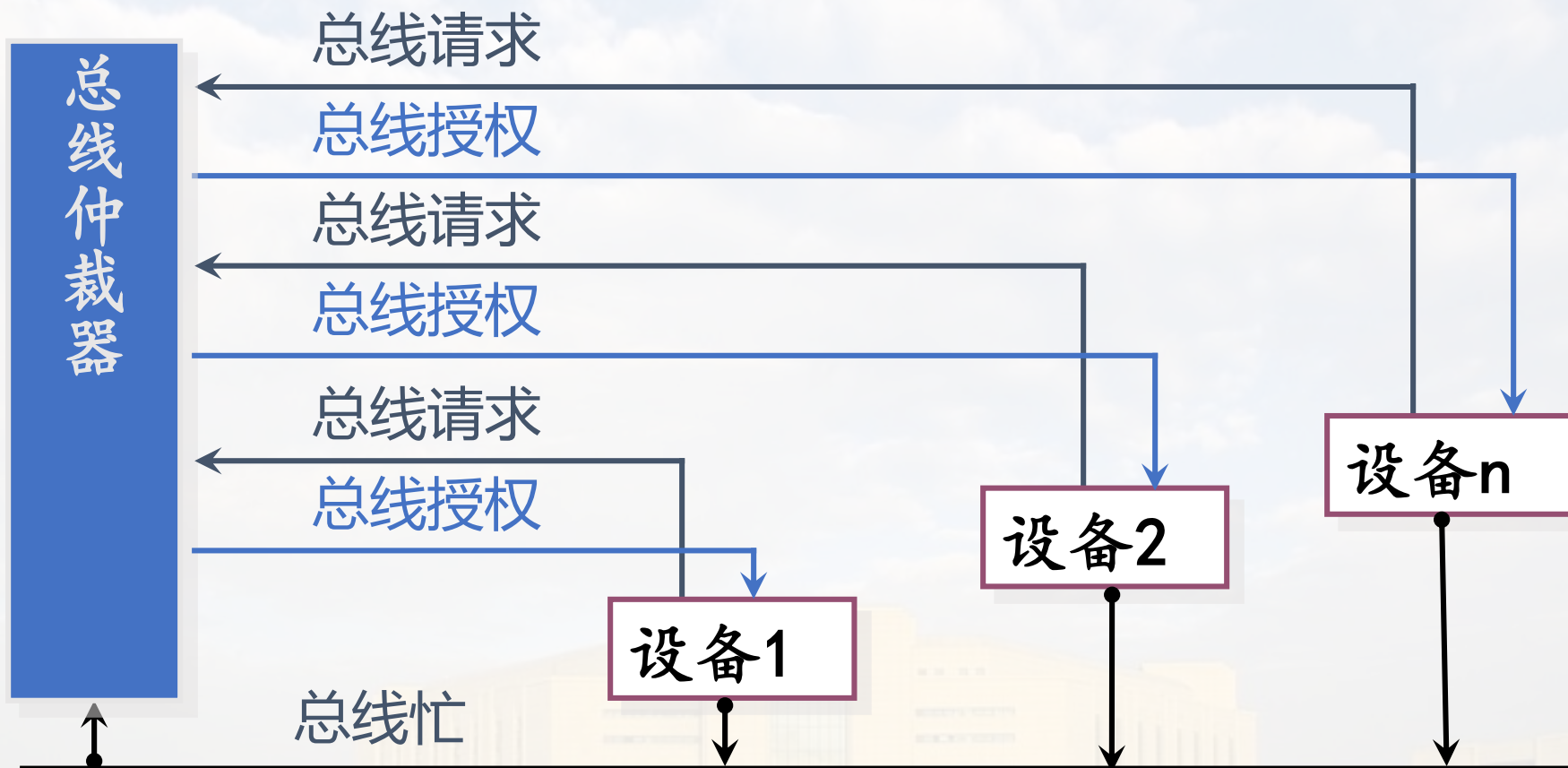
② 计数器定时查询方式总线仲裁



当查询计数器计数值与发出请求的设备编号一致时，中止查询，该设备获总线控制权。

优先级灵活：计数器初值、设备编号可通过程序设定，优先次序可用程序控制。

③ 独立请求方式总线仲裁

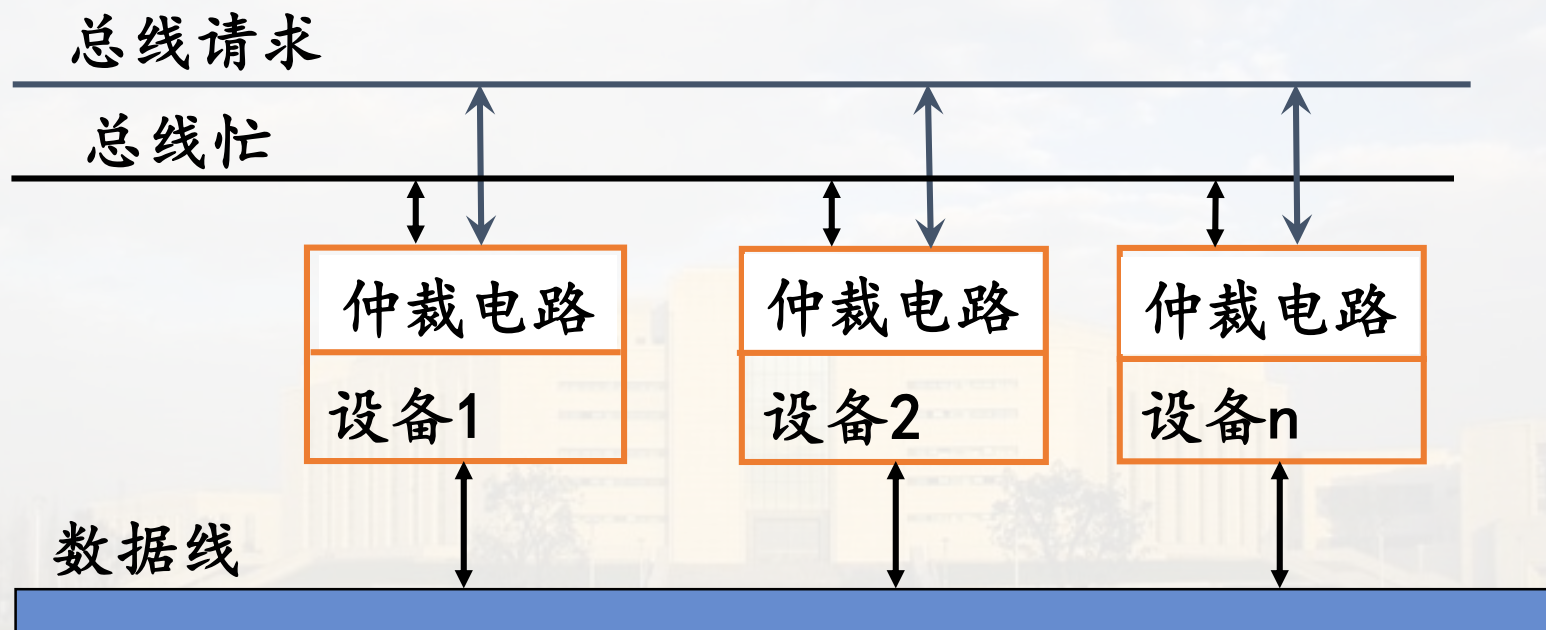


各设备均通过**专用**请求信号线与仲裁器连接，且通过**独立**的授权信号线接收总线批准信号。

2) 分布式仲裁

设备需要控制总线时，发请求信号，并监听其它请求信号，各设备能判别自己的优先级，以及能否在下一周期控制总线。

缺点：控制电路复杂；优点：防止总线时间浪费



补充讲解:CAN bus 总线的仲裁方式 (了解)

	S O F	10	9	8	7	6	5	4	3	2	1	0	R T R	
Node1											Listening			
Node2								Listening						
Node3														
Bus														

5、PCI总线介绍

外围组件互连(PCI, Peripheral Component Interconnect)

一种高性能的32位同步总线，地址信号和数据信号复用，可扩展至64位。Intel公司于1991年底提出，受到许多微处理器和外围设备生产商的支持。

PCI总线可以在主板上和其他系统总线（如ISA、EISA等）相连（通过桥接器），以分别适应高速和低速的外围设备。

PCI1.0:工作频率33MHz, 传输率为132MB/s;

PCI2.1:工作频率66MHz, 传输率为264/528MB/s;

PCI-X: 64位, 66/133MHz, 传输率高达1.06GB/s;

PCI-E 1.0: 串行, 2.5GHz时钟频率, 1x:双工可达512MB/s

2.0、3.0

PCI总线的信号组成

a. 必备信号

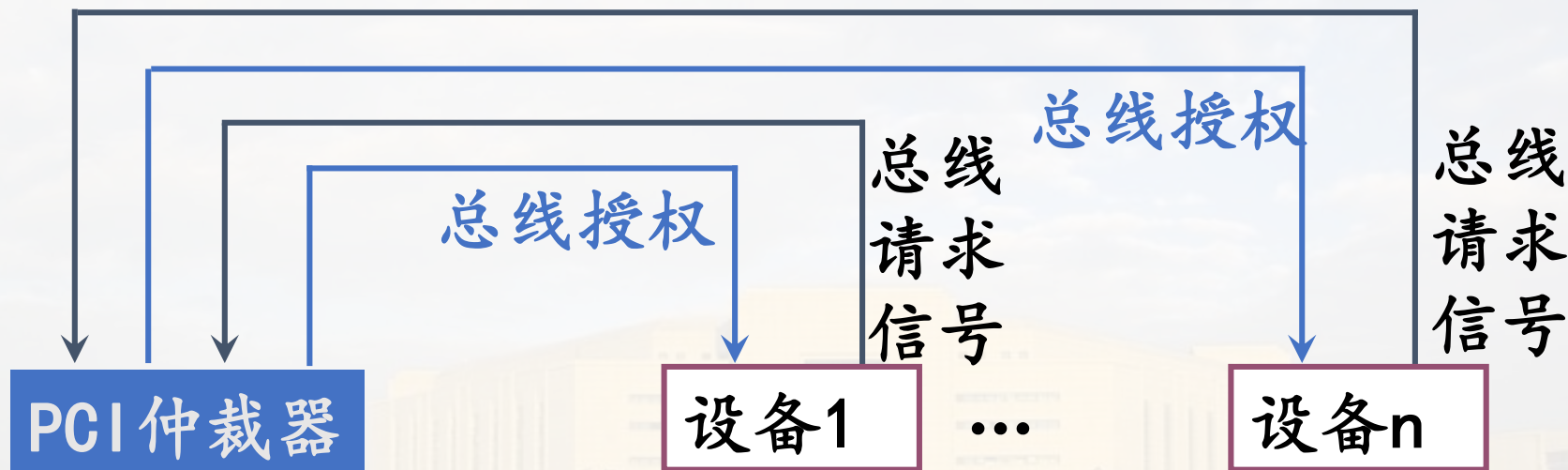
- ◆系统信号
- ◆地址和数据信号
- ◆接口控制信号
- ◆仲裁信号
- ◆错误报告信号

b. 可选信号

- ◆中断请求信号
- ◆高速缓存支持信号
- ◆64位总线扩展信号
- ◆JTAG边界扫描信号

PCI总线的仲裁

采用独立请求的集中式总线仲裁，如下图所示。





谢谢观看

计算机组成原理

2022/11/7

计算机组成原理--第五章 输入/输出系统



信息与软件工程学院

School of Information and Software Engineering