

第一套练习题

一、选择题（每小题 2 分，共 20 分）

- 计算机能自动连续工作的关键是（ ）。
 - 存储程序的工作方式
 - 以运算器为中心
 - 以存储器为中心
 - 采用 Cache、主存和辅存三级存储结构
- 某指令系统的指令字长为 12 位，每一地址码长 4 位，采用扩展操作码。若指令系统只有 8 条二地址指令，则最多有（ ）条一地址指令。
 - 32
 - 64
 - 128
 - 256
- CPU 从内存中获取的指令，是通过（ ）总线传送的。
 - 地址数据
 - 数据
 - 控制
 - 串行
- 加法器中第 i 位的进位产生函数 G_i 为（ ）。
 - $A_i B_i$
 - $A_i \oplus B_i$
 - $A_i \oplus B_i \oplus C_{i-1}$
 - $(A_i \oplus B_i) C_{i-1}$
- 存储器的随机访问方式是指（ ）。
 - 可随意访问存储器
 - 按随机文件访问存储器
 - 可对存储器进行读出与写入
 - 可按地址随机地访问任一编址单元，其访问时间相同且与地址无关
- 在对单管动态存储器进行读操作后，为保持存 1 的电容上电容量的稳定，因此，动态存储器随后应进行（ ）操作。
 - 重写
 - 刷新
 - 防止电荷泄露
 - 数据备份
- 在 8088 系统的 I/O 控制方式中，数据传送期间不需要 CPU 干预的是（ ）。
 - DMA 方式
 - 中断方式
 - 查询方式
 - 无条件传送方式
- 8088CPU 工作在最小模式时，若包含 $\overline{IO}/\overline{M} = \overline{0}$, $\overline{DT}/\overline{R} = \overline{0}$, $WR=1$, $RD=0$ 等几种主要时序信号控制的操作是（ ）。
 - 对存储器进行读
 - 对存储器进行写
 - 对 I/O 进行读
 - 对 I/O 进行写
- 8088 系统中，若 $DS=C000H$ ，则当前 DS 段可寻址的存储空间最大范围是（ ）。
 - $C0000H \sim C1FFFFH$
 - $C0000H \sim C3FFFFH$
 - $C0000H \sim C7FFFFH$
 - $C0000H \sim CFFFFFFH$
- 8088 系统中，20 位物理地址形成部件是（ ）。
 - ALU
 - EU
 - BIU
 - 总线控制逻辑

二、填空题（每空 2 分，共 10 分）

- 指令 $MOV \ X(R_0), -(R_1)$ 的长度 32 位，数据总线和地址总线均 16 位，则该指令从取指开始到执行完成共访问主存的次数是_____。

2. 某存储器是由容量相同的若干 DRAM 芯片构成（每块 DRAM 芯片内部为 256 行×128 列存储阵列），全部刷新一遍所允许的最大时间间隔为 2ms。若采用集中刷新方式，那么所有存储单元刷新一遍需要_____个刷新周期；若采用异步刷新方式，那么每间隔_____提出一次刷新请求。
3. 在 8088 系统的中断控制方式下，保护软现场是在_____时段实现的。
4. 8088 系统中，若堆栈初始化时 SP 指针指向单元的物理地址是 20000H 单元，则堆栈栈底首址的物理地址是_____。

三、判断题（每小题 1 分，共 10 分）

1. 在 8088 系统的寻址方式中：寄存器寻址速度>立即寻址速度>直接寻址速度。（ ）
2. 串行加法器的进位信号是通过串行链逐位形成的，并行加法器的进位信号是同时形成的。（ ）
3. 中断周期结束后，CPU 应进入主程序的下一条指令取指周期。（ ）
4. 在中断方式中，数据传送由中断控制器控制。（ ）
5. 扩展同步总线是指允许时钟周期数可变。（ ）
6. DMA 控制方式下，外设传送信息到内存，其传送途径为外设→CPU→内存。（ ）
7. 微程序控制方式下，微程序存放在主存中。（ ）
8. CPU 访问主存储器的时间是由存储体的容量决定的，存储容量越大，访问存储器所需要的时间就越长。（ ）
9. 在 8088 系统中，程序类控制指令能改变指令执行顺序，执行这类指令时，CS 和 IP 的值都将发生变化。（ ）
10. 在 8088 系统的过程调用中，需用 IRET 指令返回调用的主程序。（ ）

四、计算题：（每小题 6 分，共 18 分）

1. 若 IEEE754 短浮点数格式为 (C0780000)₁₆，求其真值。（6 分）
2. 在 8088 系统中，设 8259A 采用普通屏蔽方式，固定优先级方式（各中断源的优先级从低到高的顺序为 IR7, IR6...IR0）。在某时刻中断屏蔽寄存器 IMR=10010010B，中断请求寄存器 IRR=10100110B（IRR 中低位对应 IR0），中断服务寄存器 ISR=01000000B，初始化命令字 ICW2=00001000B。试回答以下问题：（6 分）

（1）有中断请求的是哪几个中断源？

（2）8259A 与 8086CPU 连接，CPU 将响应哪一个中断源的请求？该中断源的中断服务程序入口在中断向量表中的偏移是多少？

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
T ₇	T ₆	T ₅	T ₄	T ₃	×	×	×
中断向量码高 5 位					中断源序号 (IR _n)		
初始化命令字 ICW2					000	IR ₀	
					001	IR ₁	
					⋮		
					111	IR ₇	

3. 读程序段：（6 分）

DATA1 SEGMENT

ORG 04H

NUM DB 25H

ARRAY DW 10H DUP(0)

ADR1 DW NUM

ADR2 DD NUM

ADR3 DD ARRAY[3]

DATA1 ENDS ; 定义数据段

设上述语句所在段的段基址为 0100H, 则存储单元:

NUM= _____, ADR1= _____ (各 1 分)

ADR2= _____ (低 2 个字节), _____ (高 2 个字节) (各 1 分)

ADR3= _____ (低 2 个字节), _____ (高 2 个字节) (各 1 分)

五、模型机设计题：（15 分）

模型机中 CPU 组成: 用 SN74181 构成的 ALU 一个, 选择器 A、B, 移位器, 通用寄存器 $R_0 \sim R_3$, 暂存器 C、D; 指令寄存器 IR, 程序计数器 PC; 地址寄存器 MAR, 数据缓冲寄存器 MDR, 堆栈指针 SP 等; CPU 内单向数据总线一组。

1. 画出一种 CPU 数据通路框图 (寄存器级); (5 分)

2. 请分析下列操作时间表, 回答以下问题 (注: 上述操作时间表中, 省去了周期转换所需电平和脉冲信号)。 (10 分)

FT0: EMAR, R, SIR

PC \rightarrow A, A+1, DM, CPPCST0: PC \rightarrow A, 输出 A, DM, CPMAREMAR, R, SMDR, MDR \rightarrow B, 输出 B, DM, CPCPC \rightarrow A, A+1, DM, CPPCC \rightarrow A, R0 \rightarrow B, A+B, DM, CPMAREMAR, R, SMDR, MDR \rightarrow B, 输出 B, DM, CPCDT0: R1 \rightarrow A, 输出 A, DM, CPMARET0: C \rightarrow A, 输出 A, DM, CPMDR

ET1: EMAR, W

ET2: PC \rightarrow A, 输出 A, DM, CPMAR

(1) 每个节拍中的微命令序列对应的操作是什么?

(2) 写出该操作时间表所实现的指令。

六、存储器设计题（12 分）

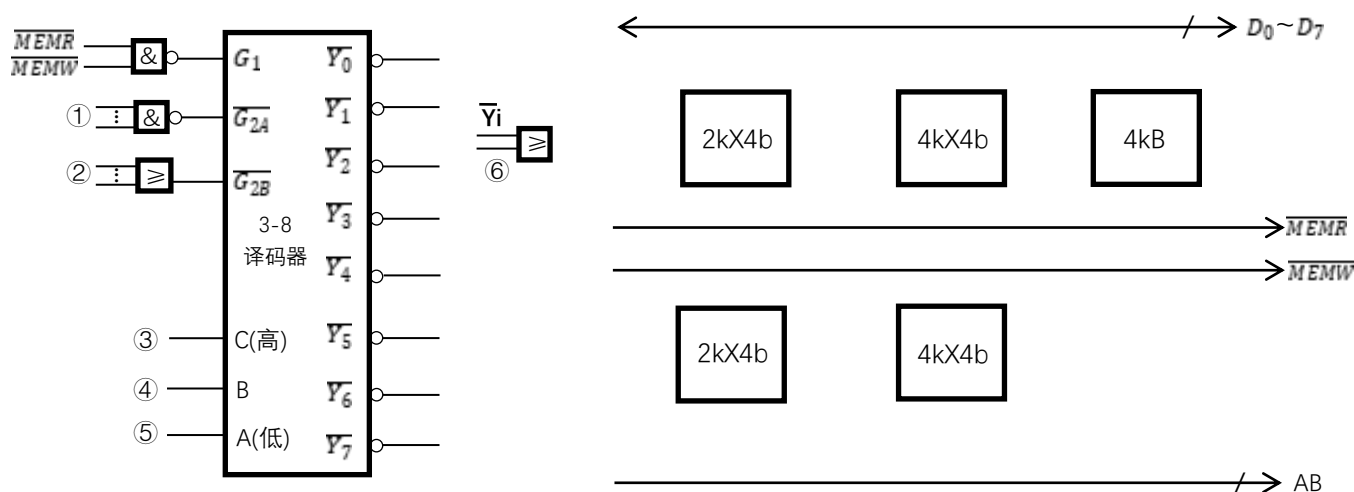
假设对存储器访问共有 20 位地址线 $A_{19} \sim A_0$ (低位), 8 位数据线 $D_7 \sim D_0$ (低位), 用 $\overline{\text{MEMR}}$ 、 $\overline{\text{MEMW}}$ 作为读写控制信号 (低电平有效), 片选信号 CS (低电平有效)。现有 $2K \times 4b$ SRAM: 2 片、 $4K \times 4b$ SRAM;

2 片、4KB SRAM：1 片，以及 1 片 74LS138 译码器、3 个与门、1 个或门电路，要求在不增加其它部件的前提下，按照 2K×4bSRAM（2 片）的地址范围是 F0800H~F0FFFH, 4K×4bSRAM（2 片）的地址范围是 F2000H~F2FFFH, 4KBSRAM（1 片）的地址范围是 F7000H~F7FFFH，要求：

1. 请完善下面存储器逻辑设计图中的片选信号、地址线、数据线、 \overline{MEMR} 及 \overline{MEMW} 等的连接

（注：①--⑥均为地址线）； （9 分）

2. 写出每组芯片 CS 的片选逻辑表达式。 （3 分）



七、编写程序段或完整程序题（共 2 小题，共 15 分）

1. 试编写一完整源程序：数据段中 BUFFER 数据区存放有 16 个无符号字节数，编程将其中第 2、5、9、14、15 个字节内容加 5，其余字节内容乘 3（假定运算不会溢出）。设数据段中相应的定义如下： （8 分）

BUFFER DB 12, 18, 34, 57, 7, 21, 60, 41, 40, 30, 10, 20, 3, 10, 27, 42

注：该题要求编写完整的数据段、堆栈段及代码段的定义，以及程序结束并返回操作系统的语句。

2. 试编写程序段：若接口 03F8H 的第 2 位 (D_2) 和第 5 位 (D_5) 同时为 1，表示接口 03FCH 有准备好的 8 位数据，当 CPU 将数据取走后， D_2 和 D_5 就不再同时为 1 了，仅当又有数据准备好时才能再同时为 1。从上述接口读入 100 字节的数据，并顺序存放在 BUFFER 开始的地址中。 （7 分）