

一.

为了支持 NAND Flash 的 boot loader, S3C2440A 配备了一个内部的 SRAM 缓冲器名为“Steppingstone”。

启动时, NAND Flash 上的前 4KByte 字节将被装载到 Steppingstone 中, 并且装载到 Steppingstone 上的启动代码会被执行。

一般情况下, 启动代码会拷贝 NAND Flash 上的内容到 SDRAM 中, 在引导代码执行完毕后就跳转到 SDRAM 执行。

二.

(1) 正常模式: 功率管理模块向 CPU 和所有外部设备提供时钟。这种模式下, 系统功率将达到最大。

(2) 低速模式: 低速模式直接使用外部时钟 (XTIPLL 或者 EXTCLK) 作为 FCLK, 没有使用 PLL 产生的时钟。这种模式下, 功率仅由外部时钟决定。

(3) 空闲模式: 仅关掉 FCLK, 停止为 CPU 提供时钟信号, 而继续提供时钟给其他外设。

(4) 掉电模式: 功率管理模块断开内部电源, 因此 CPU 和除唤醒逻辑单元以外的的外设都不会产生功耗。要执行掉电模式需要有两个独立的电源, 其中一个给唤醒逻辑单元供电, 另一个给包括 CPU 在内的其他模块供电。在掉电模式下, 第二个电源将被关掉。

三.

DMA 的主要优点是: 可以不通过 CPU 的中断来实现数据的传输, DMA 的运行可以通过软件或者通过外围设备的中断和请求来初始化。

四种情况:

(1) 源设备和目标都在系统总线 AHB 上;

(2) 源设备和目标都在外围总线 APB 上;

(3) 源设备在系统总线, 而目标设备位于外围总线;

(4) 源设备在外围总线, 而目标设备位于系统总线。

四.

主要区别如下:

在一次传输结束时, DMA 检查 DMA 请求信号的状态。

在需求模式下: 如果 DMA 请求信号仍然有效, 则传输马上再次开始, 否则等待;

在握手模式下: 如果一次传送结束, DMA 的请求信号还是有效的, 那 DMA 控制器, 不会进行下一次传送, 而是要等待, 直到 DMA 请求信号变得无效后, 下一次请求到来时, 才能进行新的一次传输。每请求一次传输一次。

五.

自动加载模式: 自动加载模式使能时, 当 TCNTn 的值到 0 时, 自动加载操作复制 TCNTBn 的值到 TCNTn 中。但是如果自动加载模式没有使能, TCNTn 将不进行任何操作。

双缓冲模式: 脉宽调制定时器有一个双缓冲功能, 在这种情况下, 改变下次加载值的同时不影响当前定时周期。因此, 尽管设置一个新的定时器值, 当前定时器的操作将会继续完成而不受影响。

六. (1) 汇编代码:

```
LDR R1, =0x4A000000
MOV R2, #0x800
STR R2,[R1]
LDR R1, =0x4A000010
STR R2,[R1]
```

(2) C 代码:

```
SRCPND = (1 << 11);
INTPND = INTPND;
```

七. 指令如下:

```
LDR R3,=0x4A000008
LDR R4,[R3]
ORR R4, R4, #0x100
STR R2,[R3]
```