



计算机组成原理

第三章 中央处理器

2023/9/25



信息与软件工程学院

School of Information and Software Engineering

CPU的基本结构

功能部件

部件之间的数据通路

CPU的设计方法

模型机处理器 (CISC)

MIPS32处理器 (RISC)



主要内容

- 1 CPU概述
- 2 模型机的总体设计
- 3 算术逻辑运算部件
- 4 模型机的组合逻辑控制器
- 5 模型机的微程序控制器



3.1 CPU概述

- **01. CPU的基本结构**

- **02. CPU的工作原理**

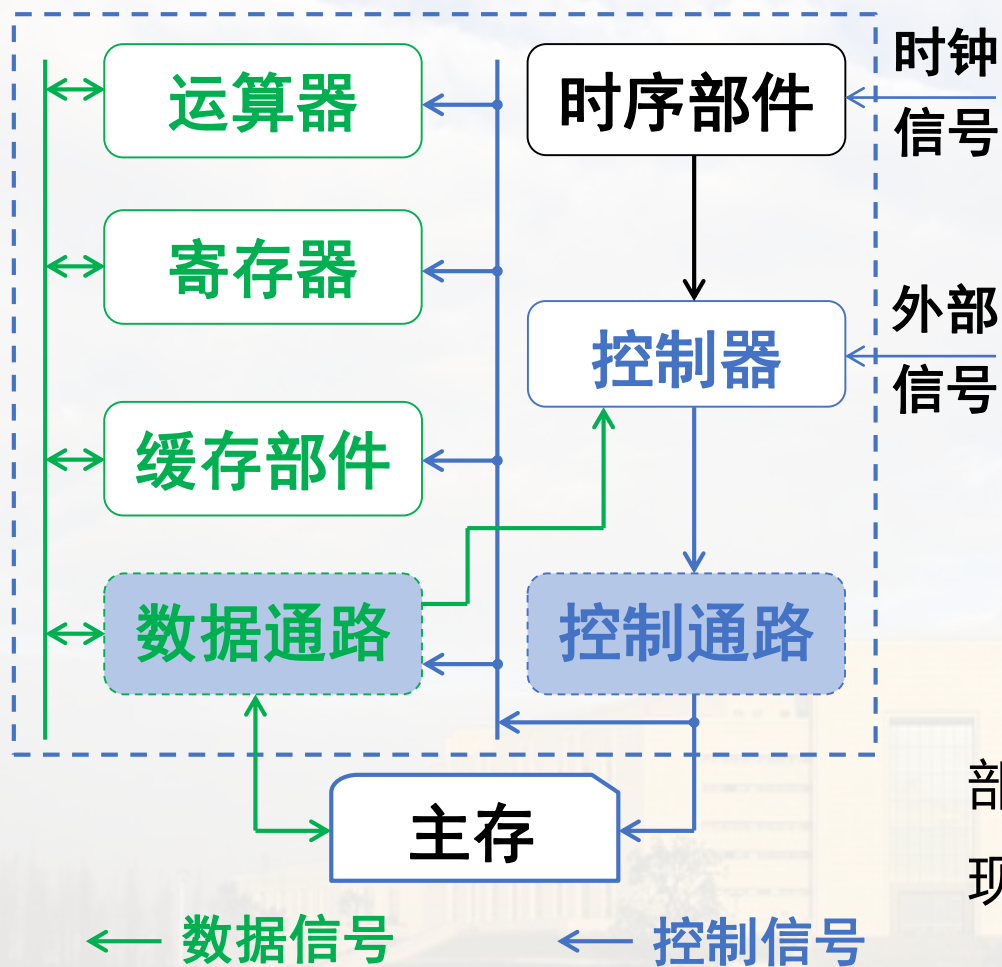
- **03. 主机与外部的数据通路与信息传送控制方式**

- **04. 时序控制方式与时序系统**

- **05. 同步控制的时序系统**

一、CPU基本结构

1、总体结构模型



①时序系统

②控制部件

③缓存部件

④寄存器(堆)

⑤运算部件

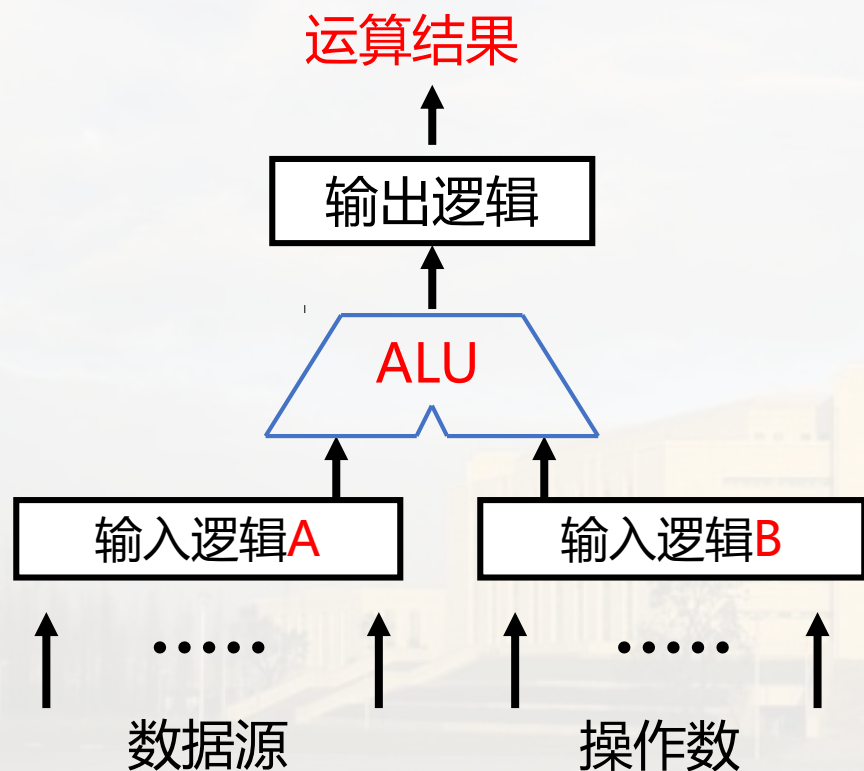


部件通过**数据/控制**通路互连，实现信息**交互**，形成CPU的硬件架构
→CPU的微架构

2、CPU的主要功能部件

(1)运算部件

对操作数进行运算，主要是算术运算/逻辑运算



算术/逻辑运算部件ALU

设置一个ALU，完成基本的加减运算，复杂运算由软件完成；

输入逻辑：选择器或暂存器

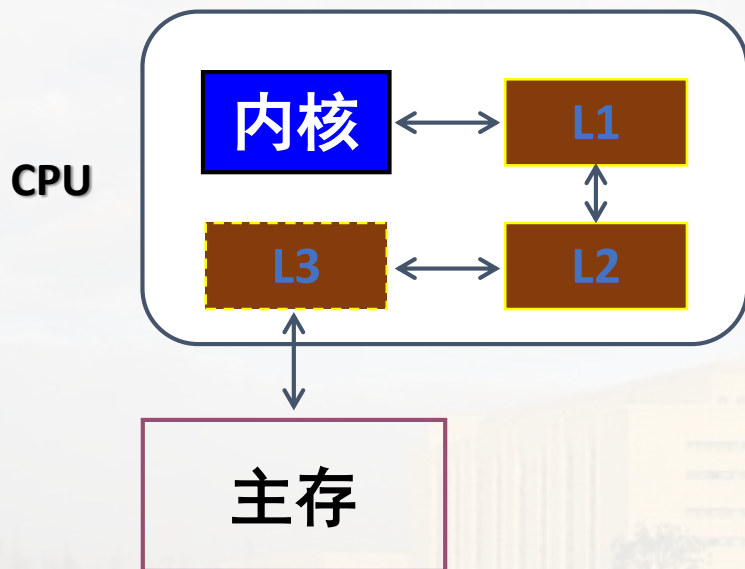
输出逻辑

直送、左右移位、字节交换等

(2)缓存部件

为提高CPU从主存中读取指令/数据的效率，在CPU内部集成了多级缓存部件。

[作用]缓存从主存中读取的部分指令/数据



程序的执行具有局部性
提前把需要的指令数据调入缓存

L1、L2和L3就是缓存部件

(3)寄存器组(堆)

存储各种用途的数据信息。

[部件选用]一般用小容量的**多端口存储器**来构成寄存器组，其中1个存储单元作为1个寄存器。



基本类型如下：

①通用寄存器：多个

指可**通过程序访问**、具有多种用途的寄存器,每一个通用寄存器有唯一编号与之对应。

[功能]存放数据(原始数据、中间结果、最终结果等),也可以存放地址进行间接寻址、变址寻址等。

②暂存器

[特征]多个，暂存器不能通过程序访问，也没有编号

[主要用途]存放指令执行过程中的中间信息，这些信息**对编程者透明**。比如

(1)从一个主存单元读数据存到另一个单元，有以下过程

单元→暂存器→单元；

(2)为运算器两个输入端提供数据，分两次将操作数送往两个不同的暂存器。

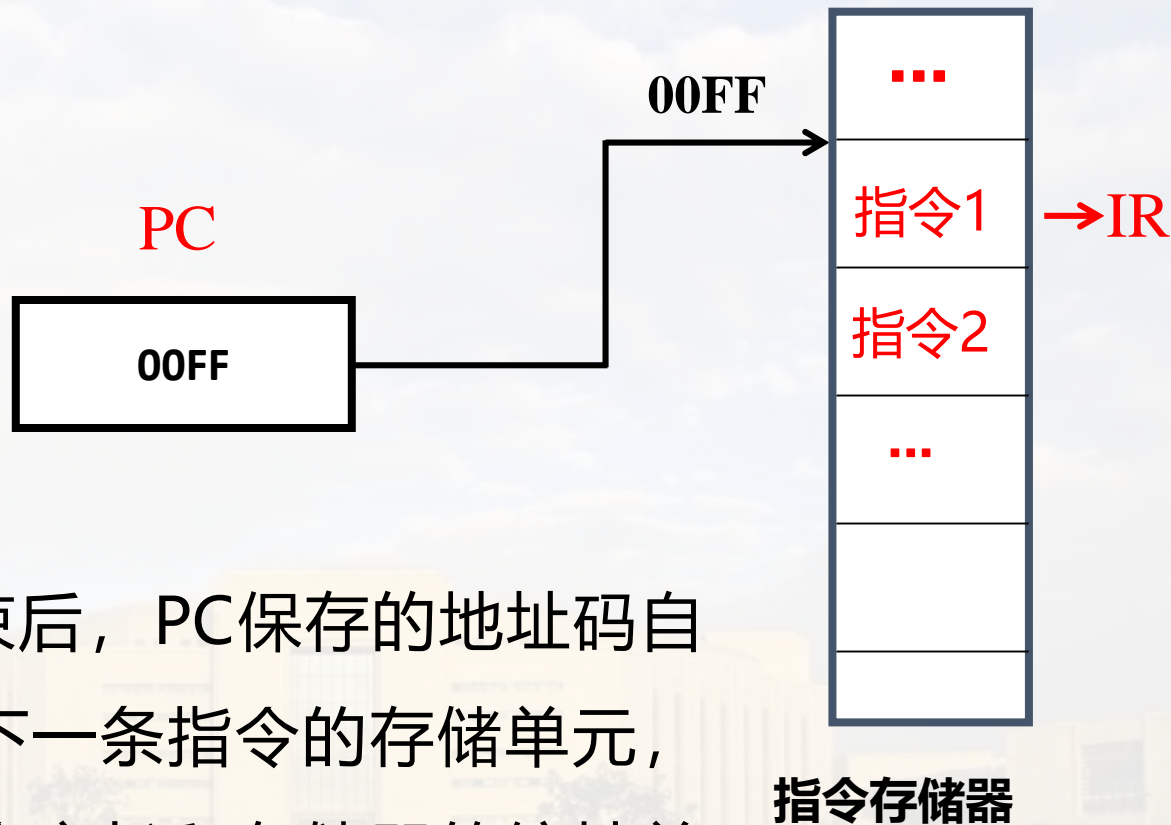
③指令寄存器 (IR)

[主要用途]只有1个，用于**存放指令代码**。

从存储器(或者指令缓存)中读取到指令以后，就直接存入到指令寄存器中。

④程序计数器 (PC)

[主要用途]仅1个，用来指明指令在存储器中的存放位置，即存储单元的地址码。



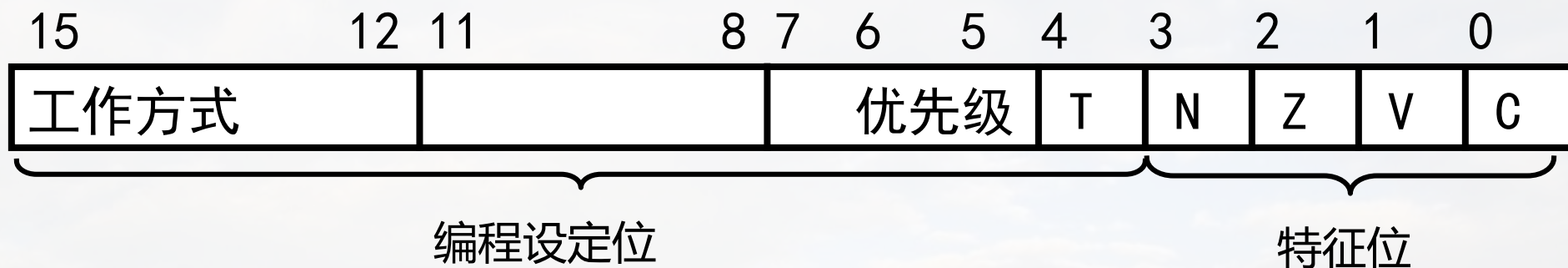
[注意]取指令结束后，PC保存的地址码自动修改，以指向下一条指令的存储单元，修改量取决于指令字长和存储器的编址单位。

一、CPU基本结构

⑤程序状态字寄存器 (PSW)

【主要用途】仅1个，记录现程序的运行状态和程序的工作模式。

【例】模型机的PSW



❖ PSW-特征位

也叫**标志位**，反映CPU的当前状态。

指令执行时，根据情况自动设置这些特征位，作为后续操作的判断依据。

进位位C:

指令执行后,若结果产生进位,则将C置为1,否则置0;

溢出位V:

如果运算结果产生溢出,则将V置为1, 否则置0;

零标志Z:

如果运算结果为0,则将Z置为1, 否则置0;

正负标志N:

如果运算结果为负, 则将N置为1, 否则置0;

奇偶标志P:

如果运算结果中1的个数为奇数, 将P置为1, 否则置0;
(Intel80×86的规定与此相反)

以上标志位的状态是由指令执行的结果决定的。

❖ PSW-编程设定位

PSW中某些位或字段可通过程序来设定，以决定程序的调试、对中断的响应、程序的运行模式等。

跟踪位T	允许中断I	程序优先级P	运行模式
------	-------	--------	------

跟踪位T: 称为**断点标志**, 主要用于程序调试。

如果编程时, 将T置为1, 且在程序中安排一条测试指令,
当程序执行到该测试指令时, 程序将转入跟踪程序。

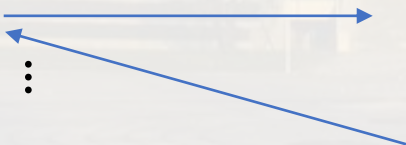
程序

初始化置T为1

⋮

测试T

跟踪程序



中断允许标志或程序优先级字段:

- **中断允许标志I(或TI)**: 根据当前运行程序与外部中断的紧要程度, 处理器通过对该标志的设置, 决定是否响应中断请求。
- 为每一程序和中断请求设置优先级, 仅当中断请求的优先级高于正在执行的程序的优先级, 才响应中断请求。
(在微型计算机中, 一般采用前一种方式)

工作方式

规定程序的**特权级**。

用户态: 禁止程序执行某些指令

核心态: 允许程序执行所有指令

PSW在CPU中, 反映程序运行状态; 控制/状态字在接口中, 反映CPU命令、设备状态。

⑥地址寄存器 (MAR)

[主要用途]

只有1个，读写存储器时，先要定位存储单元，因此设置MAR来存放目标单元的地址码。

先将有效地址送入MAR，再启动后续的读写操作。

⑦数据缓冲寄存器 (MBR)

[主要用途]

只有1个，过渡性地存放CPU与主存之间交换的数据。

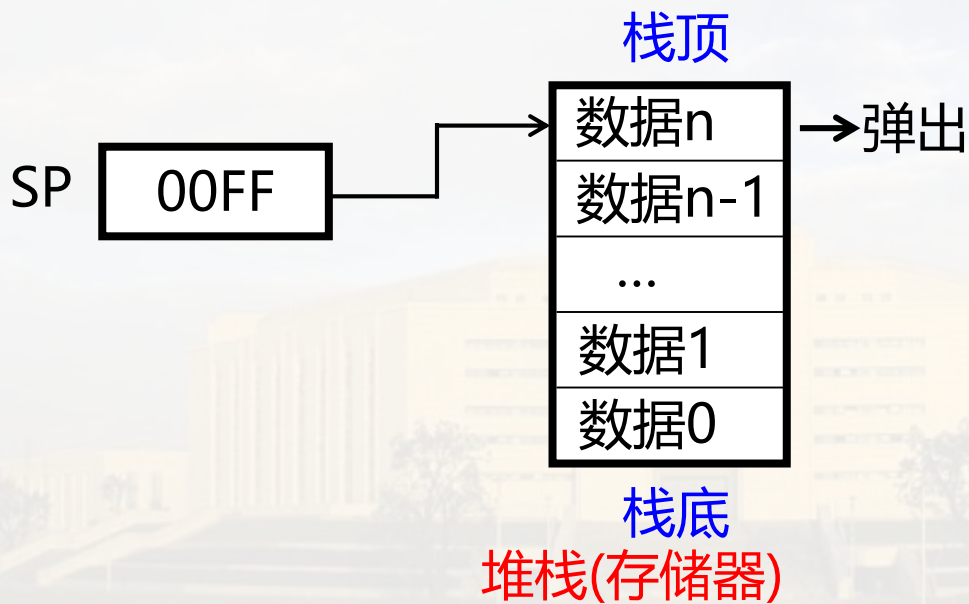
无论是从主存读取的数据，还是写入到主存的数据，都要经过MBR。

⑧堆栈指针 (SP)

[主要用途]

仅1个，固定存放堆栈的**栈顶单元的地址码**。

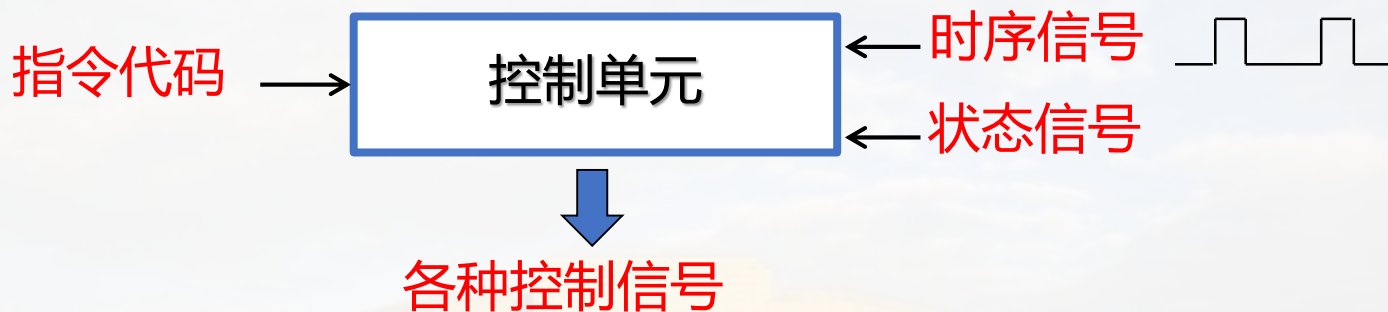
根据这个地址码，去读写**堆栈**。



(4)控制器

[主要作用]

根据指令、时钟信号、外部信号等信息，产生各种控制信号(微命令)，以便控制各种功能部件协同工作，完成指令的功能。



根据产生微命令的方式，有两类控制单元：

①组合逻辑控制器

组合逻辑硬件电路→控制信号

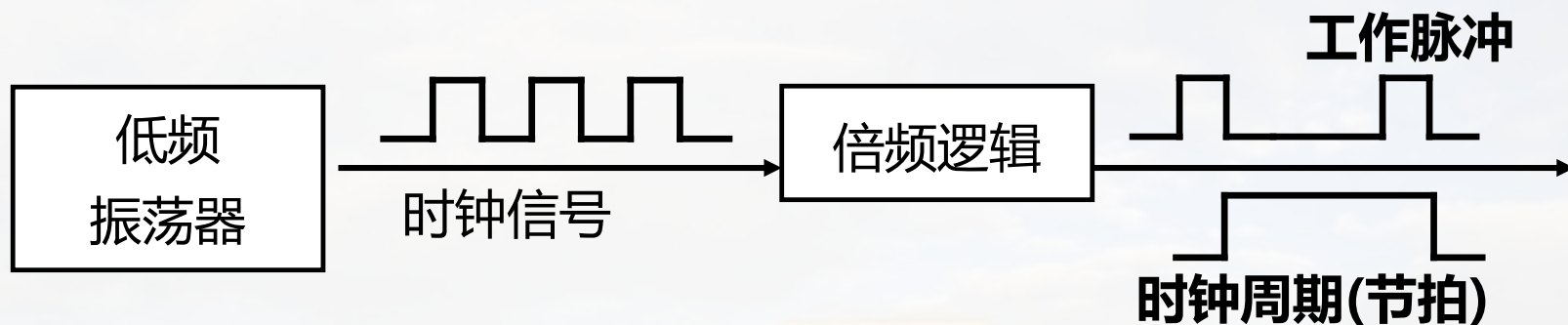
②微程序控制器

微程序译码→控制信号

(5)时序系统

[时序信号]周期、节拍、脉冲等**频率型**信号序列

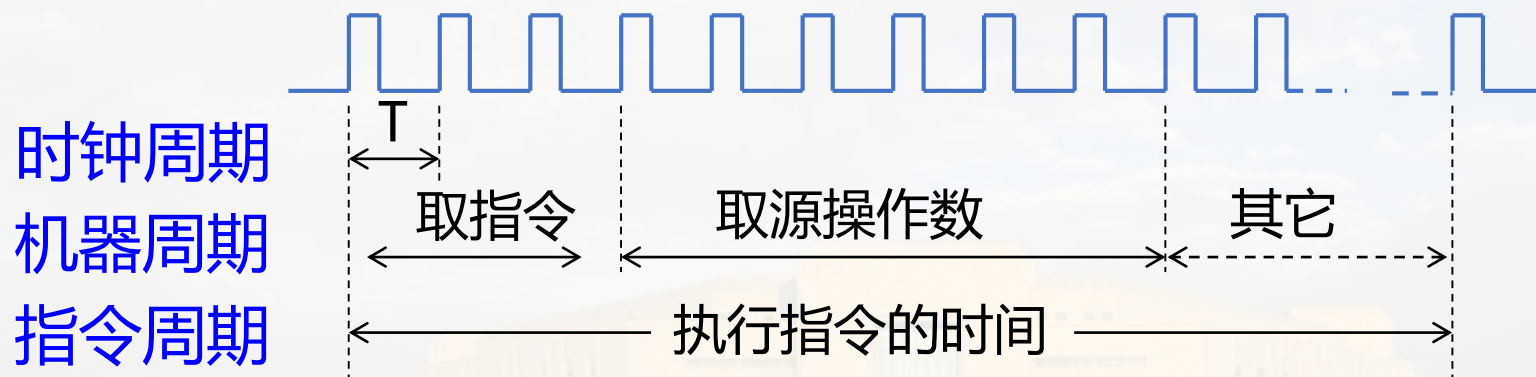
[时序系统]产生时序信号的部件，由**1个低频振荡器**和**倍频逻辑**组成



低频振荡器：它是一个低频脉冲源，能输出固定频率的基准脉冲信号(**外频**)，作为系统时钟信号。

系统时钟信号经过倍频放大以后，产生执行指令所需要的各种时序信号：

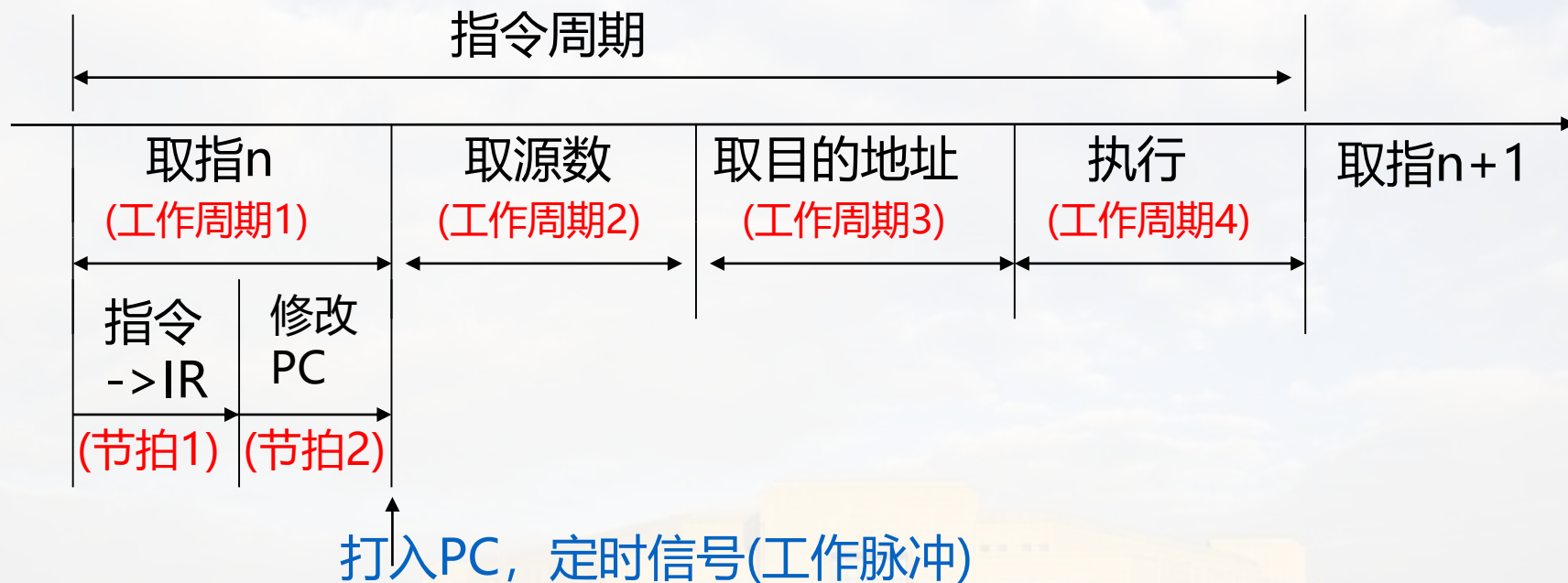
- ① **节拍信号**，即CPU**时钟周期**信号；
- ② **工作周期信号**，即**机器周期**信号；
- ③ **指令周期**信号。



指令周期包括若干(≥ 2)**机器周期**。

机器周期包括若干(≥ 1)**时钟周期**。

指令操作分为取指、取数、执行等阶段,每个操作阶段又分为若干步, 如打入IR、PC等。



工作周期 (机器周期) : 操作阶段的时间。

时钟周期 (节拍) : 执行一步操作的时间

工作脉冲: 对操作进行定时控制

3、CPU内部的数据通路的结构

CPU内部由许多部件构成, 就数据信息的传送, 需要为数据的传送提供(设计)传送的通路(即通信线路)。

问题: 如何设计数据通路?

- 寄存器中的数据怎样送往ALU?
- ALU的结果怎样送往寄存器?
- 寄存器之间的数据如何传送等?

不同功能、性能的处理器的数据通路是不同的。

总体来说, 有两种典型的数据通路结构: **单总线通路**和**多总线通路**。

● 单总线通路

- 设置**一组**数据通信总线, 所有数据传送均通过该总线进行;
- 结构简单、但不能实现多组数据并发(并行传送);

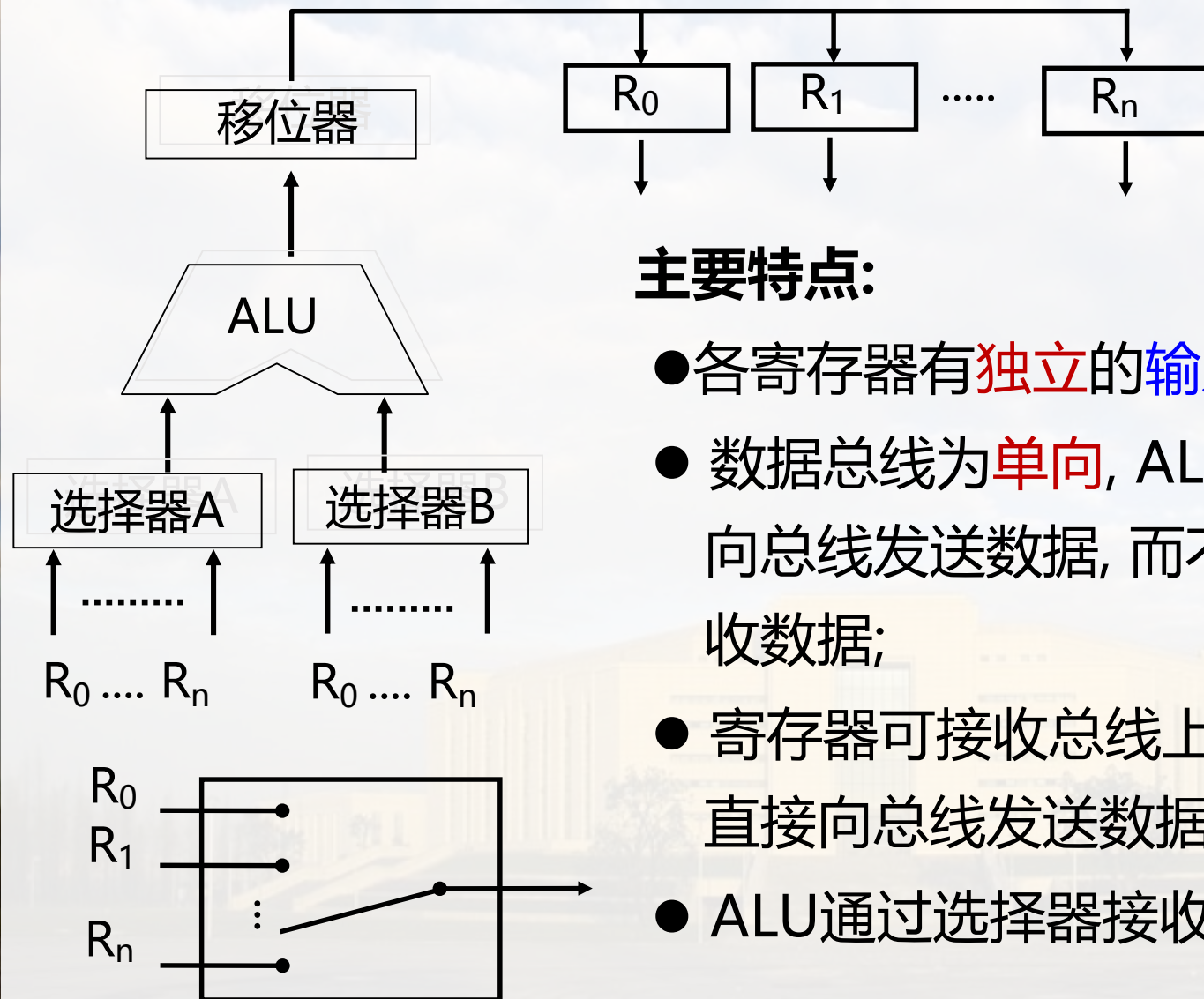
● 多总线通路

- 设置**多组**数据通信总线, 可实现不同数据在不同的通路上传送;
- 结构复杂、但能实现多组数据**并行传送**;

不同结构即是在复杂性与**性能之间的选择。**

一、CPU基本结构

(1) 单组内总线、分离(立)的寄存器结构



主要特点:

- 各寄存器有**独立**的**输入**口和**输出**口
- 数据总线为**单向**, ALU只能通过移位器向总线发送数据, 而不能直接从总线接收数据;
- 寄存器可接收总线上的数据, 但不能直接向总线发送数据;
- ALU通过选择器接收寄存器的数据。

一、CPU基本结构

— 根据上述特点, 有以下数据通路完成相应功能:

① 寄存器 → 运算器

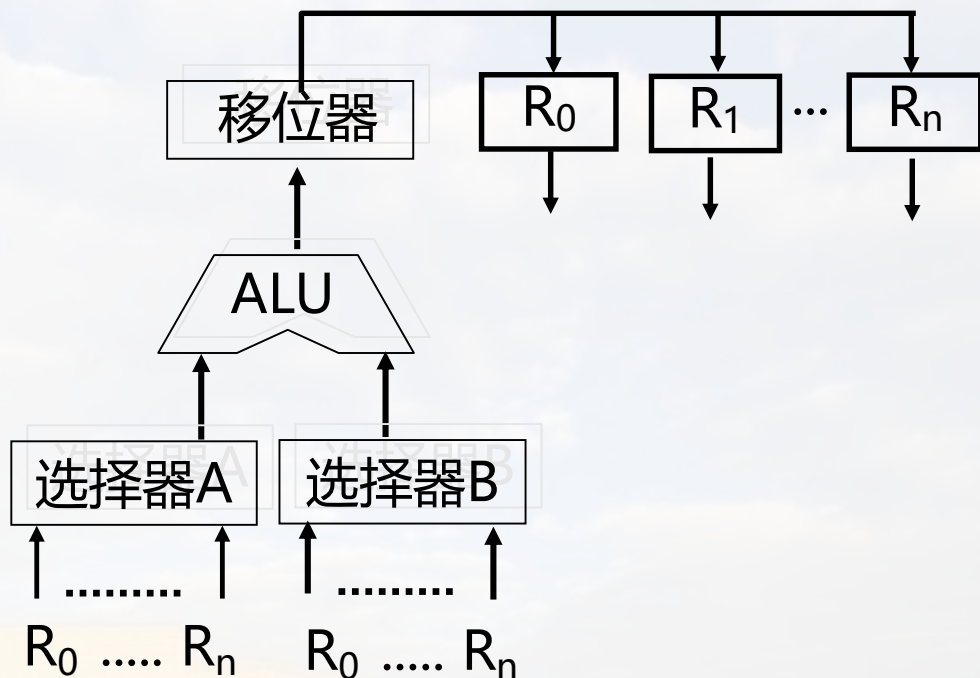
寄存器 → 选择器 → 运算器
(选择控制信号)

② 运算器 → 寄存器

运算器 → 移位器 → 寄存器
(移位控制信号、打入脉冲)

③ 寄存器 → 寄存器

寄存器 → 选择器 → ALU →
移位器 → 寄存器



— 需要的主要控制信号

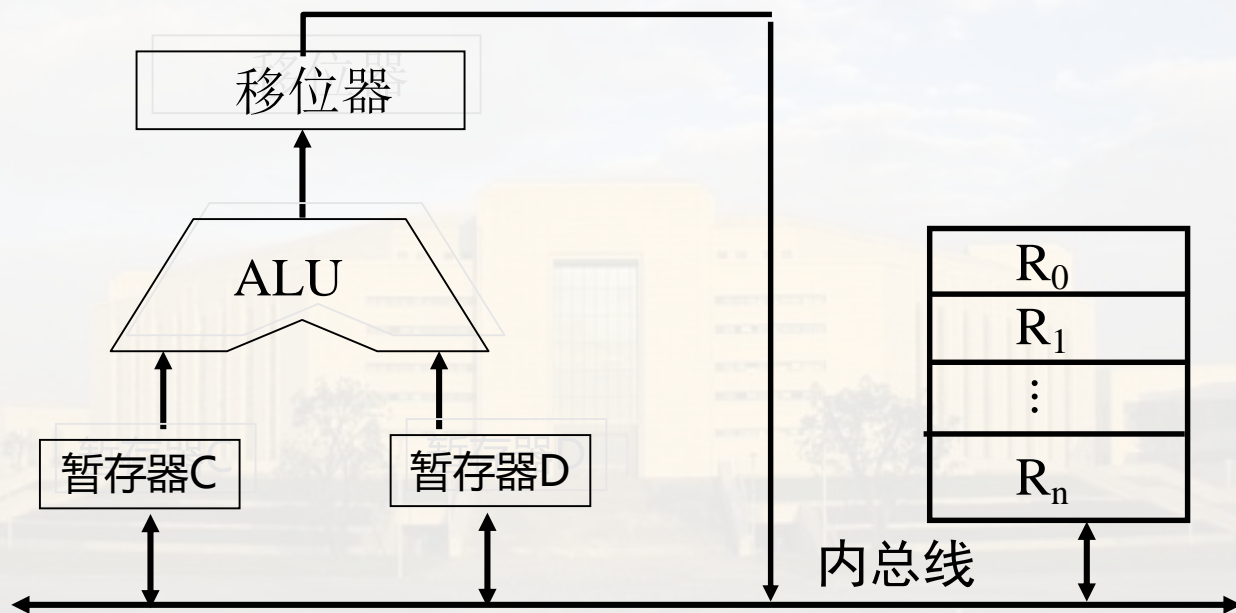
- 寄存器输入选择信号 (A、B)
- ALU功能选择 (输出)
- 移位器功能选择信号 (直传、移位)
- 寄存器打入脉冲

这是一种以ALU为中心的
单总线结构

(2) 单组内总线、集成寄存器结构

- 与第一种方式的主要区别在于寄存器的结构
- CPU内部集成小型的存储器, 存储器的每一个单元作为一个寄存器使用(称为**寄存器组**)
- 一组**双向**数据总线连接ALU和寄存器组
- **暂存器**取代了(独立寄存器结构中的)**选择器**

结构图:



主要特点:

- **数据总线为双向**, 运算器ALU既能向总线发送数据, 也能直接从总线接收数据(由**暂存器接收**);
- 各寄存器可从总线接收和向总线发送数据;

— 完成 $R_0 + R_1 \rightarrow R_2$, 步骤如下:

- $R_0 \rightarrow$ 内总线 \rightarrow 暂存器C
- $R_1 \rightarrow$ 内总线 \rightarrow 暂存器D
- 执行加法
- 相加结果经移位器(直送) \rightarrow 内总线
- 内总线 $\rightarrow R_2$

(3) 多组内总线结构

CPU内部设置多组总线,用于传输不同类别的信息（地址信息、数据信息、指令信息）。即在一个时钟周期内，可以**并行地**实现不同数据通路传送操作。

1、主要功能

- ✓处理指令-控制指令的执行顺序;
- ✓执行操作-产生控制信号控制部件工作;
- ✓控制时间-控制各步操作的时序;
- ✓数据运算-算术和逻辑运算;

2、执行指令的流程

- ✓读取指令-从存储器中读取;
- ✓指令译码-通过控制器进行、产生控制信号;
- ✓指令执行-寻址、取数、运算;
- ✓后续工作-保存结果、响应外部请求等;

主机与外设的连接模式 { 辐射型
总线型
通道型

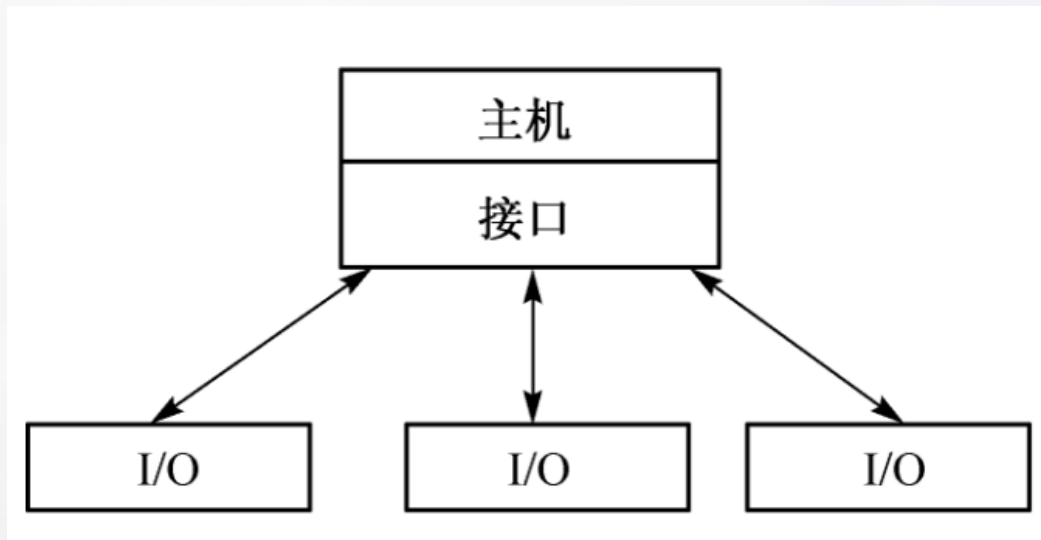
对信息传送的控制方式 { 直接程序传送方式
程序中断方式
直接存储器访问方式 (DMA)

1、主机与外围设备的连接方式

① 辐射型（星型）

定义：主机与各外围设备间有单独的数据通路。

结构图：

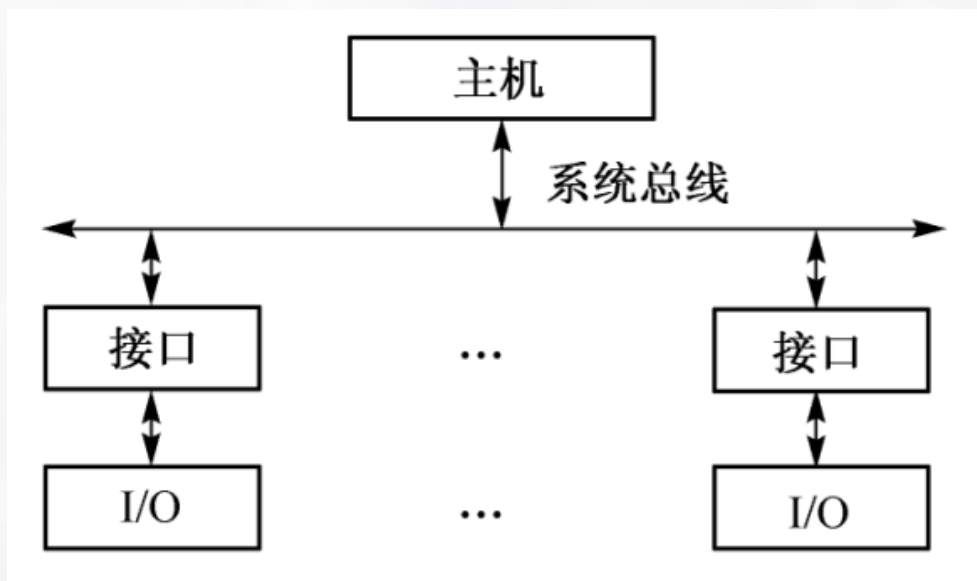


特点：速度较快，但不易扩展。

② 总线型

定义：各外设通过各自接口直接与公共的系统总线相连。

结构图：

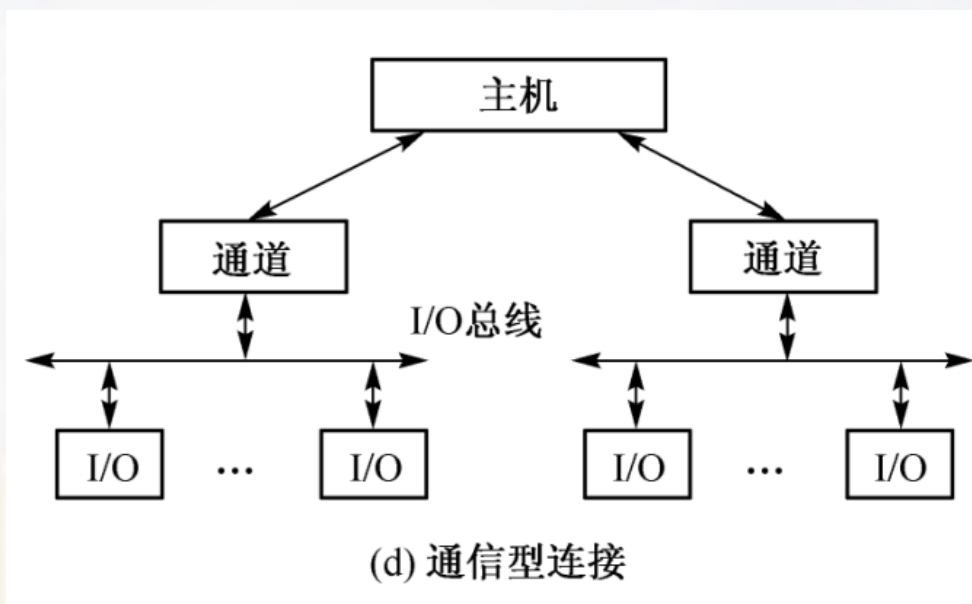


特点：结构简单，易扩展，但如果整个系统只有一组系统总线时，信息吞吐量有限，且速度较慢。

③ 通道型

定义：采取一种称为多种连接模式的部件去连接外设，这种部件称为通道。

结构图：



特点：并行能力强。

2、信息传送的控制方式

主机与外设进行信息交换时，应考虑两个问题：

- ① 在CPU启动外设后,在外设准备与操作期间,是让CPU等待还是让它并行地处理执行主机的程序。
- ② 如果让CPU并行地执行程序,外设将如何唤起CPU去执行I/O操作?CPU将通过子程序处理I/O操作还是通过硬件隐指令方式处理?

① 直接程序传送方式

定义： CPU直接利用I/O指令程序实现I/O传送，直接程序传输方式**全程**需要CPU**通过执行程序来实现**输入输出操作的**控制**。

主机状态： CPU处于查询—等待—执行状态。

特点： CPU不能与外设**完全的并行地工作**,因而CPU利用率低,并且CPU不能**及时响应**来自外部的随机请求。因此，只适用于低速外设。

② 程序中断方式

如何提高CPU的利用率？

在等待外设准备与操作这段时间内，CPU可否并行执行程序？

如行，在外设准备好或完成本次操作后，如何向CPU提出新的请求？

此外，在计算机工作过程中，还可能会遇到一些随机事态，CPU如何响应处理这些事情？

程序中断方式：当CPU发送一个I/O指令后，继续执行其他操作，当外围设备完成工作后，再向CPU**提出请中断**，请求对数据善后处理。

定义：

CPU暂停执行现执行程序，转去执行中断程序，以处理某些随机事态，并在处理完毕后自动恢复原程序的执行。

实质：程序的切换过程。

包括将断点，有关状态信息（PSW）压栈保护起来，然后根据中断号，从中断向量表中得到中断服务程序的地址，送入PC中。（这一切是硬件实现的，称为隐指令）。

特点：随机性

可以处理随机的复杂事态，但程序的切换需花费一定时间，因此，其适用范围是中低速I/O操作与随机请求。

③ 直接存储器存取 (DMA) 方式

如果主机与高速外存或高速通信设备交换，采用什么方式？

定义：

直接**依靠硬件**在主存与I/O设备进行**简单成批数据传送**的一种工作方式，在传送期间**不需CPU的程序干预**。

实质：

- 直接存储器访问 (DMA) 意味着在主存储器与I/O设备之间有**直接的数据传输通路**，不必经过CPU，也称为**数据直传**。
- 数据直传是直接由**硬件控制**实现的，不依靠执行程序指令来实现，所以在DMA传输期间不需要CPU执行程序来控制干预。

优点：不存在断点，现场的保护等问题，速度很快。

计算机的工作需要分步地执行，这就需要一种**时间划分的信号标志**——**时序信号**，以反映在什么时间段或时刻，计算机做了什么操作。

为了形成控制流，在时序方面有三个问题需要考虑：

- 1.操作与时序信号之间的关系，即**时序控制方式**。
- 2.指令之间的**衔接方式**；
- 3.如何形成所需的时序信号，即**时序系统**。

1、时序控制方式



① 同步控制方式

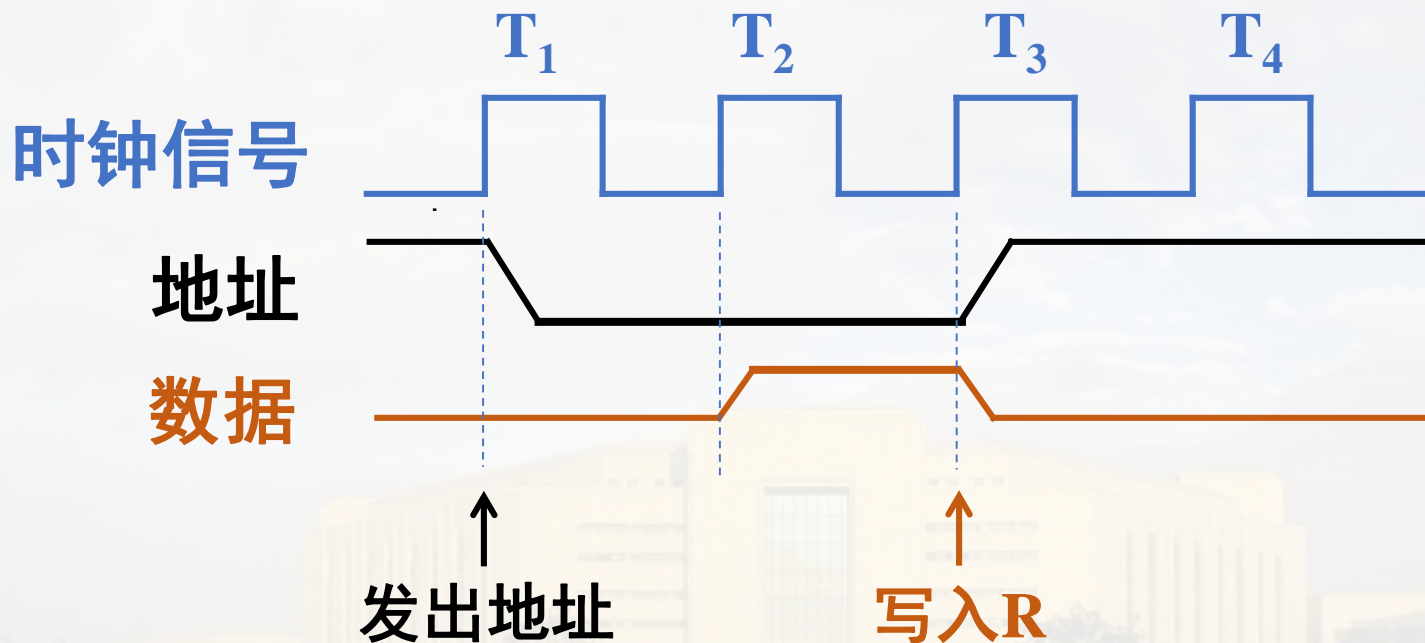
定义：如果各项操作与**统一**的时序信号**同步**，所有操作均由这些时序触发，**各操作之间不存在控制信号的交互**，称为**同步控制**。

时间分配（基本特征）：

同步控制方式的基本特征是将操作时间划分为许多时钟周期，周期长度固定，固定时钟周期完成一步操作。

① 同步控制方式

[例1] 发出地址、送出数据与写入R的协同



特点:

- 有明显时序时间划分;
- 时钟周期时间固定;
- 各步操作的衔接、各部件之间的数据传送受严格同步**时钟定时**控制。

优缺点:


- 时序关系简单, 时序划分规整, 控制不复杂;
- 控制逻辑易于集中, 便于管理。
- 时间安排不合理(缺点)。

采用同步控制的一些条件

- 发送、接收部件(或设备)传送时间确定;
- 各部件速度相近, 传送距离较近。
- 一次操作时间不太长

应用场合:

用于CPU内部、设备内部、系统总线操作

- 
- An arrow points from the underlined text "CPU内部" in the previous block to the first bullet point of this list.
- **同步定时**: 在许多操作中需要严格地同步定时, 如同步打入脉冲。
 - **各部件间的协调**: 在CPU内, 一般采用由CPU提供的统一时序信号来控制部件间信息的传送的。

② 异步控制方式

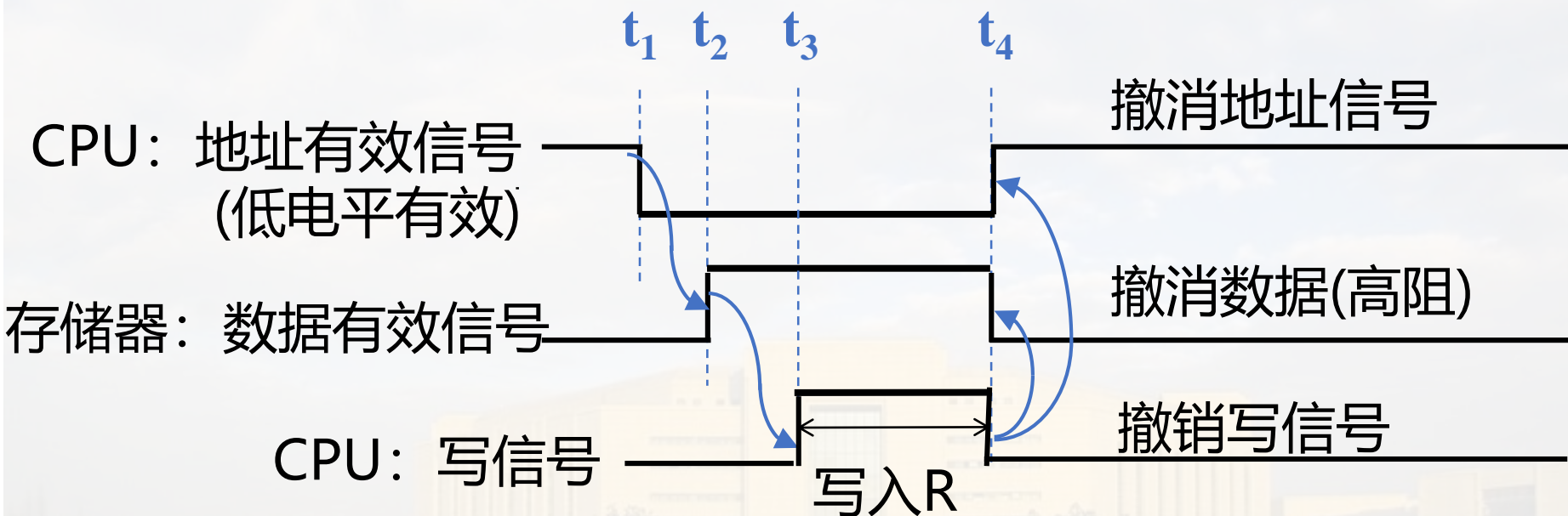
定义：

异步控制是指各项操作按其需要选择不同的时间，不受统一的时钟周期的约束；**各操作之间的衔接与各部件之间的信息交换采取应答、通告等方式。**

时间分配（基本特征）：

没有统一的节拍划分与同步定时脉冲，但存在着申请、响应、询问、回答、通告一类的应答关系。

[例]由存储器某单元读出数据，写入寄存器R操作的发地址信号、送出数据与写入R的协同。



特点：时间紧凑，能按不同部件，设备的实际需要分配时间，实现异步应答所需的控制比较复杂。

应用场合：

用于异步总线操作(各挂接部件速度差异大、传送时间不确定、传送距离较远等)。

主从设备的概念：申请使用总线，并获得批准后**掌管总线控制权的设备，称为主设备**，否则为**从设备**。

设备对总线的控制权的申请，也采用异步方式。

③ 实际应用中的一些变化

在CPU或设备的内部普遍采用同步控制方式；对连接CPU、主存、外设的系统总线，有的采用同步，有的采用异步控制，但多采用异步控制。在实际应用中，同步控制甚至引入异步应答关系。

同步方式引入异步应答

以固定时钟周期作为时序基础, 引入应答思想。

2、指令序列间的衔接方式

分类

串行顺处理方式

单存储体重叠处理方式

双存储体重叠处理方式

多存储体重的交叉与重叠处理方式

2、指令序列间的衔接方式

(一) 串行顺序处理方式

取第k条指令	取数	运算	取第k+1条指令	取数
--------	----	----	----------	----	-------

当现行指令执行完毕后才开始读取后继指令

2、指令序列间的衔接方式

(二) 单存储体重叠处理方式



当执行第k条指令的运算操作时，可以提前读取第k+1条指令。第k条指令的运算与读取第k+1条指令，在时间上是重叠的。

2、指令序列间的衔接方式

(三) 双存储体的重叠处理方式

0体	取第k条指令	取第k+1条指令	取第k+2条指令		
1体		取第k条数	取第k+1条数	取第k+2条数	
运算器			取第k条运算	取第k+1条运算	取第k+2条运算

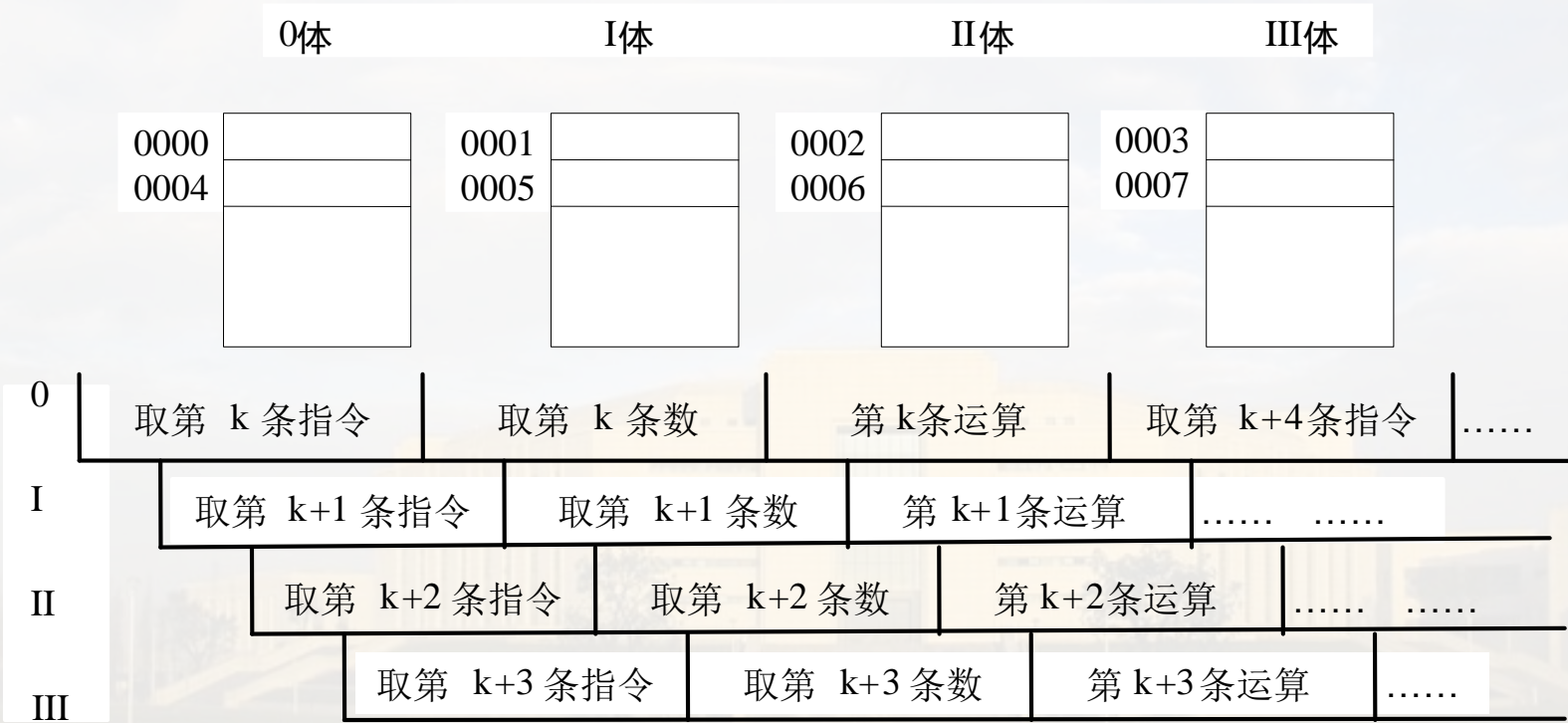
- 采用双存储体结构提高重叠程度
- 双存储体分别按各自地址独立存取

2、指令序列间的衔接方式

(四) 多存储体的交叉访问与重叠处理方式

采取多个存储体，交叉工作

多存储体重叠处理示意图（四存储体）



1、定义及组成

时序系统：产生节拍，脉冲等时序信号的部件，称为时序系统。

时序系统的组成

- 一个振荡器：产生脉冲源
- 一组计数分频逻辑

2、时序划分层次

指令周期：读取并执行一条指令所需的时间，称为指令周期。**一般不作为时序的一级。**

CPU工作周期：在指令周期中的某一工作阶段所需的时间，称为一个工作周期。一般不同。

时钟周期（节拍）：是时序系统中最基本的时间分段。各节拍的长度相同。

定时脉冲（工作脉冲）：有的操作如打入**R**，还需严格的定时脉冲，以确定在哪一刻打入。

3、多级时序的划分

① 二级时序（用在微程序控制器中）

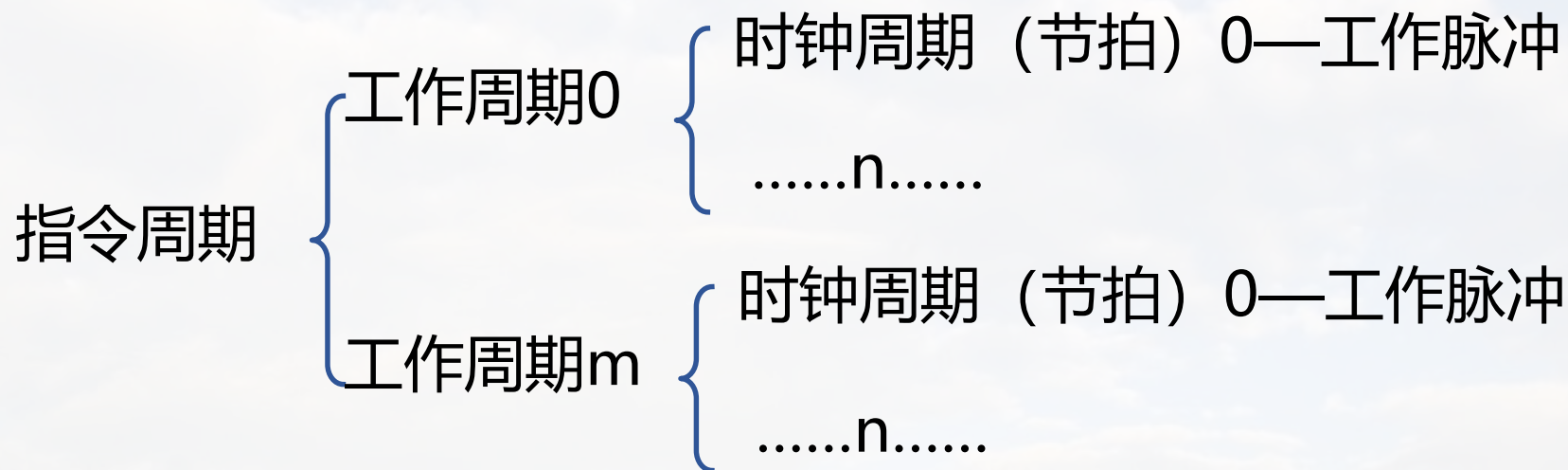
指令周期 { 时钟周期（节拍）0—工作脉冲
.....n.....

指令周期由若干时钟周期组成；时钟周期数可变，即指令周期长度可变。

时钟周期是独立一级，每个时钟周期中又包含工作脉冲。
工作脉冲是时序的又一级。

3、多级时序的划分

② 三级时序（用在组合逻辑控制器中）



一个指令周期由若干工作周期组成，工作周期种类与周期数也可不同。

每个工作周期又包含若干时钟周期，时钟周期中包含工作脉冲。



谢谢观看

计算机组成原理

2023/9/25



信息与软件工程学院

School of Information and Software Engineering