

选课序号：          学号：          姓名：

### 第三章 CPU 子系统

#### 一. 单项选择题

请将单项选择题答案填在下面：

1	2	3	4	5	6	7	8	9	10	11	12	13	14
15	16	17	18	19	20	21	22	23	24	25	26	27	28
29	30	31	32	33	34	35	36	37	38	39	40		

1. 在同步控制方式中 ( )。

- (1) 各指令的执行时间相同                      (2) 各指令占用的节拍数相同  
(3) 由统一的时序信号进行定时控制      (4) CPU 必须采用微程序控制方式

2. 异步控制方式常用于 ( )。

- (1) CPU 控制      (2) 微程序控制      (3) 系统总线控制      (4) CPU 内部总线控制

3. CPU ( ) 才能响应 DMA 请求。或者用如下叙述：CPU 响应 DMA 请求的时间是 ( )。

- (1) 必须在一条指令执行完毕                      (2) 可在任意时钟周期结束  
(3) 必须在一个总线周期结束                      (4) 在判明设有中断请求之后

4. 在同步控制方式中 ( )。

- (1) 每个时钟周期 (节拍) 长度固定      (2) 各指令的时钟周期不变  
(3) 每个工作周期长度固定                      (4) 各指令的工作周期数不变

5. 异步控制常用于 ( ) 中，作为其主要控制方式。

- (1) 单总线结构                                      (2) 微型计算机中的 CPU 控制  
(3) 组合逻辑控制器                                      (4) 微程序控制器

6. 采用同步控制的目的是 ( )。

- (1) 简化控制时序                                      (2) 提高执行速度  
(3) 满足不同操作对时间安排的需要                      (4) 满足不同设备对时间安排的需要

7. 采用异步控制的目的 ( )。

- (1) 支持微程序控制方式                                      (2) 简化控制时序  
(3) 降低控制器成本                                      (4) 提高执行速度

8. 通用寄存器是 ( )。

- (1) 可存放指令的寄存器 (2) 可存放程序状态字的寄存器  
(3) 本身具有计数逻辑与移位逻辑的寄存器 (4) 可编程指定多种功能的寄存器

9. 程序状态字寄存器的内容 ( )。

- (1) 只能由程序置位给定 (2) 不能由程序置位给定  
(3) 只能由运行结果置位 (4) 既能由运行结果置位，也能由程序置位

10. 采用微程序控制的目的是 ( )。

- (1) 提高速度 (2) 简化控制器设计与结构  
(3) 使功能很简单的控制器能降低成本 (4) 不再需要机器语言

11. 在微程序控制中，相互之间对应关系描述正确的是 ( )。

- (1) 每一条机器指令由一条微指令来解释执行  
(2) 每一条机器指令由一段微程序来解释执行  
(3) 一段机器指令组成的工作程序，可由一条微指令来解释执行  
(4) 一条微指令由若干条机器指令组成

12. 微程序存放在 ( )。

- (1) 主存中 (2) 固定存储器中 (3) 堆栈中 (4) 磁盘中

13. 三级时序系统提供的三级时序信号是 ( )。

- (1) 指令周期、工作周期、节拍 (2) 工作周期、节拍、脉冲  
(3) 指令周期、机器周期、时钟周期 (3) 指令周期、微指令周期，时钟周期

14. 扩展同步总线 ( )。

- (1) 允许时钟周期长度可变 (2) 允许总线周期长度可变  
(3) 无时钟周期划分 (4) 无总线周期划分

15. 程序计数器 PC 用于 ( )。

- (1) 存放指令的地址 (2) 对程序中的指令数量进行计数  
(3) 存放将要执行的下一条指令 (4) 计数并统计系统中程序的数量

16. 在时序控制方式中，有一种方式是在总线周期中允许插入延长周期，其含义是 ( )。

- (1) 在一个总线周期内增加时钟周期的数量  
(2) 在一个时钟周期内插入新的总线周期  
(3) 将一个总线周期延长为多个总线周期  
(4) 在一个总线周期内延长各时钟周期的长度

17. 按照模型机数据通路结构，如果要将一个存储单元的内容传送到某一个寄存器  $R_i$ ，下面

的说法正确的是（ ）。

(1) 对存储单元读出的数据首先进行译码，以判断是数据还是指令，再决定是否送到  $R_i$ ，如果是指令，应该送到指令寄存器 IR 操作

(2) 从存储器单元读出的内容到数据总线后，为  $R_i$  提供一个打入脉冲，即可完成上述

(3) 要判断从存储单元读出的内容是操作数还是操作数地址，以决定是送到 MDR 还是 MAR

(4) 以上三种说法都不正确

18. 对运算器的设计，以下描述正确的是（ ）。

(1) 加法器配合移位器等辅助电路可以完成加、减、乘、除四种运算

(2) 借助补码运算特点，加减运算都可以通过加法来完成，但乘除法运算必须设计专用的乘除法器才能完成乘除法运算

(3) 补码的乘除法运算必须设计专用的乘除法器才能完成乘除法运算

(4) 以上三种说法都不正确

19. 控制存储器 (CM) 是（ ）的一种存储器。

(1) 位于 CPU 内部 (2) 用于时序控制

(3) 用于存储汇编指令 (4) 用于存储指令流程

20. 对微指令的编码，采用分段编译法，下面的说法正确的是（ ）。

(1) 微命令的数量，与段的数量和各段的长度都有关系

(2) 如果分为  $K$  个字段，则可提供  $K$  个微命令

(3) 微命令的数量与段的数量没有关系，只与微指令的总长度有关

(4) 以上三种说法都不正确

21. 如果地址总线和数据总线均为 16 位，采用 16 位的定长指令，若采用直接寻址，则指令中的地址字段所提供的地址码（ ）。

(1) 可以覆盖全内存地址 (2) 对单地址指令可以覆盖全内存地址

(3) 对双地址指令可以覆盖全内存地址 (4) 不能全内存地址

22. 根据模型机时序，操作  $M \rightarrow MDR \rightarrow C$  与  $C \rightarrow MDR \rightarrow M$  是否都可以在一个时钟内完成（ ）。

(1) 两者都不能 (2) 两者都能 (3) 后者能，前者不能 (4) 前者能，后者不能

23. 程序判断运算结果是否发生溢出，是通过（ ）来进行的。

(1) 综合判断运算数和运算结果的符号 (2) 综合判断尾数最高的进位和符号位的进位

(3) 判断运算结果的符号 (4) 判断 PSW 中的溢出标志

24. 在总线的时序控制系统中，所谓扩展的同步方式，是指（ ）。

- (1) 有基准时钟，但允许时钟周期长度可变
- (2) 没有基准时钟，根据通信的实际时间设置通信双方握手信号
- (3) 有基准时钟，时钟周期长度固定，总线周期长度不变

(4) 有基准时钟，时钟周期长度固定，但允许总线周期长度可变

25. 采用 16 位定长指令，存储器按字节编址。当前指令（非转移或转子指令）的起始地址 1000H，该指令的操作数之一采用自增型寻址，且指定的寄存器是 PC，则下一条要执行的指令的地址起始是（ ）。

- (1) 1000H
- (2) 1001H
- (3) 1002H
- (4) 1003H

26. 总线主设备是指（ ）。

- (1) 具有总线控制权的设备
- (2) 输入和输出都需要与总线交换数据的设备
- (3) 计算机系统的主要设备
- (4) 能接收地址和数据的设备

27. 从时序上，为了标明当前指令执行在哪一个工作周期，需要（ ）。

(1) 在 CPU 内部设置相应的工作周期触发器

- (2) 在程序状态字的相应位来标注工作周期
- (3) 需要在 CPU 外部设置状态位来标注
- (4) 用扩展同步方式来扩展周期状态

28. 在模型机中，进入取值指周期的条件写成逻辑表达式如下，

$1 \rightarrow FT = ET(1 \rightarrow \overline{DMAT} \cdot \overline{1 \rightarrow IT}) + IT + DMAT(1 \rightarrow \overline{DMAT} \cdot \overline{1 \rightarrow IT})$  该表达式意味着（ ）。

(1) 中断响应周期结束后进入取指周期

- (2) 进入中断响应周期的同时进入取指周期
- (3) 各项同时满足则进入取指周期
- (4) 有中断或 DMA 请求时则进入取指周期

29. 计算机系统某些部件或设备，一般在（ ）的情况下，采用同步通信方式。

(1) 通信双方的距离很近且传输时间确定

- (2) 通信双方的距离较远
- (3) 采用总线通信
- (4) 通信双方均为并行通信

30. 如果程序执行过程中，遇到条件转移指令，则是否转移的依据是（ ）。

(1) 判断 PSW 中的相应状态

- (2) 判断指令是否提供了转移的目标地址
- (3) 判断指令操作码的转移标志是否有效
- (4) 判断指令的目标地址的寻址方式

31. 汇编程序的功能是（ ）。

- (1) 将汇编语言程序翻译成微程序
- (2) 将高级语言程序翻译成机器语言程序

(3) 将机器语言程序翻译成微程序 (4) 将汇编语言程序翻译成机器语言程序

32. CPU 从数据总线上获取的信息，依据 ( ) 来判断该信息是指令还是数据。

(1) 对该信息进行译码的结果 (2) 指令和数据来自内存的不同的地址

(3) 寻址方式不同 (4) 获取该信息的时间

33. 若某浮点数为  $2^5 \times 1.10101$ ，其尾数为补码表示，则该数 ( )。

(1) 已是规格化数 (2) 需将尾数左移两位规格化

(3) 需右移规格化 (4) 需将尾数左移一位规格化

34. 如果一条微指令的命令字段共 18 位，分为 6 个字段（分段直接编译法），长度分别为 2、2、3、3、4、4，则最多可表示的微命令总数为 ( ) 个。

(1) 6 (2) 18 (3)  $2^{18}$  (4) 58

35. 根据模型机指令系统，假设一条双操作数指令（长度 16 位）的起始地址为 A，存储器按字节编址。其源和目的地址均采用变址寻址，则该指令执行完成时，PC 值等于 ( )。

(1) A+2 (2) A+3 (3) A+4 (4) A+5

36. 一条机器指令中，用 3 位表示操作码，3 位表示源操作数寻址，3 位表示源操作数寄存器编号；那么采用微程序设计方式时，如果按源操作数寻址方式实现分支转移，则最多可实现的分支数是 ( )。

(1) 8 个 (2) 6 个 (3) 3 个 (4) 9 个

37. CPU 从内存中获取的指令，是通过 ( ) 总线传送的。

(1) 数据 (2) 地址 (3) 控制 (4) 串行

38. 判断当前指令执行是否在 DT 工作周期，需要 ( )。

(1) 在 CPU 内部设置相应的工作周期触发器

(2) 在程序状态字的相应位标注工作周期

(3) 需要在 CPU 外部设置状态位来标注

(4) 用扩展同步方式来扩展周期状态

39. 在补码一位乘法中，有效位连同符号位共 N+1 位，因此需要做 ( ) 步操作。

(1) N 或者 N+1 (2) N (3) N+2 (4) N+1

40. CPU 的程序状态字（或标志位寄存器），其状态是根据 ( ) 来进行设置。

(1) 指令执行结果 (2) 指令的寻址方式 (3) 指令的格式 (4) 指令的类型

## 二. 填空题

1. 运算器的核心部件是 ( )。

2. 运算器一般应具有（ ）与（ ）两大类运算能力。
3. 在补码一位乘中，被乘数一般取（ ）位符号位，乘数一般取（ ）位符号位。
4. 在补码不恢复余数除法中，被除数取（ ）位符号位，除数取（ ）位符号位。
5. 在乘法运算中，累加器 A 的初始值为（ ），以后 A 中存放（ ）
6. 在除法运算中，累加器 A 的初始值为（ ），以后 A 中存放（ ）
7. 在补码一位乘中，乘数 Y 的末位应增设一位（ ），其初值为（ ）
8. 正数右移，第一符号位应补（ ）；负数右移，第一符号位应补（ ）
9. 设计 CPU 总体结构的核心问题是确定（ ）的结构。
10. 微命令的含义是（ ）。
11. 待执行的工作程序存放在（ ）中，而微程序存放在（ ）中。
12. 在 CPU 中采用（ ）的时序控制方式。
13. 使用中断方式，在（ ）这段时间内，CPU 可以和外围设备同时工作。
14. 在同步控制方式中，一个操作结束并开始下一操作的依据是（ ）。
15. 控制器的组成方式可归结为（ ）和（ ）两种。
16. 微命令一般分为（ ）与（ ）两种电信号形式。
17. 数据通路宽度是指（ ）。
18. DMA 方式适用于（ ）场合。
19. 模型机中，指令  $ADD(R_i), @(R_0) +$  的长度为三个字节（存储器按字节编址，AB、DB 总线的宽度均为 16 位），则该指令从取指开始到执行完成，共需要（ ）次访问存储器。
20. 模型机中，指令  $MOV X(R_i), @(R_0) +$  的长度为三个字节（存储器按字节编址，AB、DB 总线的宽度均为 16 位），则该指令从取指开始到执行完成，共需要（ ）次访问存储器。
21. 后续微地址的形成方式有（ ）两种，其中，按目的操作数寻址方式实现分支属于（ ）方式。
22. 假设一条数据传输指令的源操作数和目的操作数都采用直接寻址，指令长度为 48 位，数据总线和地址总线位数均为 16 位，则该指令从取指到执行完成需要至少访存多少（ ）次。
23. 对补码一位乘法，采用比较法，有效位连同符号位共  $n+1$  位，当（ ）时，只需做  $n$  步操作，当（ ）时，需要做  $n+1$  步操作。
24. 若浮点数的阶码(含一位符号位)为  $m+1$  位，阶码用移码表示。则两个浮点数相乘时，指数部分的运算结果需要做（ ）操作来进行修正。

### 三. 判断分析题（指出正、误；对错误或不妥者请说明）

1. 并行加法器的运算速度取决于全加器单元的速度。（ ）
2. 乘法器的核心部件是加法器。（ ）
3. 串行进位链是串行加法器中的进位链。（ ）
4. 运算器实现移位操作，必须使用移位线路。（ ）
5. 用两级半加器组成的全加器，求和时间虽然比用与或非门组成的全加器长一些，但前者构成的加法器，其运算速度仍可能高于用后者构成的加法器。（ ）
6. 并行加法器中的进位链，必定是并行进位链。（ ）
7. 原码加减运算比补码加减运算简单。（ ）
8. 原码乘法运算比补码乘法运算简单。（ ）
9. 若采用并行进位链，则  $C_3 = G_3 + P_3 C_2$ 。（ ）
10. 进位制中的基数是：一个数位中允许使用的最大数码值。（ ）
11. 在计算机系统中，可能同时采用同步控制方式与异步控制方式。（ ）
12. 在同步控制方式中，各指令的执行时间并不一定都相同。（ ）
13. 采用 DMA 方式传送信息，一旦开始传送后，CPU 必须停止执行程序一段时间，直到批量传送结束，才能恢复工作。（ ）

### 四. 简答题

1. 何谓同步控制方式，有何主要特征？何谓异步控制？
2. 何谓主从设备，试举例说明。
3. 同步控制中如何引入异步应答的，试举例说明。
4. 何谓程序中断？请说明它的特点和适用场合。
5. 何谓 DMA 方式？请说明它的适用场合。
6. 微程序控制思想的基本要点是什么？
7. 判断下面叙述是否正确，说明理由：串行加法器中的进位链是串行进位链，并行加法器中的进位链只有并行进位链。
8. 常用的加法器进位链结构有哪几种？

### 五. 计算题

1. 已知  $X = -0.0101$ ,  $Y = 0.0011$ ，用补码一位乘，求  $XY = ?$
2. 用补码不恢复余数除法求  $\frac{X}{Y} = \frac{-0.1001}{-0.1101} = ?$
3. 已知操作数  $A_i, B_i$ , 初始进位  $C_0$ 。试写出  $C_4$  的逻辑表达式（注意：串行/并行）。

## 六. 设计题

1. 某 CPU 组成：用 SN74181 构成的 ALU 一个，选择器 A、B，移位器；通用寄存器 R0 ~ R3，暂存器 C、D；指令寄存器 IR，程序计数器 PC；地址寄存器 MAR，数据缓冲寄存器 MBR，堆栈指针 SP；CPU 内单向数据总线一组。

(1) 画出一种 CPU 数据通路框图（寄存器级）

(2) 拟定加法指令 ADD (SP) +, X (R0) 的指令流程（采用寄存器传送级语句，如 R0→R1），源寻址方式采用变址寻址方式，目的寻址方式采用堆栈寻址方式。

(3) 请安排 FT 周期及 M→MDR→C 操作的微命令（不考虑时序转换）。

2. 请分析下列操作时间表，回答以下问题（注：上述操作时间表中，省去了周期转换所需电平和脉冲信号）。

FT0: EMAR, R, SIR

PC→A, A+1, DM, CPPC

DT0: R1→A, 输出 A, DM, CPMAR

ET0: R0→B, 输出 B, DM, CPMDR

ET1: EMAR, W

ET2: PC→A, 输出 A, DM, CPMAR

(1) 每个节拍中的微命令序列对应的操作是什么？

(2) 写出该操作时间表所实现的指令；

(3) 该指令中所涉及的操作数采用的是什么寻址方式？

(4) 命令 SIR 和 EMAR 分别完成什么功能；

3. 某 CPU 组成：用 SN74181 芯片构成的 ALU 一个，选择器 A、B，移位器；通用寄存器 R0 ~ R3，暂存器 C、D；指令寄存器 IR，程序计数器 PC，程序状态字寄存器 PSW，堆栈指针 SP；地址寄存器 MAR，数据缓冲寄存器 MDR；CPU 内单向数据总线一组；控制器等部件。

(1) 请补充完善指令 OR - (R1), @ (R2) + 中的指令流程步骤（采用寄存器传送级语句，如 R0 → R1）并回答相关问题。源寻址方式采用自增型寄存器双重间接寻址，目的寻址方式采用自减型寄存器间接寻址；

FT: M → IR, PC+1 → PC

ST: \_\_\_\_\_  
\_\_\_\_\_



---

---

---

---

DT: R1-1→MAR, R1

M→MDR→D

ET: C OR D→MDR

MDR→M

PC→MAR

(2) 请安排操作 M→MDR→D 所需的微命令 (不考虑时序转换), 正确答案从后面的 A、B、C、D 中选择。

M→MDR→D:

- A. EMAR、R、SMDR、MDR→A、A、DM、CPD
- B. EMAR、R、SMDR、MDR→B、B、DM、CPD
- C. EMAR、W、CPMDR、MDR→A、A、DM、CPD
- D. EMAR、W、CPMDR、MDR→B、B、DM、CPD

(3) 写出如下微命令序列对应的操作 (不考虑时序转换):

PC→A、A+1、DM、CPPC:

EMAR、R、SMDR:

4. 加法指令 ADD X(R1), (SP)+; 源采用自增型寄存器间址, 目的采用变址寻址。该指令的目的周期流程如下。请在每个括号中填入一个正确答案。

PC→MAR (MAR 的内容为: )

M→MBR→D (D 的内容为: )

R1+D→MAR (MAR 的内容为: )

PC+1→PC (PC 的内容为: )

M→MBR→D (D 的内容为: )

形式地址 ②目的数 ③下条指令的地址 ④目的地址 ⑤形式地址的地址

## 七. 综合应用题 (补充 MIPS 机)

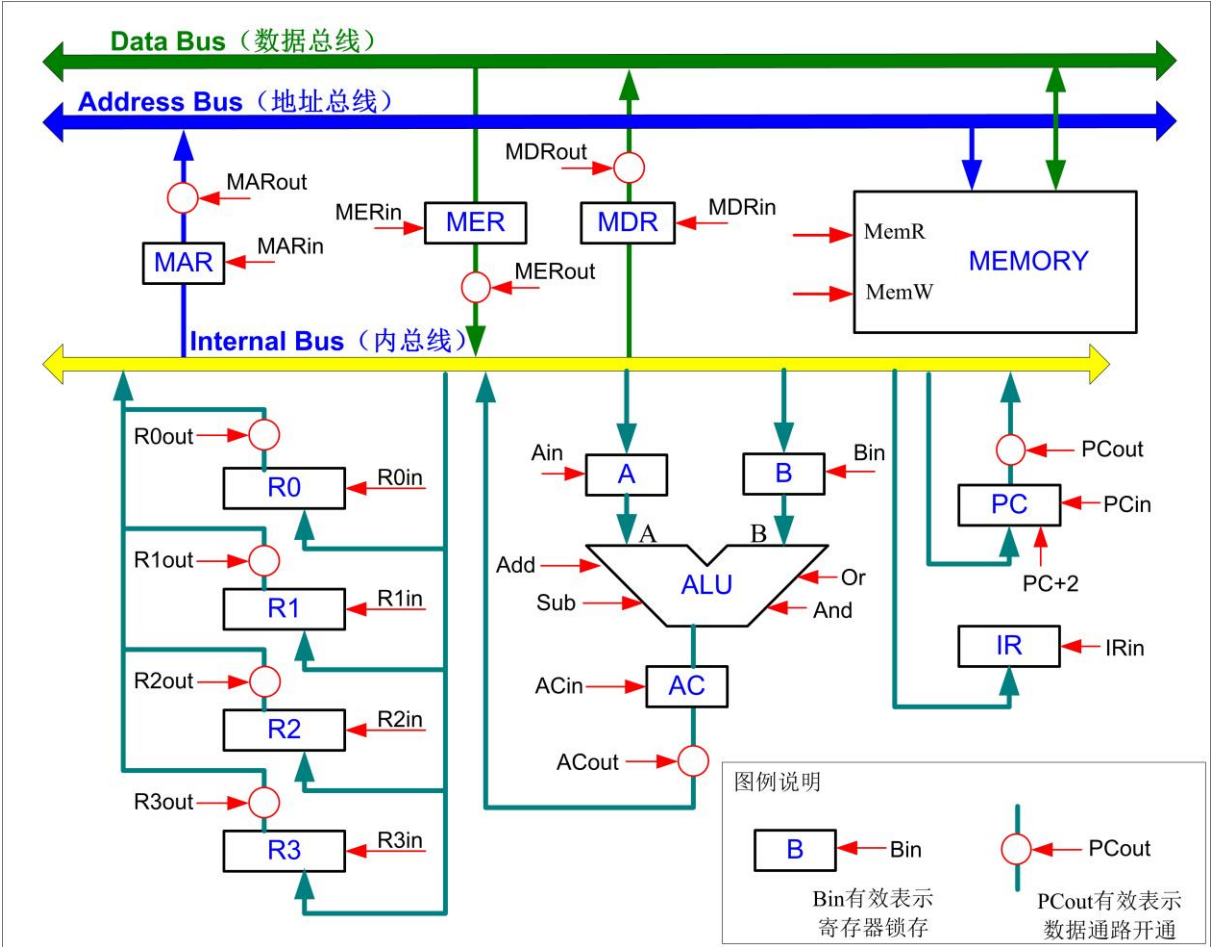
某计算机字长 16 位, CPU 内部包含如下部件: 通用寄存器 R0、R1、R2、R3, 累加器 AC, 算术逻辑单元 ALU 及其数据暂存器 A 和 B, 程序计数器 PC, 指令寄存器 IR, 存储器地址寄存器 MAR, 存储器读数据缓冲器 MER, 存储器写数据缓冲器 MDR。ALU 支持加 (A+B)、减 (A-B)、与 (A∧B)、或 (A∨B) 4 种算术逻辑运算, 分别由 Add、Sub、And、Or 4 个控制信号控制。

所有寄存器、数据总线及内总线均为 16 位。题七图是该 CPU 内部数据通路图。

加法运算指令 *ADD R1, 1000H(R2)*。其中源操作数 1000H(R2)是基址寻址，目的操作数 R1 是寄存器直接寻址，指令编码长度 32 位，指令编码格式如下：

Opcode(8)	Ms(2)	Rs(2)	Mt(2)	Rt(2)	Opcode: 操作码	Offset: 位移量
Offset(16)					Ms: 源操作数寻址方式	Rs: 源寄存器
					Mt: 目的操作数寻址方式	Rt: 目的寄存器

请根据数据通路分析该指令执行过程，把指令执行过程中各时钟周期的微操作及应处于有效状态的控制信号填入下表（参照表中已给出的取指令周期的表示方法）。



题七图

参考答案：

	时钟 周期	微操作（功能）	控制信号
取指 令	T1	指令地址送 MAR ( $PC \rightarrow MAR$ )	PCout, MARin
	T2	读指令送 MER ( $M \rightarrow MER$ )	MARout, MemR, MERin
	T3	PC 调整, 指令送 IR, 译码 ( $PC + 2 \rightarrow PC$ , $MER \rightarrow IR$ )	PC+2; MERout, IRin
取位 移量	T4		
	T5		
计算 有效 地址	T6		
读取 源操 作数	T7		
	T8		
执行 指令	T9		
	T10		

评分考虑：

- 指令执行总体上应该分为取指令、取位移量、计算有效地址、读取操作数、执行五个周期；指令执行总体流程布局正确，可得 4 分。
- 指令执行共需要 10 个时钟周期，前 3 时钟周期的操作和信号已经给出，其余 7 个时钟周期的微操作和控制信号需要学生回答，每答对一个得 1 分，共 14 分。
- 其他可能的答案：学生可能在微操作的并行执行上考虑不一定周到，比如 T5 周期三个微操作可能分成两个时钟周期执行，T6、T9 周期也可能存在类似现象。只要学生回答的微操作及对应控制信号、以及微操作执行的顺序正确，整个指令执行时钟周期超过 10 个，也可以得分甚至考虑给满分。