**《计算机组成原理与结构》重要知识点**

1. **概论**
2. 基本概念及应用（注明：应用是指基本概念的应用）
3. 冯.诺依曼体制？存储程序方式？

a.采用二进制形式表示信息（数据和指令 ）

b.采用存储程序方式工作（核心）

计算机采取：事先编制程序、存储程序、自动连续运行程序工作方式。

c.由五大部分组成计算机系统的硬件，并规定了这五部分的基本功能

（存储器、运算器、控制器、输入设备和输出设备）

1. 控制流？数据流？

控制流：控制计算机工作的信息，即指令、命令。

数据流：计算机加工处理的对象，即数值型数据、非数值型数据

1. 模拟信号？数字信号？数字信号有哪两种？

模拟信号是一种随时间连续变化的电信号，如电流信号、电压信号等。

数字信号是一种在时间或空间上断续变化的电信号，如电平信号和脉冲信号。单个电信 号一般只取两种状态，如电平的高低、脉冲的有无，这样可以用这两种状态表示数字代 码1和0，称为二逻辑。

1. 总线及其组成？

能为多个部件分时共享的一组信息传送线路。传送的信息不同，分三类：

① 传送信息的数据总线DB (Data Bus)；

② 指示欲传信息的来源或目的地址的地址总线AB (Address Bus)；

③ 管理总线上活动的控制总线CB (Control Bus)

1. 接口的概念？

接口泛指设备部件（硬、软）之间的交接部分。主机（总线）与外围设备或其他外部系统之间的部件(接口逻辑)，称为输入/输出（I/O）接口，或称为外围设备接口。具有缓冲、转换、连接等功能。

1. 基本字长？

基本字长一般是指参加一次定点运算的操作数的基本位数。如：8、16、32、64位

它影响计算精度、指令功能

1. CPU主频？时钟频率？

（1）CPU主频

是计算机的振荡器输出的脉冲序列的频率，是计算机中一切操作所依据的时间基准信号，其高低决定了计算机工作速度的快慢。

（2）时钟频率

是主频脉冲经分频后所形成的时钟脉冲序列的频率，两个相邻时钟脉冲之间的间隔时间是一个时钟周期时间，也称为节拍。

CPU主频是指内核的工作频率，CPU主频=外频×倍频系数

外部频率或基频，也叫系统时钟频率：低频振荡器输出的固定频率基准脉冲

信号

1. 数据通路宽度？数据传输率？

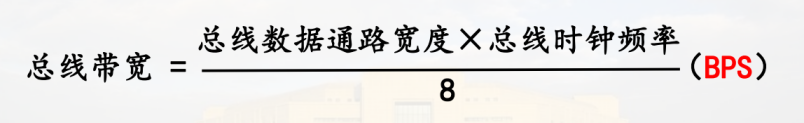
（1）数据通路宽度

指数据总线一次能并行传送的数据位数。

（2）数据传输率

指数据总线每秒传送的数据量，也称为数据总线的带宽。

公式：



物理意义：单位时间内的数据传输量。单位BPS=字节数/秒。

字节：8bit为1字节（Byte），即1Byte包含8bit。

字节是计算机常用计量单位

1. **计算机中的信息表示**
2. 基本概念及应用（注明：应用是指基本概念的应用）
3. 一个数值型数据的完整表示需三个方面？

进位计数制、如何使得符号的数字化（机器数编码）、小数点的处理（定点法和浮点法）

1. 权、基数？

在任一数制中，每一个数位上允许使用的记数符号的个数（或每个数位中所允许的最大数码值+1 ）被称为该数制的基数。

每1位都对应1个表示该位在数码中的位置的值，这个值就称为数位的权值w。

权：是一个与所在数位相关的常数。

权与基数的关系：相邻两位的权值之比等于基数值。

1. 真值？机器数的定义？分类？

若以正号“+”和负号“－”来表示有符号的二进制数，称为符号数的**真值**。

符号数的真值＋0.1011；－0.1011，这种表示方法不能直接用于计算机中。只有使符号数值化以后，才可以在计算机中使用，符号位习惯以0表示正数，以1表示负数。

计算机中使用的符号数称为**机器数**。

如+1011表示为01011，而-1011表示为11011。

1. 数的定点表示与浮点表示？
2. 定点数的表示：由程序设计者约定，该程序中所有数的小数点固定在同一位置不变。

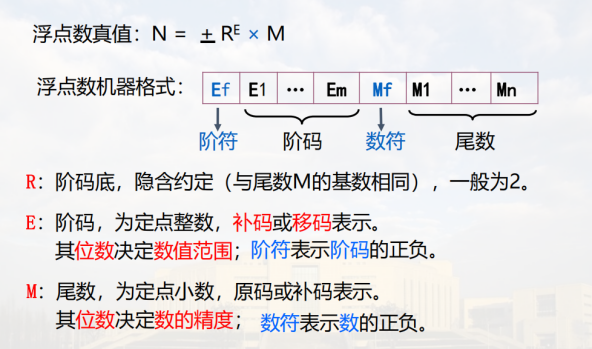
① 带符号的定点小数：约定所有数的小数点的位置固定在符号位之后。

② 带符号的定点整数：约定所有数的小数点的位置固定在最低数值位之后。

③ 无符号定点整数：约定所有数的小数点的位置固定在最低数值位之后。

（特别注意: 定点数的小数点位置固定是一种人为的约定.不需要在计算机中设置专门的硬件来表示。）

1. 浮点数的表示：浮点表示法中，小数点的位置可按需要浮动。（相同字长时，浮点数的表示范围更大、精度更高！）



尾数M的规格化表示：



1. 指令？指令系统？

指令：一系列按照某种规律有序排列的，能被CPU识别、执行的二进制代码。

① 按指令格式分类

将指令格式分为双操作数指令、单操作数指令、程序转移指令等。

② 按操作数寻址方式分类

RR型（寄存器—寄存器型） RX型（寄存器—变址存储器型）

RS型（寄存器—存储器型） SI型（存储器—立即数型）

SS型（存储器—存储器型）

③ 按指令功能分类

现在的大部分微处理器，将指令分为：

传送指令、输入/输出（I/O）指令、算术运算指令、逻辑运算指令、程序控制类指令、 处理机控制类指令等。

指令系统（或集）：一台计算机所能执行的全部指令。

指令系统---对应---计算机硬件功能

指令系统的特点：

✓决定了计算机的硬件功能

✓计算机中软硬件的分界面

1. 地址码？寻址方式？地址结构？

寻址就是按照某种规则形成操作数的有效地址，寻址方式是产生操作数有效地址的方式

地址码是指计算机中用于指示存储器中某个特定单元的代码。计算机中每个存储单元都有一个唯一的地址码，用于访问该存储单元中的数据。地址码通常是一个数字，用于标识存储单元在存储器中的位置。

地址结构是指计算机中存储器地址的组织结构。t

指令的地址结构是指在指令中明确给出几个地址和哪些地址

地址结构的主要内容: 指令给出地址的方式和指令中地址数量的设置

指令中提供的地址码：存储单元地址码，寄存器编号

指令提供地址的方式 ：

1. 显地址方式: 指令中明显（直接或间接给出地址）指明地址
2. 隐地址方式：地址隐含约定, 不出现在指令中

优点: 可减少指令中的地址数, 简化地址结构

1. 寻址方式：

大致可将众多的寻址方式归纳为以下四大类，其它的寻址方式则是它们的变型或组合。

① 立即寻址。在读取指令时也就从指令之中获得了操作数，即操作数包含在指令中。

② 直接寻址类。直接给出主存地址或寄存器编号，从CPU内或主存单元内读取操作数。

③ 间接寻址类。先从某寄存器中或主存中读取地址，再按这个地址访问主存以读取操作数。

④ 变址类。指令给出的是形式地址（不是最终地址），经过某种变换（例如相加、相减、高低位地址拼接等），才获得有效地址，据此访问主存储器以读取操作数。

1. 何谓隐式I/O指令？其主要特点是什么？

采用通用的数据传送指令实现I/O操作，这类指令的I/O等价功能是借用内存传输指令实现的，所以被称为隐式I/O指令。

特点：针对统一编址，用传送指令访问I/O端口。不设专用I/O指令。不影响标志寄存器的值

1. 主机调用外围设备，外设编制可采用那几种方式？
2. 外围设备单独编址

编址到寄存器：为每个寄存器(I/O端口)分配独立的端口地址；I/O指令中给出端口地址。

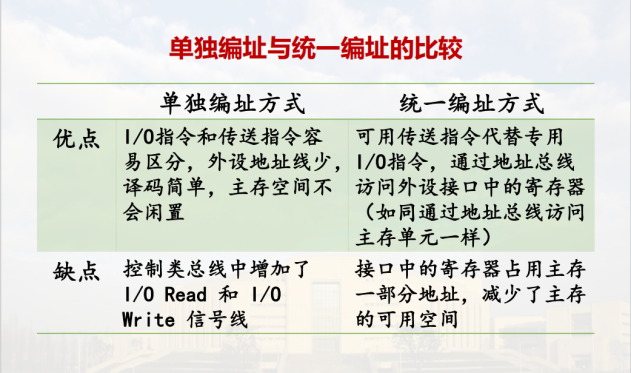
I/O地址空间不占主存空间，可与主存空间重叠。

1. 与主存储器统一编址

编址到寄存器：为每个寄存器(I/O端口)分配总线地址；访问外设时，指令中给出总线 地址。

I/O端口占据部分主存空间。

常将存储空间的低端分配给主存单元，高端分配给I/O端口，以示区分。



主机与外部的数据通路与信息传送控制方式：

① 直接程序传送方式

定义：CPU直接利用I/O指令程序实现I/O传送，直接程序传输方式全程需要CPU通过执行程序来实现输入输出操作的控制。

主机状态：CPU处于查询—等待—执行状态。

特点：CPU不能与外设完全的并行地工作,因而CPU利用率低,并且CPU不能及时响应来自外部的随机请求。因此，只适用于低速外设。

② 程序中断方式：当CPU发送一个I/O指令后，继续执行其他操作，当外围设备完成工作后，再向CPU提出请中断，请求对数据善后处理。

定义：

CPU暂停执行现行程序，转去执行中断程序，以处理某些随机事态，并在处理完毕后自动恢复原程序的执行。

实质：程序的切换过程。

包括将断点，有关状态信息（PSW）压栈保护起来，然后根据中断号，从中断向量表中得到中断服务程序的地址，送入PC中。（这一切是硬件实现的，称为隐指令）。

特点：随机性

可以处理随机的复杂事态，但程序的切换需花费一定时间，因此，其适用范围是中低速I/O操作与随机请求。

③ 直接存储器存取（DMA）方式

如果主机与高速外存或高速通信设备交换，采用什么方式？

定义：直接依靠硬件在主存与I/O设备进行简单成批数据传送的一种工作方式，在传送期间不需CPU的程序干预。

实质：

• 直接存储器访问（DMA）意味着在主存储器与I/O设备之间有直接的数据传输通路，不必经过CPU，也称为数据直传。

• 数据直传是直接由硬件控制实现的，不依靠执行程序指令来实现，所以在DMA传输期间不需要CPU执行程序来控制干预。

优点：不存在断点，现场的保护等问题，速度很快。

**二、计算题**

**1.扩展操作码：根据条件计算指令条数？**

**2.根据寻址方式寻找操作数？**

**3.IEEE754短浮点数格式表示？**

1. **中央处理器**
2. 基本概念及应用（注明：应用是指基本概念的应用）
3. CPU内部各寄存器的功能？

**①通用寄存器**：多个指可通过程序访问、具有多种用途的寄存器,每一个通用寄存器有唯一编号与之对应。

功能：存放数据(原始数据、中间结果、最终结果等)，也可以存放地址进行间接寻址、变址寻址等。

**②暂存器**

[特征]多个，暂存器不能通过程序访问, 也没有编号

[主要用途]存放指令执行过程中的中间信息,这些信息对编程者透明。比如：

(1)从一个主存单元读数据存到另一个单元, 有以下过程：单元→暂存器→单元;

(2)为运算器两个输入端提供数据, 分两次将操作数送往两个不同的暂存器。

**③指令寄存器（IR）**

[主要用途]只有1个，用于存放指令代码。从存储器(或者指令缓存)中读取到指令以后，就直接存入到指令寄存器中。

**④程序计数器（PC）**

[主要用途]仅1个，用来指明指令在存储器中的存放位置，即存储单元的地址码。

[注意]取指令结束后，PC保存的地址码自动修改，以指向下一条指令的存储单元，修改量取决于指令字长和存储器的编址单位。

**⑤程序状态字寄存器（PSW）**

[主要用途]仅1个，记录现行程序的运行状态和程序的工作模式。

**⑥地址寄存器（MAR）**

[主要用途]只有1个，读写存储器时，先要定位存储单元，因此设置MAR来存放目标单元的地址码。先将有效地址送入MAR，再启动后续的读写操作。

**⑦数据缓冲寄存器（MBR）**

[主要用途]只有1个，过渡性地存放CPU与主存之间交换的数据。无论是从主存读取的数据，还是写入到主存的数据，都要经过MBR。

**⑧堆栈指针（SP）**

[主要用途]仅1个，固定存放堆栈的栈顶单元的地址码。根据这个地址码，去读写堆栈。

1. 数据通路结构？

见书133

CPU内部由许多部件构成，就数据信息的传送, 需要为数据的传送提供(设计)传送的通 路(即通信线路)。

总体来说, 有两种典型的数据通路结构:单总线通路和多总线通路：

⚫ 单总线通路

— 设置一组数据通信总线, 所有数据传送均通过该总线进行;

— 结构简单、但不能实现多组数据并发(并行传送);

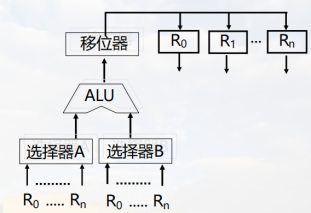
⚫ 多总线通路

— 设置多组数据通信总线, 可实现不同数据在不同的通路上

传送;

— 结构复杂、但能实现多组数据并行传送;

1. 单组内总线、分离(立)的寄存器结构



主要特点:

⚫各寄存器有独立的输入口和输出口

⚫ 数据总线为单向, ALU只能通过移位器

向总线发送数据, 而不能直接从总线接

收数据;

⚫ 寄存器可接收总线上的数据，但不能

直接向总线发送数据;

⚫ ALU通过选择器接收寄存器的数据。

1. 单组内总线、集成寄存器结构

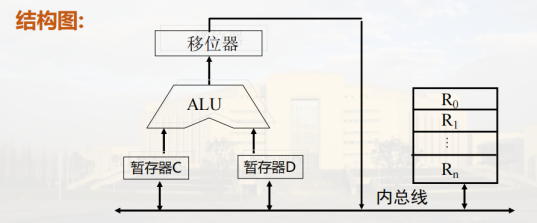
⚫ 与第一种方式的主要区别在于寄存器的结构

⚫ CPU内部集成小型的存储器, 存储器的每一个单元作为一个

寄存器使用(称为寄存器组)

⚫ 一组双向数据总线连接ALU和寄存器组

⚫ 暂存器取代了(独立寄存器结构中的)选择器



主要特点:

⚫ 数据总线为双向, 运算器ALU既能向总线发送数据, 也能

直接从总线接收数据(由暂存器接收);

⚫ 各寄存器可从总线接收和向总线发送数据;

(3) 多组内总线结构

CPU内部设置多组总线,用于传输不同类别的信息（地址信

息、数据信息、指令信息）。即在一个时钟周期内，可以并

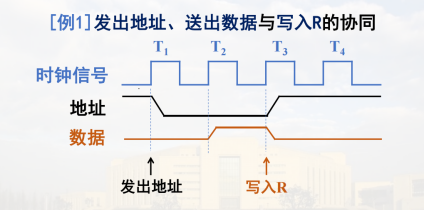
行地实现不同数据通路传送操作。

1. 何谓同步控制方式，何谓异步控制？有何主要特征？应用场合？

① 同步控制方式

定义：如果各项操作与统一的时序信号同步，所有操作均由这些时序触发，各操作之间不存在控制信号的交互，称为同步控制。

时间分配（基本特征）：同步控制方式的基本特征是将操作时间划分为许多时钟周期，周期长度固定，固定时钟周期完成一步操作。



特点:

• 有明显时序时间划分;

• 时钟周期时间固定;

• 各步操作的衔接、各部件之间的数据传送受严格同步时钟定时控制。

优缺点:

• 时序关系简单, 时序划分规整, 控制不复杂;

• 控制逻辑易于集中, 便于管理。

• 时间安排不合理(缺点)。

采用同步控制的一些条件

• 发送、接收部件(或设备)传送时间确定;

• 各部件速度相近, 传送距离较近。

• 一次操作时间不太长

应用场合:

用于CPU内部、设备内部、系统总线操作

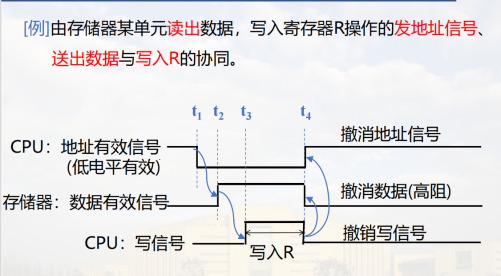
• 同步定时：在许多操作中需要严格地同步定时，如同步打入脉冲。

• 各部件间的协调：在CPU内，一般采用由CPU提供的统一时序信号来控制部件间信息的传送的。

② 异步控制方式

定义：异步控制是指各项操作按其需要选择不同的时间，不受统一的时钟周期的约束；各操作之间的衔接与各部件之间的信息交换采取应答、通告等方式。

时间分配（基本特征）：没有统一的节拍划分与同步定时脉冲，但存在着申请、响应、询问、回答、通告一类的应答关系。



特点：时间紧凑，能按不同部件，设备的实际需要分配时间，实现异步应答所需的控制比较复杂。

应用场合:

用于异步总线操作(各挂接部件速度差异大、传送时间不确定、传送距离较远等)。

主从设备的概念：申请使用总线，并获得批准后掌管总线控制权的设备，称为主设备， 否则为从设备。

设备对总线的控制权的申请，也采用异步方式。

③ 实际应用中的一些变化

在CPU或设备的内部普遍采用同步控制方式；对连接CPU、主存、外设的系统总线，有的采用同步，有的采用异步控制，但多采用异步控制。在实际应用中，同步控制甚至引入异步应答关系。

同步方式引入异步应答

以固定时钟周期作为时序基础, 引入应答思想。

1. 何谓主从设备，试举例说明。

主从设备的概念：申请使用总线，并获得批准后掌管总线控制权的设备，称为主设备，否则为从设备。

DMA控制方式中，DMA是主设备，I/O是从设备

1. 同步控制中如何引入异步应答的，试举例说明.

同步方式引入异步应答，以固定时钟周期作为时序基础, 引入应答思想。

例如： 8088最大模式，用一根总线请求/应答线实现总线权的转移。

1. 微程序控制思想的基本要点是什么？
2. 时钟周期与微指令周期相同，每个微指令周期执行一条微指令，控制实现一步操作;

(2) 基于微指令译码的微命令产生方式。微程序事先存放在控制存储器中, 执行机器指令时再取出, 经译码形成相应的控制信号（微命令）。

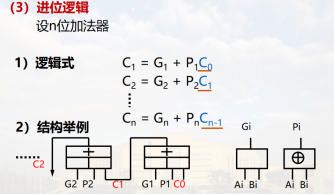
(3) 若干微指令组成一段微程序, 解释执行一条机器指令;

1. 判断下面叙述是否正确，说明理由：串行加法器中的进位链是串行进位链，并行加法器中的进位链只有并行进位链。
2. 常用的加法器进位链结构有哪几种？

1）串行进位链

定义：低位向高位依次传递进位信号。

特点：结构比较简单，运算速度比较慢。



2）并行进位链

特点：各位进位信号同时形成，结构复杂，运算速度快。

1. 组内并行进位链
2. 组件并行进位链

各组的组间进位信号是由各组产生的最高进位信号

SN74181是一种具有并行进位的多功能ALU芯片，每片４位，构成１组，组内是并行

进位，另将组间并行进位链单独集成，如SN74182。

1. 组合逻辑控制器、微程序控制器有何区别？

组合逻辑控制：

由逻辑电路产生控制信号；

微程序控制：

由微指令代码(μΙ)预存控制信号，经电路翻译代码后产生控制信号。

采取逻辑组合控制方式来产生所需的微命令的控制器成为**组合逻辑控制器**。微命令的产生需要逻辑和时间条件，将这些条件作为输入条件，微命令作为输出，输入条件和输出控制信号之间的关系用一组逻辑式来表示，因此可以用组合逻辑电路实现。一种微命令需要一组逻辑电路，由所有微命令所需的逻辑电路经优化后构成微命令发生器。指令在执行时，由组合逻辑电路（微命令发生器）在相应的条件下，发出所需的微命令，控制有关的操作，这种产生微命令的方式，就是组合逻辑控制方式

采取微程序控制方式产生所需微命令的控制器被称为**微程序控制器**。微程序控制方式的特征就是为命令不是由组合逻辑电路产生的，而是由微指令(μΙ)经过译码后产生的。一条机器指令的执行分为若干步，将每一步操作所需的微命令按照固定格式进行编码，并存储成一条微指令，多条微指令构成一段微程序，这段微程序对应一条机器指令。

1. 组合逻辑控制器、微程序控制器的时序系统是如何划分的？

**组合逻辑控制器依靠不同的时间标志，使CPU分步工作，模型机按常规采用工作周期、时钟周期、工作脉冲三级时序。**

1. 工作周期划分：取指周期FT、源周期ST、目的周期DT、执行周期ET(用于指令正 常执行，中断周期IT、DMA周期DMAT(用于响应外部的I/O请求)

1）取指周期(FT)

从M取出指令并译码，修改PC。 —— 公共操作

取指结束时，按操作码和寻址方式(R/非R寻址)转相应工作周期。

2）源周期(ST)

按寻址方式(非R寻址)形成源地址，从M取出源操作数，暂存于C。

3）目的周期(DT)

按寻址方式(非R寻址)形成目的地址，或从M取出目的操作数，暂存于D。

4）执行周期(ET)

按操作码完成相应操作(传送、运算、取转移地址送入PC、返回地址压栈保存)；

后续指令地址送入MAR。

5）中断周期(IT)

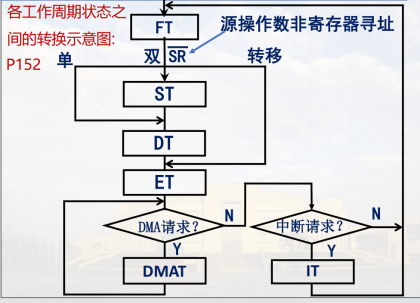
IT指CPU响应中断请求后，到执行中断服务程序前。需要一个过渡期，称为中断 周期IT。

关中断、保存断点和PSW、转服务程序入口。

6）DMA周期(DMAT)

DMAT指CPU响应DMA请求后，到完成一次数据传送的时间。

响应DMA请求之后，CPU进入DMAT。在DMAT中，CPU交出系统总线的控制权， 即MAR、MDR与系统总线断开（呈高阻态），DMA控制器接管总线权，控制数据 直传（由硬件完成）。



1. 时钟周期（节拍）

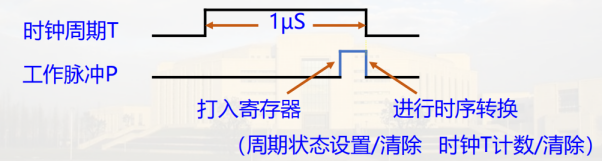
1）时钟周期时间： 完成一步操作（严格的说是CPU内部完成一次操作）：一次数据通路传送操作；

指令的读取与执行既有CPU内部数据通路操作，也包含访问主存的操作。为简化时序控制，模型机将两类操作周期统一起来，即以主存访问周期所需时间为时钟周期的宽度，这里设为1微秒。

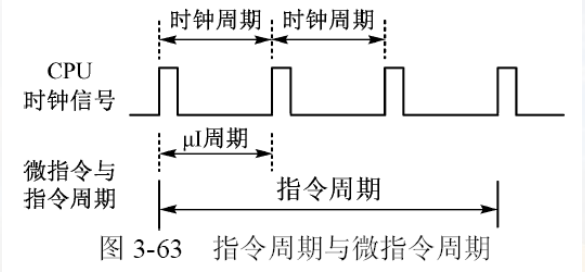
2）时钟周期数：一个工作周期中的时钟数可变

(3) 工作脉冲

时钟周期表示一个时间段，在这段时间内可以进行某种数据通路操作，如两数相加。但有些操作需要同步定时脉冲进行控制，如将稳定的运算结果打入寄存器，又如进行周期状态切换。模型机在每个时钟周期的末尾发一个工作脉冲P，作为各种同步脉冲的来源，如图所示。每个时钟周期结束时设置一个脉冲。



**微程序控制器：组合逻辑方式下1个时钟周期完成的工作，现在由1个微指令周期控制完成。**



1. 微命令、微操作、微指令、微指令周期、微程序？

① 微命令：构成控制信号序列的最小单位，又称微信号，指那些直接作用于部件或控制门电路的命令。如：打开或关闭某传送通路的电信命令，或对触发器或R进行同步打入，置位、复位等的控制脉冲。

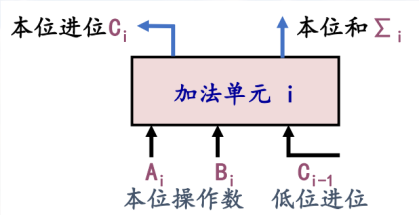
② 微操作：由微命令控制实现的最基本的操作称为微操作，如：开门、关门、选择。

③ 微指令：将一条机器指令每步操作所需的各种微命令按固定格式进行编码，并存储成一条微指令。

④ 微指令周期：通常指从控制存储器中读取一条微指令并执行相应的微操作所需的时间，一个微指令周期恰好等于一个CPU时钟周期。

⑤ 微程序：多条微指令代码的有序集合。

1. 1位全加器的结构及关系表达式。



输入、输出量之间的关系式： 根据真值表、卡诺图

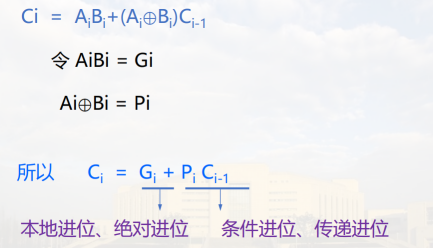
Σi =（Ai ⊕ Bi）⊕ Ci-1 (1)

Ci = Ai Bi +（Ai ⊕ Bi）Ci-1 (2)

根据(1)式得：如果三个输入中1的个数为奇数，则本位和为1，否则为0。

根据(2)式得：当本位的两个输入Ai、Bi均为1时，不管低位有无进位Ci-1传来，都必然产生进位Ci；若Ci-1为1，只要Ai、Bi中有一个为1，也必然产生进位。

进位信号基本逻辑：



1. 时序信号？时序系统？

时序信号指在数字系统中用来同步或控制操作序列的信号，例如时钟信号、复位信号、启动信号等。时序信号一般是脉冲信号，其状态发生变化表示一个特定的时间点。

时序系统指一个数字系统中所有时序信号的集合，包括时钟信号、复位信号、启动信号等。时序系统控制着数字系统中所有的操作和数据流，确保它们按照正确的顺序进行和传输。时序系统的设计需要考虑各个时序信号的相互作用和时序要求，以满足数字系统的功能要求和性能要求。

（1）时序信号：周期、节拍、脉冲

（2）时序系统：产生时序信号的部件，由1个低频振荡器和倍频逻辑组成

**二、计算题：**

**1.并行加法器中的串行进位链结构：Cn = Gn + PnCn-1**

**并行进位链结构：Cn = Gn + PnGn-1+ … + Pn…P1C0**

1. **原码一位乘法（要求运算过程）；**

**三、设计题：**

**CPU的逻辑组成及工作机制**

**1.CPU的逻辑组成（模型机框图）**

**（1）CPU的逻辑组成→模型机框图；**

**（2）CPU内每个寄存器的作用；**

**（3）总线的分类及定义；**

**（4）控制器的分类及区别；**

**2. CPU的指令流程**

**（1）指令类型：MOV指令、双操作数算数逻辑运算指令、单操作数算是逻辑运算指令、转移/返回指令、转子指令；（主要以MOV指令、双操作数算数逻辑运算指令为主）**

**（2）核心是寻址方式：立即寻址、R、(R)、—(R)、(R)+、@(R)+、X(R)；**

**3. 操作时间表的安排（微命令的安排）：**

**（1）CPU数据通路操作：按照数据的流向分成四段**

**ALU输入选择→AUL功能选择→移位器功能选择→分配脉冲（打入到寄存器中的脉冲）；**

1. **与访问主存有关的微命令。**
2. **存储子系统**
3. 基本概念及应用（注明：应用是指基本概念的应用）
4. 主存、缓存、外存？

**主存：**主存储器是能有CPU直接编程访问的存储器，用来存放CPU当前执行所需要的程序和数据，通常与CPU位于同一主机范畴之内，常被称作“内存”。

·为满足CPU对其编程直接访问的需要，一般对主存有如下基本要求：（特点）

-采用随机访问方式

-存取速率要足够快

-具有一定的存储容量

**缓存：**高速缓存中存放的是最近要使用的程序与数据，作为主存中当前活跃信息的副本。（为了解决CPU与主存之间的存取速率匹配）

·特点：存取速度快，容量小

**外存：**用来存放需要联机保存但暂不使用的大量程序与数据。 （程序与数据只有进入主存才能真正运行，而外存储器是作为后援的。）

·特点：存取速度较慢，容量很大

1. 高速缓存Cache用来存放什么内容？设置它的主要目的是什么？

高速缓存中存放的是最近要使用的程序与数据，作为主存中当前活跃信息的副本。为了解决CPU与主存之间的存取速率匹配。

1. 存储介质？

凡是明显具有并能保持两种稳定状态的物质和器件，如果能够方便地与电信号进行转换，就可以作为存储介质。

存储介质种类：

(1)磁芯存储器

基本单位：微型磁环，上世纪50年代---70年代。

(2)半导体存储器 （构成高速缓存、主存的单元）

1）静态存储器：是依靠双稳态触发器的两个稳定状态保存信息。

2）动态存储器：是依靠电容上的存储电荷暂存信息。动态存储器内部结构简单，功耗低，集成度高，适合大容量的主存储器。

(3)磁表面存储器

利用磁层上不同方向的磁化区域表示信息。容量大，非破坏性读出，长期保存信息，速度慢，作外存。

是构成外存的单元之一，分为：磁卡、磁鼓、磁带、磁盘等。

(4)光盘存储器

利用光斑的有无表示信息。容量很大，非破坏性读出，长期保存信息，速度慢，作外存。

1）只读型光盘（CD-ROM）

2）写入式（只能写一次）光盘（WORM）

3）可擦除/重写型（可逆式）光盘

1. 何谓随机存取？何谓顺序存取？何谓直接存取？请各试举一例。

(1)随机存取存储器（RAM）：random access memory （可读可写）

主存与高速缓存Cache是CPU可以直接编址访问的存储器，这就要求它们采取随机访问的存取方式。

随机存取的含义有两点：

1. 可按地址随机地访问任一存储单元，如可直接访问0000单元，也可直接访问 FFFF单元；CPU可按字节或字存取数据， 进行处理

② 访问各存储单元所需的读/写时间相同，与地址无关: 可用读/写周期（存取周期）表明RAM的工作速度。

速度指标：存取周期或读/写周期。

用作主存、高速缓存。

(2)只读存储器（ROM）:read only memory （只读不写）

只读存储器在正常工作中只能读出，不能写入。主存中常采用部分ROM固化系统软中的核心部分、已调试好不再改变的应用软件、汉字字库一类信息。掉电后信息可以保存。

CPU中也常采用ROM，存放用来解释执行机器指令的微程序。

(3)顺序存取存储器（SAM）:sequential access memory

顺序存取存储器的信息是按记录块组织、顺序存放的，访问时间与信息存放位置有关。

磁带是采取顺序存取方式的存储器。

两步操作：等待操作，读/写操作

速度指标：平均等待时间(ms)，数据传输率（字节/秒）

(4)直接存取存储器（DM）:direct access memory

访问时读/写部件先直接指向一个小区域，再在该区域内顺序查找。访问时间与数据位置有关。

三步操作：定位（寻道），等待（旋转）、读/写操作

速度指标：平均定位（平均寻道）时间(ms)

平均等待（平均旋转）时间(ms)

数据传输率（位/秒）

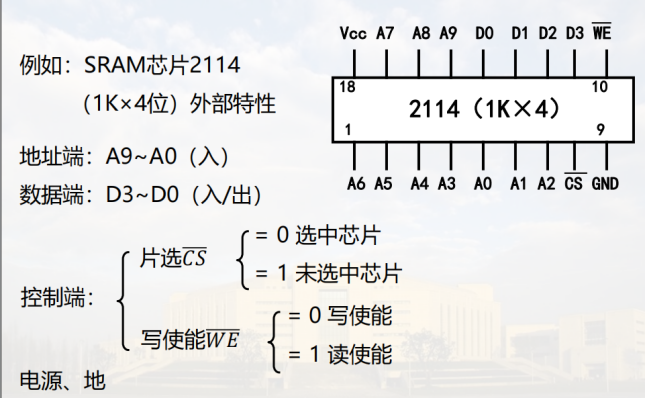
磁盘是采用直接存取的存储器

1. 静态存储器SRAM、动态存储器DRAM存储原理？

静态存储器SRAM （静态MOS型）：(如Intel2114，1K×4位)

依靠双稳态电路内部交叉反馈的机制存储信息。不需刷新

功耗较大,速度快,作Cache。



动态存储器DRAM （动态MOS型）： (如Intel2164,64K×1位)

依靠电容存储电荷的原理存储信息。需定期刷新。

功耗较小，容量大，速度较快，作主存。

是将存储信息以电荷形式存于电容之中，这种电容可以是MOS管栅极电容，或者是专用的MOS电容，通常定义电容 充电至高电平时为1；放电至低电平时为0。

1. 动态刷新分为哪几种情况，各有什么特点？

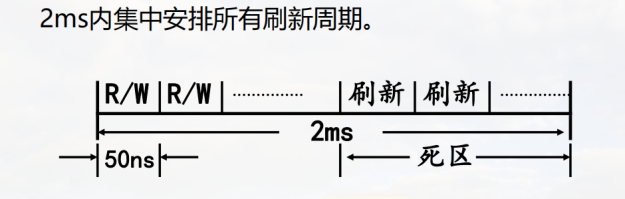
集中刷新：2ms内集中安排所有刷新周期。用在实时要求不高的场合

分散刷新：各刷新周期分散安排在存取周期中。用在低速系统中。

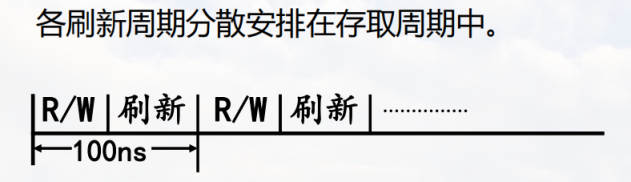
异步刷新：各刷新周期分散安排在2ms内。每隔一段时间刷新一行。用在大多数计算机中。

Ps: 刷新一行所用的时间——刷新周期（存取周期）

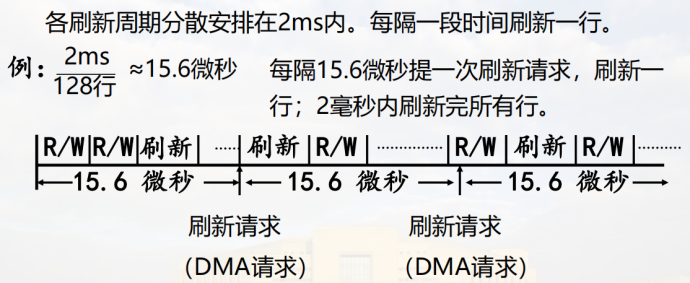
1. 集中刷新（用在实时要求不高的场合）：在最大刷新间隔时间内集中地安排若干刷新周期，其余时间不安排刷新，以免影响正常访存的读、写操作。因为把刷新操作集中安排都在一段连续的时间内，此过程存储器被刷新操作占用，无法进行正常的访存操作，所以会形成一段较长时间的访存死区时间。



1. 分散刷新（用在低速系统中）：将每个存取周期分为两段，前段时间提供对存储器的正常读写，后段时间专门用于刷新，即将刷新周期分散安排在读写周期后。这意味着，每次正常的读写访存后面，都安排一次刷新操作来刷新一行存储单元，故刷新频率等于访存频率。



1. 异步刷新（用在大多数计算机中）：刷新系统按最大刷新间隔和芯片行数来统筹安排所需的合理刷新周期数，每次刷新操作都是分散安排的，优先保障连续多次访存，既可以安排在访存前，也可以安排在访存后。



1. **刷新、重写的区别**？（近年新添加）

1）刷新：

时间过长，电容上的电荷会通过泄漏电路放电，使所存储的信息丢失。为此，经过一定时间后就需要对存储内容重写一遍，也就是对存1的电容重新充电，称为刷新。

2）重写(再生)：

对于单管动态MOS存储单元而言，读操作后C上的电荷将发生变化，属于破坏性读出，需要读后对存1的电容补充电荷，称为重写(再生)。这一过程，由芯片内的外围电路自动实现。

定义：定期向电容补充电荷——刷新

原因：动态存储器依靠电容电荷存储信息。平时无电源供电，时间一长电容电荷会泄放，需定期向电容补充电荷，以保持信息不变。

·最大刷新间隔：2-64ms。在此期间，必须对所有动态单元刷新一遍。

·刷新方法—按行读。

刷新一行所用的时间——刷新周期（存取周期）

刷新一块芯片所需的刷新周期数由芯片矩阵的行数决定。

**刷新与重写的区别：**

刷新：动态存储芯片，需补充电荷以保持原来的信息。

重写：破坏性读出后重写，以恢复原来的信息。

1. 全地址译码方式？部分地址译码方式？
2. 全地址译码方式

就是构成存储器时要使用全部地址总线信号，即所有的高位地址信号都用来作为译码器的输入，低位地址信号接存储芯片的地址输入线，从而使存储器芯片上的每一个单元在整个内存空间中具有唯一的地址。

1. 部分地址译码方式(无范围: 1000H ～ 17FFH假设)

就是仅把地址总线的一部分地址信号线与存储器连接，通常是用高位地址信号的一部分（而不是全部）作为片选译码信号；低位地址信号接存储芯片的地址输入线。

全地址译码、部分地址译码特点

① 部分地址译码使地址出现重叠区，而重叠区的部分必须空着不准使用，这就破坏了地址空间的连续性，也在实际上减少了总的可用存储地址空间。其优点是其译码器的构成比较简单，成本较低。

② 全地址译码使存储器芯片上的每一个单元在整个内存空间中具有唯一的地址。

③ 在实际应用中，采用全地址译码还是部分地址译码应根据具体情况来定。如果地址资源很富余，为使电路简单可考虑用部分地址译码；如果要充分利用地址空间，则应采用全地址译码。

三种译码方式的应用场合:

⚫ 所设计的存储器达到(或接近达到)CPU提供的全部存储空间时, 必须用全译码, 且任何时候都可以使用全译码方式

⚫ 所设计的存储器未达到CPU提供的全部存储空间时, 可以用部分译码或线译码。（无起始单元限制）

⚫ 可采用全译码与部分译码相结合的方式, 即部分芯片用全译码, 另一些芯片采用部分译码。

**二、设计题：**

**半导体存储器逻辑设计：(地址分配、片选逻辑、逻辑框图)，片选逻辑采用全/部分译码方式。**

1. **I/O系统**
2. 基本概念及应用（注明：应用是指基本概念的应用）
3. 系统总线上一般包含哪三组信息？
4. 地址信息（Address Bus）： 地址总线是用于传送地址信息的部分，它指定了数据在内存或者I/O设备中的位置。地址总线的宽度决定了系统的寻址能力，即可以寻址的内存或设备的数量。
5. 数据信息（Data Bus）： 数据总线是用于传送实际的数据信息的部分。它决定了一次能够传送的数据位数，也就是系统的数据传输带宽。数据总线的宽度通常以位（bit）为单位，例如32位或64位。
6. 控制信息（Control Bus）： 控制总线包含了控制信号，用于控制数据传输和其他系统操作。这些信号包括读写控制信号、时钟信号、中断信号等。控制总线的作用是协调各个组件的操作，确保数据正确地在系统内部传输。
7. 中断方式定义、实质、特点？
8. 定义：CPU暂时中止现行程序的执行，转去执行为某个随机事态服务的中断处理程序。处理完毕后自动恢复原程序的执行。

中断的这一定义包含了程序切换和随机性两个重要特征。

1. 实质：程序切换

方法： 保存断点，保护现场(中断处理前)；恢复现场，返回断点(中断处理后)

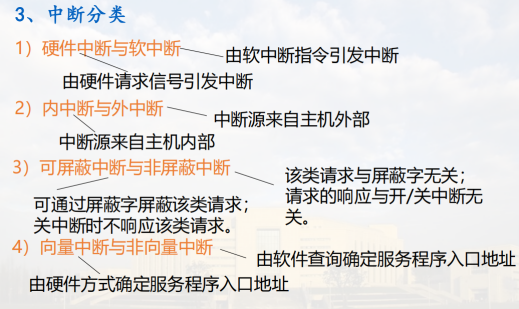
时间： 一条指令结束时切换。保证程序的完整性。

1. 特点：随机性，分为如下几类

随机发生的事态（按键、故障）

有意调用，随机请求与处理的事态（调用打印机）

随机插入的事态（软中断指令插入程序任何位置）



1. 中断向量、中断向量表、向量地址？
2. 中断向量：采用向量化的中断响应方式，将中断服务程序的入口地址及其程序状态字存放在特定的存储区中，所有的中断服务程序入口地址和状态字一起，称为中断向量。
3. 中断向量表：即用来存放中断向量的一种表。在实际的系统中，常将所有中断服务程序的入口地址（或包括服务程序状态字，即中断向量）组织成一个一维表格，并存放于一段连续的存储区，此表就是中断向量表。
4. 向量地址：访问中断向量表的地址码，即读取中断向量所需的地址（也可称为中断指针）。
5. 何谓向量中断？何谓非向量中断？各有何优点和缺点？
6. 向量中断：将各个中断服务程序的入口地址（或包括状态字）组织成中断向量表；响应中断时，由硬件直接产生对应于中断源的向量地址；据此访问中断向量表，从中读取服务程序入口地址和PSW，由此转向服务程序的执行。这些工作在中断周期IT中由硬件直接实现。

·向量中断的特点是依靠硬件操作快速地转向对应的中断服务程序，优先级管理灵活， 易于拓展，但复杂性高，开销大。

1. 非向量中断：将服务程序入口组织在查询程序中，CPU响应时，执行查询程序，查询中断源，转入相应的服务程序。

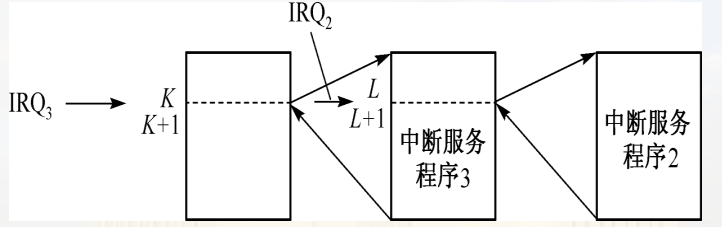
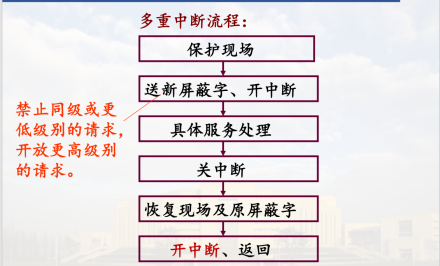
·非向量中断方式硬件逻辑简约，调整优先级方便，但响应速度慢

现代计算机通常具备向量中断功能，非向量中断方式一般作为向量中断的一种补充。

1. 单级中断、多重中断？
2. 单级中断：CPU响应后只处理一个中断源的请求，处理完毕后才能响应新的请求。



1. 多重中断：在某次中断服务过程中，允许响应、处理更高级别的中断请求。

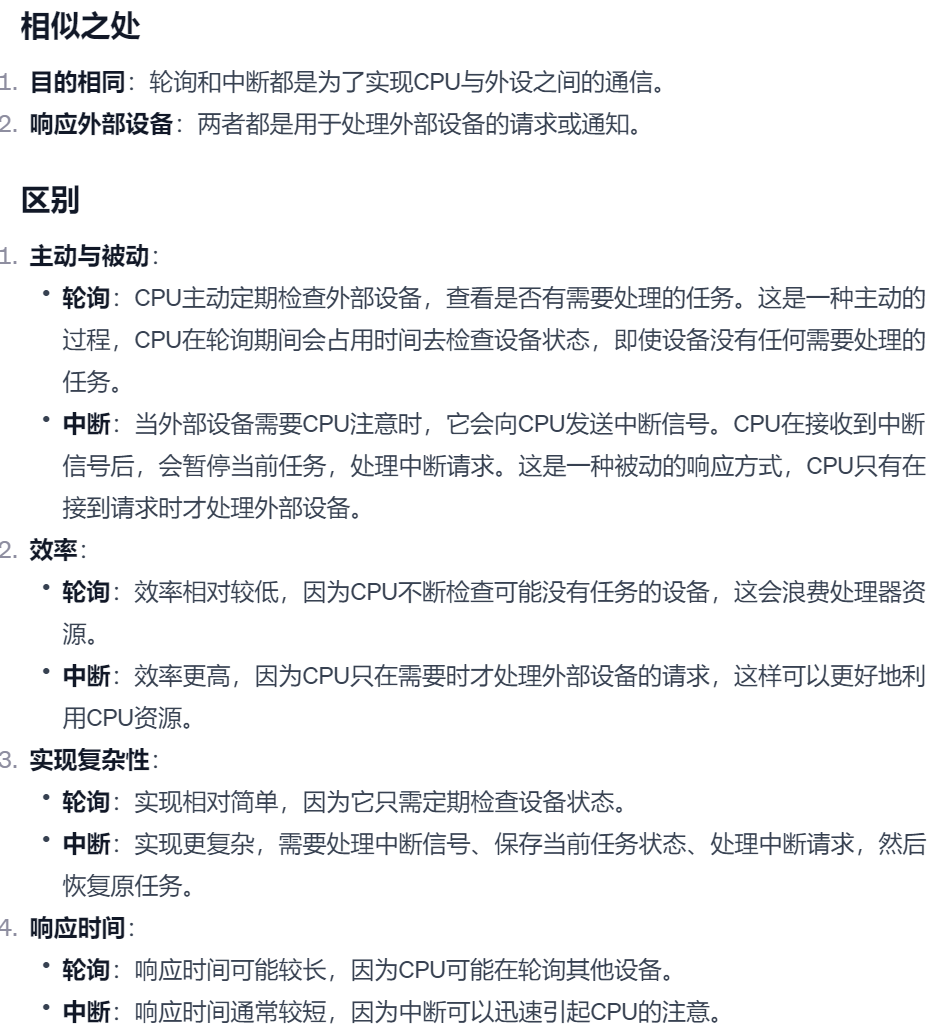
1. 中断控制器8259A的工作原理？
2. 转子与中断调用的相似、区别？

中断与转子程序的区别：

•转子程序的执行由程序员事先安排,而中断服务程序的执行则是由随机中断事件触发。

•转子程序的执行受主程序或上层程序控制,而中断服务程序可能与被中断的现行程序无关。

•一般不存在同时调用多个子程序的情况,但可能发生多个外设同时向CPU发出中断服务请求的情况。



1. DMA方式定义、实质、特点？

**定义：**DMA，即直接存储器访问（Direct Memory Access），它指这样一种传送控制方式：依靠硬件直接在主存与外围设备之间进行数据传送，在数据的I/O传输过程中不需要CPU的干预。

1) 传送发生在I/O与主存之间;

2) 由DMA控制器来控制传送,DMA控制器接管总线权,传送完毕再将总线权交还CPU

3) 只要CPU不访存, DMA操作与CPU可并行操作。

4) 传送前和传送后需要CPU程序干预。

**特点与应用：**

(1)响应随机请求

(2)一般不影响CPU程序的执行，仅占用总线、无程序切换

(3)大批量数据的简单传送

【典型的应用场合】

(1)主存与高速I/O设备之间的简单数据传送。

(2)大批量数据采集系统

(3)动态存储器（DRAM）的自动刷新

1. 程序直传方式，中断方式，DMA方式之间的区别？

程序直传方式（Programmed I/O）：

特点： 在程序直传方式下，CPU负责整个I/O操作的控制。数据的传输是由CPU通过I/O指令的执行来完成的。

工作流程： CPU首先向I/O设备发出请求，然后等待设备的响应。当设备准备好时，数据被传送到CPU的寄存器中。这是一个同步的过程，CPU需要等待I/O操作完成才能执行其他指令。

适用性： 适用于低速设备或数据传输量较小的情况，因为它会占用CPU的大量时间。

• DMA与中断的相同点:

能响应随机请求。

• DMA与中断的不同点:

中断：

① 用程序实现中、低速I/O传送; 能处理复杂事件;

② 一条指令结束时响应请求。

③ 程序切换

DMA：

① 用硬件实现高速、简单I/O传送; 一个总线周期结束时响应请求。

② 总线权切换

③ CPU不参与数据传送



**二、计算题：**

**1.在8259A中，如何通过IRR、IMR、ISR的值，判断中断接口是否向CPU发INT信号。**

**2.如何根据中断类型码（或中断号）生成向量地址。**

**考试题型**

一、简述题：（4题Χ5分=20分）

二、简答题：（5题Χ5分=25分）

三、计算题：（4题Χ5分=20分）

四、CPU综合应用题（15分）

五、存储器设计题（12分）

六、中断控制器综合应用题（8分）