

IAA6007: Computer Architecture

Logisim을 이용한 기본 컴퓨터 설계 실습 (Micro-programmed control)

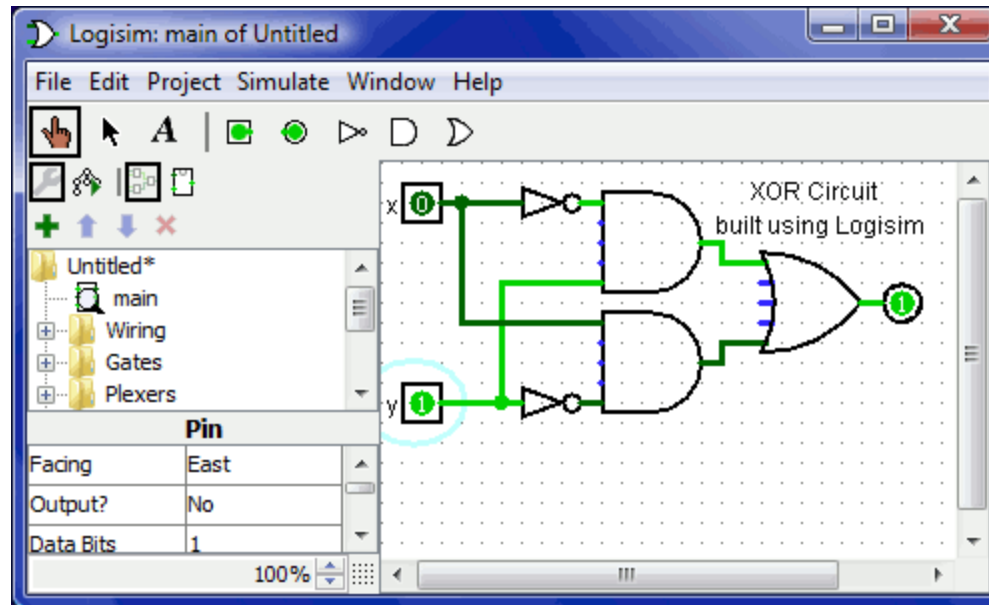
Wooil Kim
Dept. of Computer Science & Engineering
Incheon National University

2019 Fall

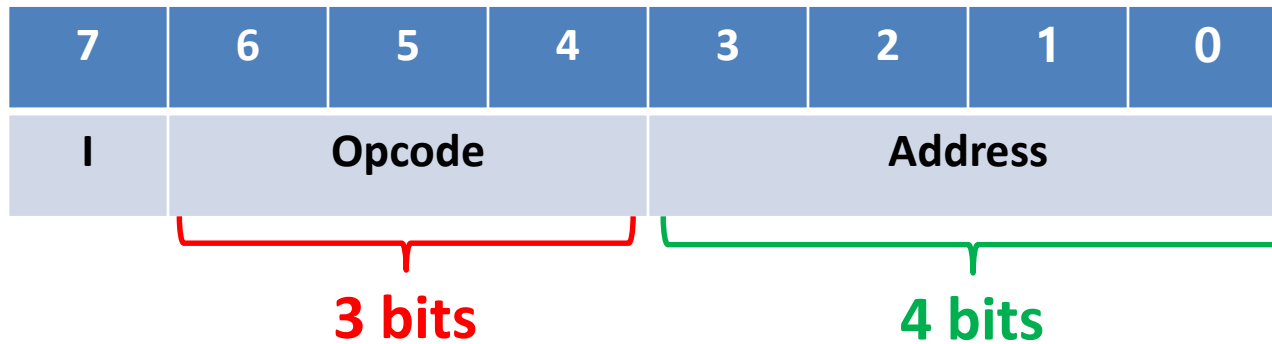
기본 컴퓨터 설계

- Micro-programed control 구조를 갖는 8-bit 기본 컴퓨터
 - 2가지 명령어 수행
- Logisim을 이용하여 설계
 - 회로 설계
 - 다음의 프로그램을 메모리에 적재하여 수행 동작 확인
 - 메모리에 저장되어 있는 값을 AC와 더한 후 임의의 주소에 저장

- GUI tool for designing & simulating digital logic circuits
- Webpage
 - <http://www.cburch.com/logisim/index.html>
 - Download & documentations



- 명령어 형식
 - 8 bit 명령어

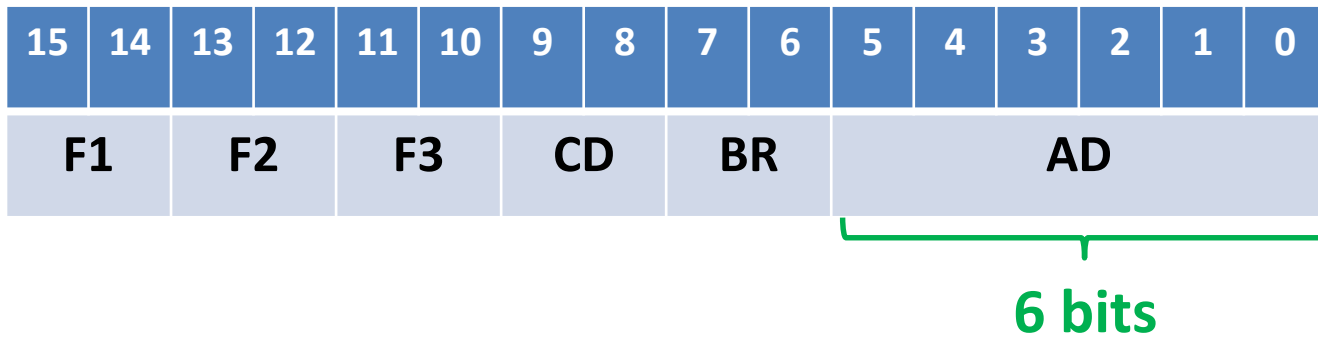


- 메인 메모리: $16(2^4)$ 번지 x 8 비트

- 지원 명령어

Symbol	Opcode	Description
ADD	0 0 0	$AC \leftarrow AC + M[EA]$
STORE	0 0 1	$M[EA] \leftarrow AC$

- 마이크로 명령어 형식
 - 16 bit 명령어



- 제어 메모리: $64(2^6)$ 번지 x 16 비트

- 마이크로 연산 필드

F1	Micro-op.	Sym.
00	None	NOP
01	$AC \leftarrow AC + DR$	ADD
10	$AR \leftarrow DR(0-3)$	DRTAR
11	$AR \leftarrow PC$	PCTAR

F2	Micro-op.	Sym.
00	None	NOP
01	$DR \leftarrow M[AR]$	READ
10	$DR \leftarrow AC$	ACTDR

F3	Micro-op.	Sym.
00	None	NOP
01	$PC \leftarrow PC + 1$	INCPC
10	$M[AR] \leftarrow DR$	WRITE

- 조건 필드

CD	Condition	Symbol	Comments
00	Always = 1	U	Unconditional branch
01	DR(7)	I	Indirect address bit

- 분기 필드

BR	Symbol	Function
00	JMP	$CAR \leftarrow AD$ if condition = 1 $CAR \leftarrow CAR + 1$ if condition = 0
01	CALL	$CAR \leftarrow AD, SBR \leftarrow CAR + 1$ if condition = 1 $CAR \leftarrow CAR + 1$ if condition = 0
10	RET	$CAR \leftarrow SBR$ (Return from subroutine)
11	MAP	$CAR(2-4) \leftarrow DR(4-6), CAR(0,1,5) \leftarrow 0$

- 메모리
 - 메인 메모리, 제어 메모리
- 레지스터 (그림 7-4)
 - AR, PC, DR, AC, CAR, SBR
- 멀티플렉서 (그림 7-4)
- 가산기

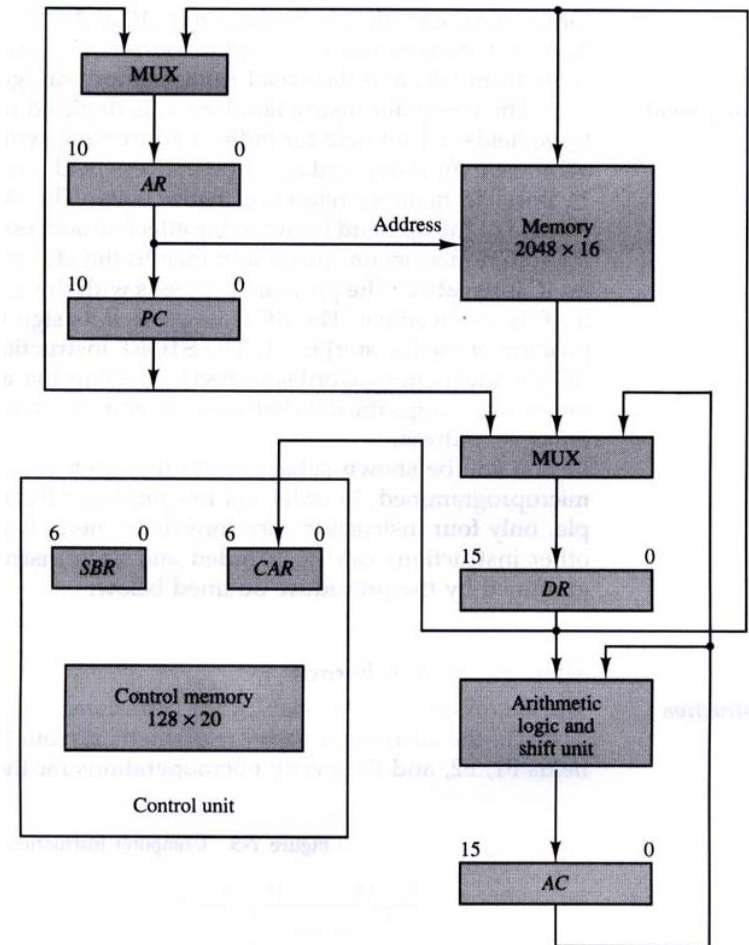


Figure 7-4 Computer hardware configuration.

- 마이크로 프로그램

Label	Micro operation	CD	BR	AD
	ORG 0			
ADD:	NOP	I	CALL	INDRCT
	READ	U	JMP	NEXT
	ADD	U	JMP	FETCH
	ORG4			
STORE:	NOP	I	CALL	INDRCT
	ACTDR	U	JMP	NEXT
	WRITE	U	JMP	FETCH
	ORG 32			
FETCH:	PCTAR	U	JMP	NEXT
	READ, INCPC	U	JMP	NEXT
	DRTAR	U	MAP	
INDRCT	READ	U	JMP	NEXT
	DRTAR	U	RET	

- 제어 회로 설계 (그림 7-7)
 - F1, F2, F3 디코더
 - 각 마이크로 연산을 위한 제어신호

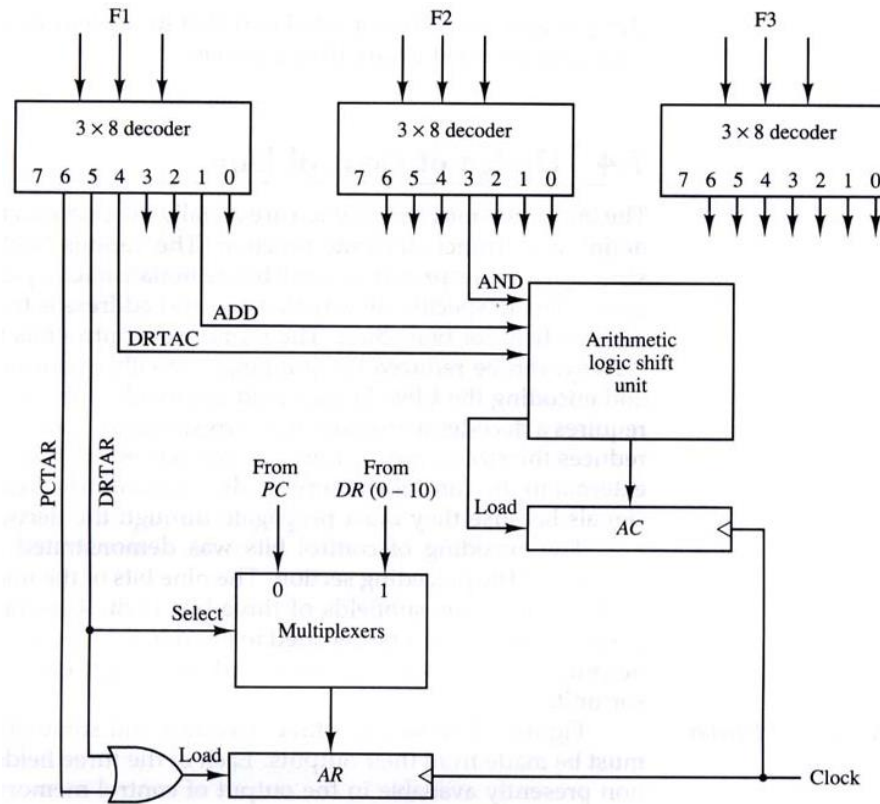


Figure 7-7 Decoding of microoperation fields.

- 주소 sequencer 설계 (그림 7-8)

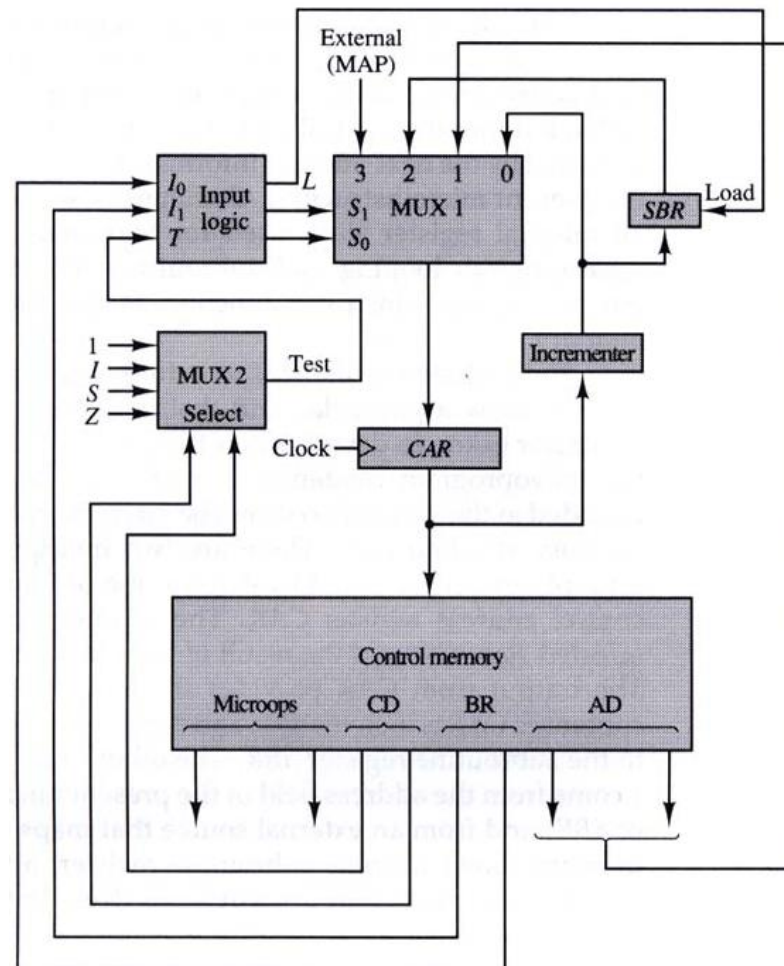


Figure 7-8 Microprogram sequencer for a control memory.