컴퓨터 공학 기초 설계 및 실험1

예비 & 결과 보고서

실험제목: Latch & Flip Flop

실험일자: 2018년 03월 29일 (금)

제출일자: 2018년 04월 4일 (목)

학 과:컴퓨터정보공학부

담당교수: 이혁준

실습분반: 03-금012

학 번: 2018202074

성 명: 김상우

결과보고서

1. 제목 및 목적
   1. 제목

Latch & Flip Flop

* 1. 목적

기억소자로서의 Latch와 플립플롭을 사용하거나 구현해본다. 그 과정을 통해 Latch와 플립플롭에서 입력들과 그로 인한 결과를 정리하고 Latch와 플립플롭의 역할과 원리를 이해하는 것을 목표로 한다. 또한 결과적으로 D 플립플롭, JK 플립플롭을 비롯한 다양한 종류의 Latch와 플립플롭을 이해하고 각각이 어느 상황에 써야 하는지 알고 응용할 줄 아는 능력을 향상시키는 걸 최종 목적으로 한다.

1. 실험 결과

-(실험 9.1) NAND gate를 이용한 RS 래치 회로 구성 및 전압 측정

(앞으로 래치회로를 ♤로 표현한다.)

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 순서 | 입력 | | 출력 | | | |
| R’ | S’ | Q | | Q’ | |
| 1 | +5 | 0 | 1 | | 0 | |
| 2 | +5 | +5 | Q | | Q’ | |
| 3 | 0 | +5 | 0 | | 1 | |
| 4 | +5 | +5 | Q | | Q’ | |
| 5 | 0 | +5 | 0 | | 1 | |
| 6 | 0 | 0 | 1 | | 1 | |
| 순서 | 입력 | | 출력 | | 특징 | | |
| R’ | S’ | Q | Q’ |  | | |
| 1 | 0 | 0 | 1 | 1 | 부정 | | |
| 2 | 0 | +5 | 0 | 1 |  | | |
| 3 | +5 | 0 | 1 | 0 |  | | |
| 4 | +5 | +5 | 1 | 0 | Q | Q’ | |

정리: R’과 S’이 둘 다 +5V일 때 전 상태가 유지된다. 둘 다 0 V를 가진 후 둘 다 5V를 취해주면 직후의 상태가 유지되지 않는다.- 부정

-(실험 9.2) NAND 게이트를 이용한 래치 회로 구성 및 입/출력 전압 측정



논리식: ( Cp \* S )’ ♤ ( Cp \* R )’

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 순서 | 입력 | | | 출력 | |
| Cp | S | R | Q | Q’ |
| 1 | +5 | +5 | 0 | 1 | 0 |
| 2 | +5 | +5 | +5 | 1 | 1 |
| 3 | +5 | 0 | +5 | 0 | 1 |
| 4 | +5 | +5 | +5 | 1 | 1 |
| 5 | +5 | 0 | +5 | 0 | 1 |
| 6 | +5 | 0 | 0 | Q | Q’ |
| 7 | +5 | 0 | +5 | 0 | 1 |
| 8 | 0 | 0 | +5 | Q | Q’ |
| 9 | 0 | +5 | +5 | Q | Q’ |
| 10 | 0 | +5 | 0 | Q | Q’ |
| 11 | 0 | +5 | +5 | Q | Q’ |
| 12 | 0 | 0 | +5 | Q | Q’ |
| 13 | 0 | 0 | 0 | Q | Q’ |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 순서 | 입력 | | | 출력 | | 특징 |
| Cp | S | R | Q | Q’ |  |
| 1 | +5 | 0 | 0 | Q | Q’ | 변화없음 |
| 2 | +5 | 0 | +5 | 0 | 1 |  |
| 3 | +5 | +5 | 0 | 1 | 0 |  |
| 4 | +5 | +5 | +5 | 1 | 1 | 부정 |
| 5 | 0 | X | X | Q | Q’ | 변화없음 |

정리:Cp가 0V이거나 +5V면서 S와 R이 0V일 때 전의 상태가 유지된다. 모든 입력 값이 5 V를 가지면 직후의 상태가 유지되지 않는다.- 부정

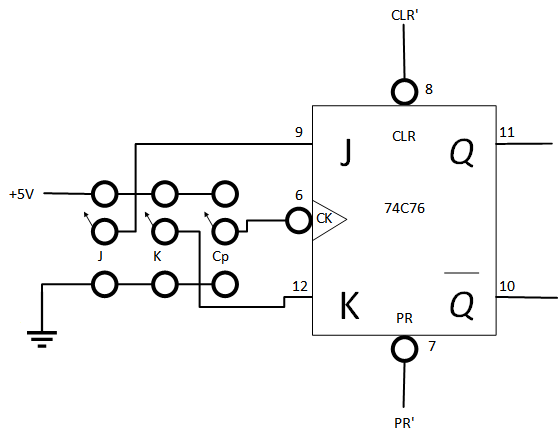
-(실험 9.4) D형 래치 구성 및 입/출력 전압 측정

논리식(D\*Cp)’ ♤ (D’\*Cp)’

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 순서 | 입력 | | 출력 | | 특징 |
| Cp | D | Q | Q’ |  |
| 1 | +5 | 0 | 0 | 1 |  |
| 2 | +5 | +5 | 1 | 0 |  |
| 3 | 0 | +5 | 1 | 0 | Q/Q’ |
| 4 | 0 | 0 | 1 | 0 | Q/Q’ |

정리: Cp가 0V일 때 전의 상태가 유지된다.

-(실험 10.3) 7476 플립회로(JK 플립플롭) 구성 및 입/출력 전압 측정



|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 순서 | 입력 | | | | | 출력 | |
| PR’ | CLR’ | Cp | J | K | Q | Q’ |
| 1 | 0 | +5 | X | X | X | 1 | 0 |
| 2 | +5 | 0 | X | X | X | 0 | 1 |
| 3 | +5 | +5 | 0 | +5 | 0 | 0 | 1 |
| 4 | +5 | +5 | +5 | +5 | 0 | 0 | 1 |
| 5 | +5 | +5 | 0 | +5 | 0 | 1 | 0 |
| 6 | +5 | +5 | 0 | +5 | +5 | 1 | 0 |
| 7 | +5 | +5 | +5 | +5 | +5 | 1 | 0 |
| 8 | +5 | +5 | 0 | +5 | +5 | Q’ | Q |
| 9 | +5 | +5 | 0 | 0 | 0 | 0 | 1 |
| 10 | +5 | +5 | +5 | 0 | 0 | 0 | 1 |
| 11 | +5 | +5 | 0 | 0 | 0 | Q | Q’ |
| 12 | +5 | +5 | 0 | 0 | +5 | 0 | 1 |
| 13 | +5 | +5 | +5 | 0 | +5 | 0 | 1 |
| 14 | +5 | +5 | 0 | 0 | +5 | 0 | 1 |
| 15 | +5 | +5 | 0 | 0 | 0 | 0 | 1 |
| 16 | +5 | +5 | +5 | 0 | 0 | Q | 1 |
| 17 | +5 | +5 | 0 | 0 | 0 | 0 | 1 |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| PR’ | CLR’ | C | J | K | Q(n+1) |
| 1 | 1 | ↓ | 0 | 0 | Qn |
| 1 | 1 | ↓ | 0 | 1 | 0 |
| 1 | 1 | ↓ | 1 | 0 | 1 |
| 1 | 1 | ↓ | 1 | 1 | Q’n |
| 0 | 1 | X | X | X | 1 |
| 1 | 0 | X | X | X | 0 |

정리: PR’과 CLR이 각각 0/1, 1/0일떄 다른 입력과는 상관없이 1/0이 나오며 PR과 CLR값이 모두 1이고 C의 값이 +5V에서 0V으로 바뀔 때 PR’과 CLR이 각각 0/1, 1/0이면 0/1이 나온다. 또한 PR’과 CLR이 각각 둘 다 1/0일 때 직전의 값이 반전/유지 된다.

|  |  |
| --- | --- |
| Cp |  |
| PR’ |
| CLR’ |
| J |
| K |
| Q |
| time |

타이밍 차트

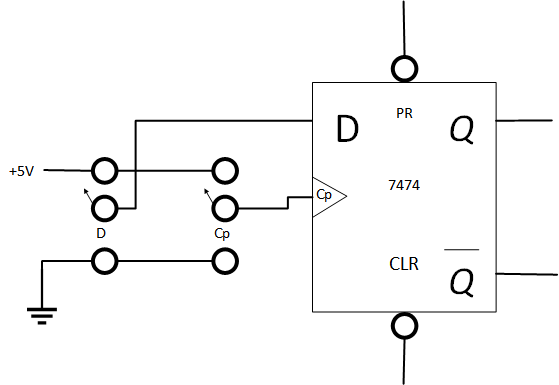
-(실험 10.4) T 플립플롭 회로 구성 및 입/출력 전압 측정



|  |  |  |  |
| --- | --- | --- | --- |
| 입력 | | 출력 | |
| Cp | T | Q | Q’ |
| 0 | X | Q | Q’ |
| +5 | 0 | Q | Q’ |
| +5 | +5 | Q’ | Q |

정리: Cp가 +5V이고 T가 +5V일 때 직전 값이 반전되어 나온다. 이외의 경우에는 직전 값이 유지되어 나온다.

-(실험 10.5) OR 게이트와 AND 게이트를 사용한 동작 회로



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 순서 | 입력 | | | | 출력 | |
| PR’ | CLR’ | Cp | D | Q | Q’ |
| 1 | 0 | +5 | X | X | 1 | 0 |
| 2 | +5 | 0 | X | X | 0 | 1 |
| 3 | 0 | 0 | X | X | 1 | 1 |
| 4 | +5 | +5 | 0 | 0 | 1 | 0 |
| 5 | +5 | +5 | +5 | 0 | 0 | 1 |
| 6 | +5 | +5 | 0 | 0 | 0 | 1 |
| 7 | +5 | +5 | 0 | +5 | 0 | 1 |
| 8 | +5 | +5 | +5 | +5 | 1 | 0 |
| 9 | +5 | +5 | 0 | +5 | 1 | 0 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| PR’ | CLR’ | C | D | Q(n+1) |
| 1 | 1 | ↑ | 0 | 0 |
| 1 | 1 | ↑ | 1 | 1 |
| 0 | 1 | X | X | 1 |
| 1 | 0 | X | X | 0 |

정리: PR’과 CLR이 각각 0/1, 1/0일떄 다른 입력 값에 상관없이 1/0이 나오며 PR’과 CLR과 둘 다 0일 경우 부정이 된다. PR’과 CLR이 모두 1이면 C값이 0에서 1이 될 때 D의 값이 출력된다.

1. 고찰

해당 실험은 래치(Latch)와 플립플롭(flip flop)과 같이 한번에 결과가 나오는 것이 아닌 전에 사용한 부품에 비해 비교적 연속적인 결과값을 출력하는 부품들을 사용했습니다. 그 결과 다수의 실험이 아니면 결과값을 출력할 수 없는 실험이 되었습니다. (결과값이 1, 0이 나와도 값이 Q 혹은 Q’인 경우가 존재, 실질적으로 시간축도 고려해야 함) 앞으로의 실험에서는 더더욱 실험 횟수를 늘려야 할 수도 있습니다. 그럴수록 주관적인 관점에서 실험을 진행하는 것이 아니라 객관적인 시점에서 볼 필요가 있을 것입니다. (멋대로 획일화할 경우 틀릴 가능성이 크게 증가함.) 무엇보다 가능한 많은 수의 조합으로 연결을 해보는 것이 가장 좋은 해답이 될 것입니다. 추가적으로 사용횟수가 많아지는 만큼 기기에 따라 부담도 많이 갈 것입니다. (값이 다르게 나오는 등의 문제가 생길 것이다.) 이에 대해 기기를 주기적으로 꺼주는 등의 대책도 필요할 것입니다.

예비보고서

1. 제목 및 목적
   1. 제목

Kirchhoff’s Voltage/Current Law

* 1. 목적

쿨롱 법칙을 비롯한 전기 관련 이론들과 연계하여 ‘키르히호프의 전압 법칙(KVL)’과 ‘키르히호프의 전류 법칙(KCL)’을 이해하고, 이 법칙이 이용되는 곳과 더불어 법칙에 맞추어 회로를 짜는 방법을 익힌다. 위 이론들을 완벽하게 이해하고 이를 통해 오류는 최소화되고 가능한 최대의 효율을 내는 회로를 만들 수 있는 능력을 기르는 것이 최종적인 목표이다.

1. 원리(배경지식)

**키르히호프의 전기회로 법칙:**

‘구스타프 키르히호프’가 찾아낸 전기회로 관련 법칙으로 전기회로에서의 전하량과 에너지 보존을 다루는 2개의 이론식을 의미한다. 이 회로이론들은 맥스웰 방정식에서 유도되어 진다.

**키르히호프의 전압 법칙(KVL):**

‘키르히호프의 전압 법칙은 키르히호프의 두번째 법칙, 혹은 키르히호프의 루프의 법칙이라고 명시된다. 옴의 법칙과 에너지 보존 법칙을 기반으로 하며 다음과 같이 설명한다.

닫힌 하나의 루프 안 전압의 합은 0이다.

혹은 폐쇄 회로의 인가된 전원의 합과 분배된 전위의 차의 합은 루프 내에서 같다.

루프 내 도체에 인가된 전압과 루프에 인가한 전체 전압의 합은 같다.(3문장은 같은 의미)

식으로는 △V=0’ 이며 만약 전압이 걸리는 부분이

다수일 경우 △Vk=V1+V2+V3+…+Vn=0’로 나타낼 수 있다.

다만 현실에서 완벽한 폐쇄 회로를 만들 수 없으므로 KVL이 실제로 적용되는 회로는 존재하지 않는다고 볼 수 있다. 다만 가정하에 이 법칙은 직류와 교류 모두에 적용이 가능하다는 장점이 있다.

: 다음과 같은 회로에서 V3를 제외한 나머지 부품에 걸리는 전압의 합이 3V라면 V3엔 -3V가 걸린다.

**키르히호프의 전류 법칙(KCL):**

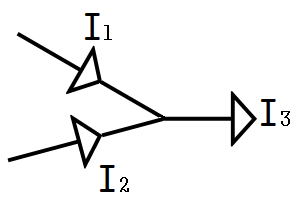
‘키르히호프의 전류 법칙(KCL)’은 ‘키르히호프 지점의 법칙, 키르히호프 분기점 법칙’등으로 불리는 키르히호프의 첫 번째 법칙이다. 전하가 저절로 생기거나 사라지지 않는다는 법칙인 전하보존법칙을 기반으로 하며, 내용은 아래와 같다.

전류가 흐르는 분기점에서 전류의 합, 즉 들어온 전류의 양과 나간 전류의 양의 합은 같다. 즉 회로 내에서 전류의 합은 0이 된다. (단 들어온 전류의 양을 양수로 나간 전류의 양을 음수라고 가정한다.)

식으로는 I=0’ 이며 다수일 경우 I=I1+I2+I3+…+In=0’로 나타낼 수 있다.

이 법칙은 반도체를 비롯한 회로 시뮬레이션 소프트웨어에 기본 법칙으로 적용된다.

다만 키르히호프 전압 법칙과 마찬가지로 도선상에서 전류의 손실을 0으로 만들 수는 없기 때문에 KCL이 완벽하게 적용되는 전선은 존재하지 않는다.

:다음과 같은 회로에서 I1 + I2 = I3가 성립한다.

1. 참고문헌

서적:

이원석,정길수/논리회로 실험/생능출판/2010

웹:

키르히호프 법칙

/ <https://terms.naver.com/entry.nhn?docId=1151683&cid=40942&categoryId=32240>

옴의 법칙과 키르히호프의 법칙

/<https://m.post.naver.com/viewer/postView.nhn?volumeNo=7149172&memberNo=21815&vType=VERTICAL>