컴퓨터 공학 기초 설계 및 실험1

예비 & 결과 보고서

실험제목: Kirchhoff’s Voltage/Current Law

실험일자: 2018년 04월 05일 (금)

제출일자: 2018년 04월 11일 (목)

학 과:컴퓨터정보공학부

담당교수: 이혁준

실습분반: 03-금012

학 번: 2018202074

성 명: 김상우

결과보고서

1. 제목 및 목적
   1. 제목

Kirchhoff’s Voltage/Current Law

* 1. 목적

저항과 전원으로 이뤄진 간단한 코드에서 전류와 전압을 측정하고 그에 따라서 구해지는 값을 ‘키르히호프의 전압 법칙(KVL)’과 ‘키르히호프의 전류 법칙(KCL)’을 이용했을 때 구해지는 이론값과 비교하여 법칙이 어떻게 이용되는 지와 더불어 법칙에 맞추어 회로의 전류와 전압을 읽어내는 방법을 익힌다. 최종적으로 복잡한 회로에서의 전류와 전압을 실제 측정 없이 대략적으로 구해내는 능력과 공식을 통해 오류발생의 여부를 판별할 수 있는 능력을 기른다.

1. 실험 결과

-(실험 1) 병렬연결에서의 전류값 측정



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | ir | iR1 | iR2 | iR3 |
| 이론값 | 0.11mA | 0.06mA | 0.03mA | 0.02mA |
| 측정값 | 0.11mA | 0.06mA | 0.03mA | 0.02mA |

전체저항:1/R1+1/R2+1/R3=1/100+1/200+1/300=11/600 ,전체저항 = 600/11kΩ

전체전류: 전체전압 = 6V 이므로 V=IR(옴의 법칙)에 의해 전체전류는 ir=V/R=11/100mA I(R1)와 I(R2), I(R3)는 병렬이고 이에 따라 각 저항에 흐르는 전압은 같으므로 R1, R2, R3을 지나는 전류는 각각 6V/100kΩ=0.06mA, 6V/200kΩ=0.03mA, 6V/300kΩ=0.02mA이다.

Node A와 Node B에 흐르는 전류의 도식화



-(실험 2) 전원이 2개 있는 회로에서의 전류와 전압 측정



R1, R2, R3에 흐르는 전류 I1, I2, I3

|  |  |  |
| --- | --- | --- |
| I1 | I2 | I3 |
| 0.048mA | 0.019mA | 0.029mA |

R1, R2, R3에 인가된 전압 VR1, VR2, VR3

|  |  |  |
| --- | --- | --- |
| VR1 | VR2 | VR3 |
| 1.28V | 3.72V | 8.72V |

KCL과 KVL을 이용해 구한 저항 R1, R2, R3에서의 전류

|  |  |  |
| --- | --- | --- |
| I1 | I2 | I3 |
| 0.048mA | 0.019mA | 0.029mA |

i1에서의 적용:-5+(27\*I1)+200(I1-I3)=-5+227\*I1-200\*I3=0

i2에서의 적용:-5+200(I3-I1)+300\*I3=-5+500\*I2-200\*I1=0

1135\*I1-1000\*I3=25, -400\*I1+1000\*I3=10, 연립시, 735\*I1=35, I1=1/21=0.048, I3=61/2100, (I1-I3)=I2=39/2100, 이므로 위와 같이 나온다.

-(실험 3) 전원이 1개 있는 회로에서의 전류와 전압 측정



저항 R1, R2, R3에 흐르는 전류 I1, I2, I3

|  |  |  |
| --- | --- | --- |
| I1 | I2 | I3 |
| 0.034mA | 0.021mA | 0.013mA |

저항 R1, R2, R3에 인가된 전압 VR1, VR2, VR3

|  |  |  |
| --- | --- | --- |
| VR1 | VR2 | VR3 |
| 0.9196V | 4.08V | 4.08V |

KCL과 KVL 이용시 저항 R1, R2, R3에 흐르는 전류

|  |  |  |
| --- | --- | --- |
| I1 | I2 | I3 |
| 5/147 | 2/147 | 3/147 |

i1에서의 적용:-5+(27\*I1)+200(I1-I3)=-5+227\*I1-200\*I3=0

i2에서의 적용:200(I3-I1)+300\*I3=0

1135\*I1-1000\*I3=25, -400\*I1+1000\*I3=0, 연립시, 735\*I1=25, I1=5/147, I3=2/147, (I1-I3)=I2=3/147, 이므로 위와 같이 나온다.

-(실험 4) closed loop가 여러 개인 회로에서의 전류 측정



KVL을 이용한 closed loop 1,2,3에서의 전류 측정

|  |  |  |
| --- | --- | --- |
| i1 | i2 | i3 |
| 0.03mA | 0.02mA | 0.03mA |

풀이:I1:100\*(i1-i2)+200\*(i1-i3)=1

I2:200\*i2+300\*(i2-i3)+100\*(i2-i1)=0

I3:200\*(i3-i1)+300\*(i3-i2)+100\*(i3)=6 연립 시 위와 같이 나온다.

저항 R1, R2, R5에 흐르는 전류 측정

|  |  |  |
| --- | --- | --- |
| IR1 | IR2 | IR3 |
| 0.01mA | 0.02mA | 0.03mA |

풀이: R2의 전류를 I2, R5의 전류를 I3라고 하고 i1의 전체전류를 유지한 상태로 선끼리의 접점에 대해 계산을 하면 다음과 같다.

100\*(I1-I2)+200(I1-I3)=7-6, 200\*I2+300\*(I2-I3)+100\*(I2-I1)=0, 100\*I3+200\*(I3-I1)+300\*(I3-I2)=6

이를 연립해 풀 시 I1=0.03mA, I2=0.02mA, I3=0.03mA가 나온다. 이때 IR1=I2-I1이므로 0.01mA.

1. 고찰

해당 실험에서 같은 회로여도 노드를 늘린 정도에 따라 사람이 한눈에 알아볼 수 있는 정도, 즉 가시성이 확연히 다름을 보였습니다. 실제로 회로를 간소화하거나 더 노드의 갯수를 늘렸을 때, 좀더 빠르고 수월하게 풀리는 것을 알 수 있었습니다. 앞으로 더욱 복잡해질 회로의 구조를 생각해보면, 간소화 및 필요에 따른 노드의 증가를 이용하는 것은 실험에서 큰 요소로 작용할 것입니다.(대표적으로 이전 실험에서 Nand게이트에 같은 값으로 입력을 2개받는 경우가 있었다. 이는 NOT과 출력이 같기 때문에 NOT만 사용해서 점프선의 개수를 줄일 수도 있었다.) 하지만 이 과정을 거칠 때, 회로에 대한 이해가 제대로 되지 않았다면, 재배치 이후 원하는 대로의 결과값이 출력되지 않을 가능성도 발생합니다. 즉 앞으로의 실험에서 재배치의 관한 기본 지식은 크게 비중을 차지할 것이라 생각합니다. 추가적으로 음수와 양수를 잘 활용한다면 재배치 없이 효율적으로 값을 구해낼 수도 있을 것입니다.

예비보고서

1. 제목 및 목적
   1. 제목

Asynchronous/synchronous counter circuit

* 1. 목적

동기식 카운터(Synchronous counter circuit)와 비동기식 카운터(Asynchronous counter circuit)의 차이 및 원리, 기능을 이해하는 것을 기본 목적으로 한다. JK 플립플롭 등으로 카운터 회로를 구현하거나 혹은 다른 회로 내에 이러한 카운터 회로를 응용할 수 있을 정도의 능력의 획득을 최종적인 목적으로 한다. 추가적으로 이전까지 배웠던 회로들의 기본적인 성능을 재활용함으로써 이전까지 배웠던 지식의 기반을 다지는 것도 목표로 한다.

1. 원리(배경지식)

**카운터 논리회로:**

카운터는 클럭 펄스에 개수를 처리하기 위한 논리회로로 동기식과 비동기식 2가지의 종류가 존재한다. 동기식의 경우 모든 플립플롭들이 하나의 공통 클럭에 연결되어 있어 모든 플립플롭이 동시에 트리거 되는 성질이 있는 반면, 비동기식 카운터는 플립플롭들이 서로 다른 클럭을 사용한 상태로 구성되어 있다는 특징이 있다.

**동기식 카운터 논리회로:**

비동기식 카운터 논리회로의 단점인 전파지연이 비교적 덜한 회로, 모든 플립플롭들이 하나의 공통 클럭에 연결되어 있으며 그 때문에 모든 플립플롭이 동시에 트리거 된다.

-2비트 동기식 2진 카운터

00, 01, 10, 11, 00 순서로 출력하는 동기식 카운터 논리회로이다. 이는 JK 플립플롭을 2개 사용한다.

(한 플립플롭은 1bit를 나타내기 때문에 2비트 동기식 2진 카운터에서는 2bit까지 나타내기 위해서 플립플롭을 2개 사용한다. )

JK 플립플롭을 이용할 시, CP값이 1에서 0으로 내려가는 현상이, Q중 하나는 1번 발생할 때마다, 다른 하나는 2번 발생할 때마다 각각의 값이 반전되는 형태를 띄고 있다.



-4비트 동기식 2진 카운터

0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000, 1001, 1010, 1011, 1100, 1100, 1101, 1110, 1111, 0000순으로 수를 출력하는 동기식 회로로 JK 플립플롭을 4개 사용해서 만든다. 기본적으로 ‘2비트 동기식 2진 카운터’에 AND게이트를 이용해 연결한 모습으로 보인다.



**비동기식 카운터 논리회로:**

비동기식 카운터 논리회로는 첫 번째 플립플롭의 CP입력에만 클럭 펄스가 입력된 후 다른 플립플롭은 각 플립플롭의 출력을 CP입력으로서 사용한다. 일반적으로 JK프립플롭이나 T 플립플롭으로 설계되며 종류에는 상향 카운터와 하향 카운터가 있다.

-상향/하향 카운터

JK플립플롭을 사용한 상향 카운터에선 CP값이 1에서 0이 될 때 트리거를 갖는다. 트리거가 발생시 1씩 증가하는 모습을 보인다. 구성하고 있는 플립플롭의 개수가 n이라면 0부터 2^n – 1까지 수를 나타낼 수 있으며, 각 플립플롭 들의 주파수를 다르게 하여 동작시킨다.

(ex )각각 주파수가 1번마다, 2번마다, 4번마다, 8번마다 값이 바뀌도록 되어있다면 트리거가 발생할 때마다 1씩 상승하는 것을 볼 수 있다.

하향 카운터는 이와 반대로 상향 카운터의 클럭에 있는 not gate가 없는 형태를 띄고 있다. 그 때문에 상향 카운터와는 반대로 트리거가 발생할 때 마다 1씩 감소한다.

**응용:**

이는 2진수에 지속적으로 1을 더하는 것과 같은 형태를 띄고 있으므로 2진수를 지원하는 컴퓨터와의 호환성이 비교적 뛰어나다. 그 때문에 카운터를 이용해 숫자를 표현하는 것이 가능할 것이다.

1. 참고문헌

서적:

이원석,정길수/논리회로 실험/생능출판/2010

웹:

동기식 카운터

/ <https://m.blog.naver.com/fldrh224728/220364133698>

카운터

/ <http://www.ktword.co.kr/abbr_view.php?m_temp1=4561>