

Практическое занятие

Моделирование работы цифрового функционального узла «Сумматор»

Цель работы: изучить принцип работы одного из основных цифровых функциональных узлов вычислительной техники и систем автоматизированного управления – «Сумматор».

Учебное оборудование: Моделирование работы функционального узла проводится в программной среде электронной лаборатории Electronics Workbench/Multisim.

Используются следующие виртуальные элементы и тестовые инструменты Electronics Workbench/Multisim:

	Название элемента	Элемент EWB	Библиотека EWB
	Базовые логические элементы	Logic Gates	Logic Gates
	Источник питания цифровых схем +5В	+ Vcc Voltage Source	Sources
	Логические блоки	Half-Adder, Full-Adder	Digital
	Переключатель	Switch	Basic
	Светодиодный индикатор («пробник»)	Red Probe	Indicators
	Цифровой семисегментный индикатор	Decoded Seven-Segment Display	Indicators

Краткие теоретические сведения

Сумматор (более точно, двоичный сумматор, англ. *adder*) является одним из основных логических (цифровых) функциональных узлов ЦСАУ и вычислительной техники в целом.

Функция сумматора заключается в сложении двух бит (A и B) и вывода одного бита результата (S). При этом сложении используется логическая функция «Исключающее ИЛИ» (XOR). Эта функция также называется «Сложение по модулю 2» (см. табл. 1). Как видно из табл. 1, в случае если на оба входа подается логическая 1, то результатом суммы (S) будет 0, при этом формируется дополнительный бит переноса P (иногда на логических схемах его обозначают буквой C , от англ. *carry* – переносить).

Таблица 1. Результат работы сумматора (полусумматора)

<i>A</i>	0	0	1	1	x_i , i -й бит 1-го операнда
<i>B</i>	0	1	0	1	y_i , i -й бит 2-го операнда
<i>S</i>	0	1	1	0	бит суммы (результат сложения по модулю 2)
<i>P</i>	0	0	0	1	бит переноса, <i>C</i>

Логическая схема сумматора (полусумматора) приведена на рис. 1.

Примечание. На схеме рис. 1 обозначения логических элементов приведены в соответствие с международным стандартом МЭК (Международный электротехнический комитет). Существуют также альтернативный американский стандарт ANSI. В среде EWB для обозначения логических элементов используется именно этот стандарт ANSI (см., например, рис. 2).

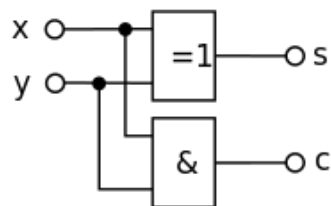


Рис. 1. Логическая схема сумматора (полусумматора)

Рассмотренный нами сумматор называют *полусумматором*. Различают схемы полусумматора (Half-Adder) и *полного сумматора* (Full-Adder). Отличие заключается в том, что схема полного сумматора имеет дополнительный вход для приема *сигнала переноса* от предыдущего сумматора/полусумматора.

Таблица 2. Результат работы полного сумматора

P_{i-1}	0	0	0	0	1	1	1	1	бит переноса предыдущего полусумматора
<i>A</i>	0	0	1	1	0	0	1	1	x_i , i -й бит 1-го операнда
<i>B</i>	0	1	0	1	0	1	0	1	y_i , i -й бит 2-го операнда
<i>S</i>	0	1	1	0	1	0	0	1	бит суммы (результат сложения по модулю 2)
<i>P</i>	0	0	0	1	0	1	1	1	бит переноса (carry bit)

С помощью набора каскадно соединенных сумматоров можно производить сложение двух двоичных чисел *различной разрядности*. Например, восемь последовательно соединенных сумматоров (один полусумматор и семь полных сумматоров) позволяют складывать по два 8-битных числа.

Задание

1. Моделирование работы двоичного сумматора (полусумматора) с помощью одного элемента XOR и одного элемента AND.

Соберите схему, представленную на рис. 2, и объясните ее работу.

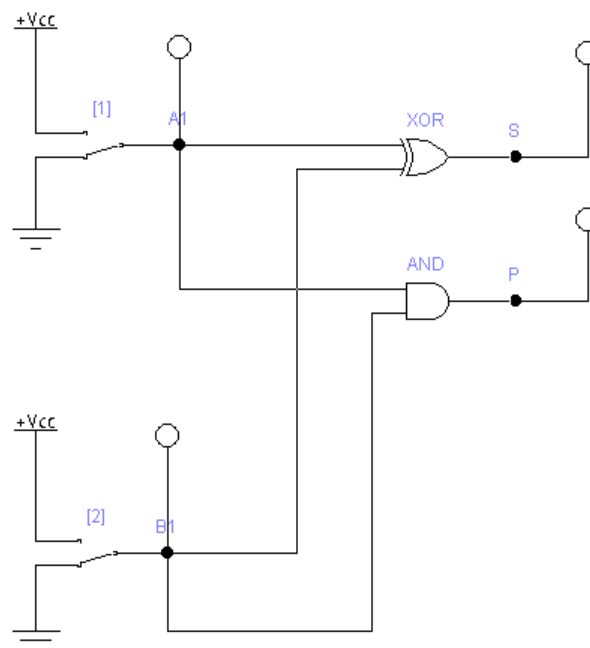


Рис. 2. Схема двоичного полусумматора с использованием базовых логических элементов

На приведенной схеме индикация цифровых сигналов производится с помощью набора светодиодов-пробников Red Probe. Задание (установка) бит производится с помощью двух переключателей.

2. Изучение работы готового логического функционального блока полусумматора Half-Adder из базовой библиотеки EWB Digital.

Соберите схему, представленную на рис. 3, и объясните ее работу.

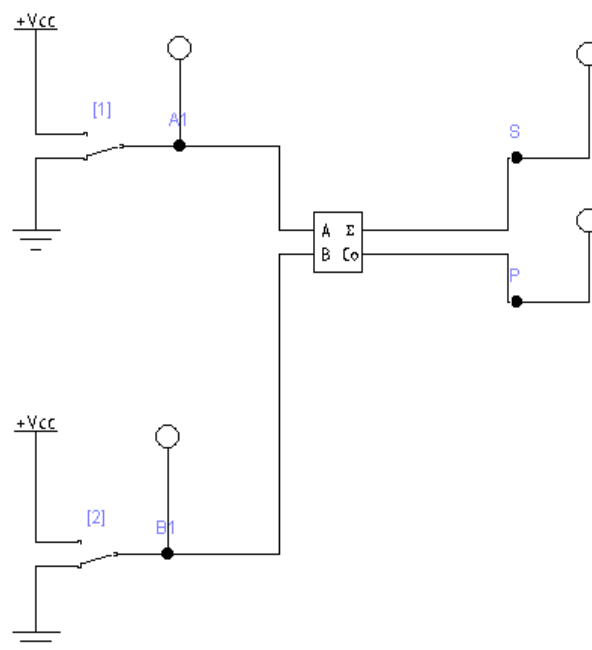


Рис. 3. Схема двоичного полусумматора с использованием логического функционального блока Half-Adder

3. Построение схемы и изучение ее работы для сложения двух 2-битовых чисел с помощью двух блоков сумматора – полусумматора Half-Adder и полного сумматора Full-Adder.

Соберите схему, представленную на рис. 4, и объясните ее работу.

В предлагаемой схеме индикация цифровых сигналов производится как с помощью набора светодиодов-пробников Red Probe, так и 3-х цифровых семисегментных индикаторов Decoded Seven-Segment Display (из базовой библиотеки Indicators).

Примечание. Индикатор Decoded Seven-Segment Display имеет встроенный дешифратор для преобразования 4-разрядного двоичного кода в 7-битный код семисегментного индикатора. В составе библиотеки Indicators имеется также семисегментный индикатор Seven-Segment Display в более простом исполнении – без встроенного дешифратора. Соответственно у элемента Seven-Segment Display не 4 входа, а 7 входов (см. практическое занятие «Формирование двоичного кода и способы его отображения (индикации) на схеме»).

Данная схема позволяет складывать числа от 0 до 3-х (соответственно результат может быть от 0 до 6-ти).

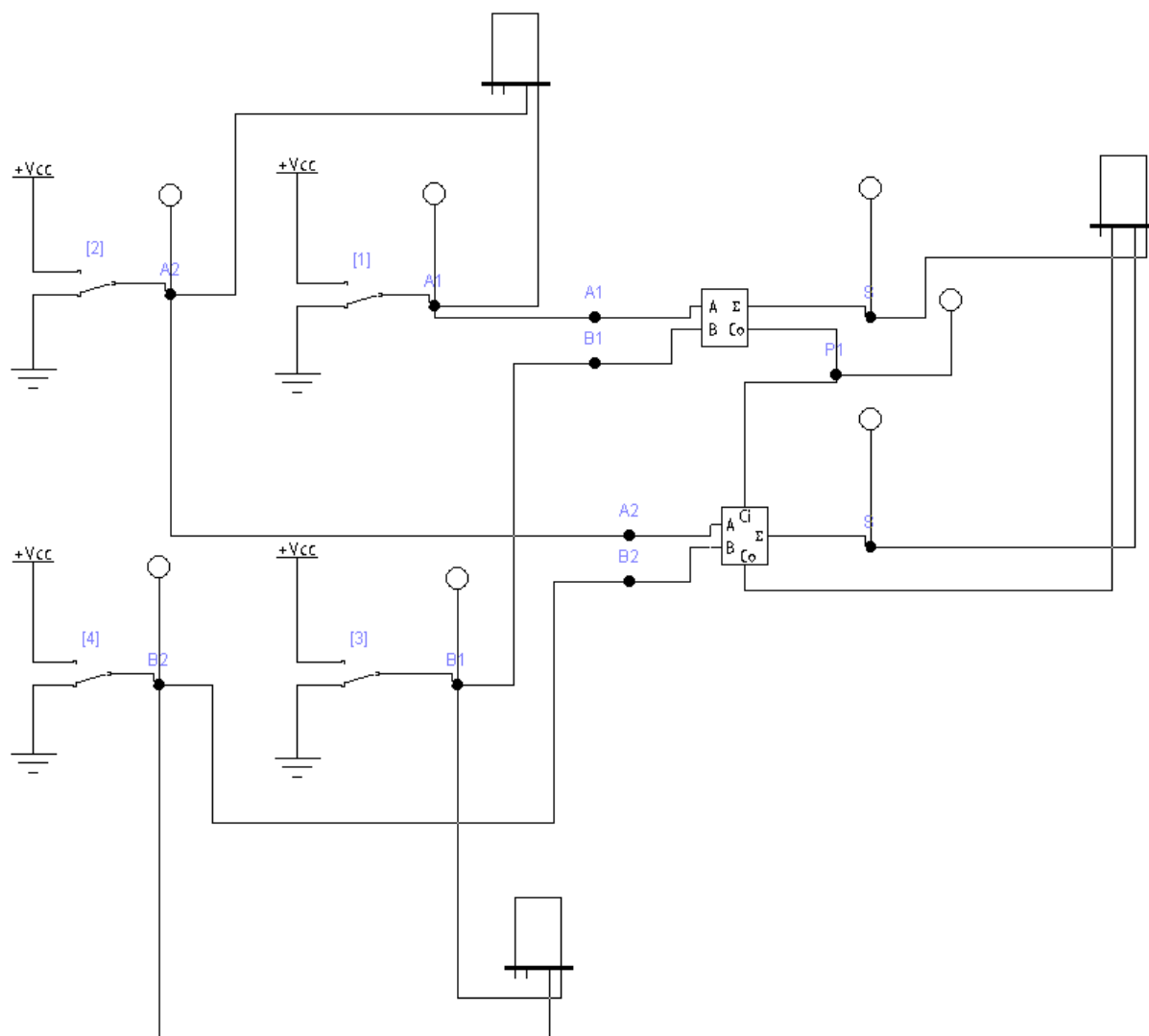


Рис. 4. Схема сложения двух 2-битовых чисел с выводом результата на цифровой семисегментный индикатор

4. Построение схемы для сложения двух 3-битовых чисел с помощью трех блоков сумматора – одного полусумматора Half-Adder и двух полных сумматоров Full-Adder.

Данную схему соберите *самостоятельно*. Для этого используйте схему из задания п.3 и добавьте в нее необходимые дополнительные элементы и функциональные блоки.

Данная схема должна складывать числа от 0 до 7-ми. Соответственно результат должен быть в диапазоне от 0 до 15-ти (поскольку в данной схеме мы не производим отдельного преобразования двоичного числа в двоично-десятичный (декадный), результат на индикаторе будет отображаться числом в шестнадцатеричном представлении, т.е. в диапазоне от 0 до F).

Примечание. В большинстве приборов для отображения числовых значений используется не двоичное (или шестнадцатеричное), а более привычное для восприятия человеком десятичное (или декадное) представление числа. В декадном представлении при превышении цифры 9 производится сброс цифры на 0 и одновременно увеличивается на одно значение цифра в более старшей позиции числа (например, 29 → 30, 599 → 600 и т.п.).

В предыдущей лабораторной работе при моделировании работы счетчика для отображения результата счета мы использовали как раз такое декадное представление числа (см. лабораторную работу «Счетчик», п.4). Там, в процессе последовательного счета при достижении значения 9 производилось просто формирование сигнала переноса для более старшей позиции числа. В младшей позиции числа значение цифры обнулялось и счет продолжался заново, пока ее значение опять не достигнет значения 9 и т.д. Т.е. специального преобразования двоичного числа в десятичное не требовалось. В общем случае произвольного двоичного числа необходимо делать отдельное специальное преобразование. В вычислительных устройствах с применением микроконтроллеров, это преобразование можно реализовать программным способом (по определенному алгоритму). Это наиболее простой и самый распространенный способ. В некоторых случаях (например, в устройствах автоматики, в которых отсутствует микроконтроллер) такое преобразование реализуют на аппаратном уровне (с использованием логических элементов микросхем). Ввиду сложности такого преобразования требуется применение специальных интегральных микросхем – Binary to BCD Converter (преобразователь двоичного кода в двоично-десятичный). Например, это микросхема 74185 (в библиотеке EWB данная микросхема не представлена).

5. Подготовьте отчет о проделанной работе.

Отчет должен содержать скриншоты (копии экрана монитора) с результатами проведенного моделирования и сформулированные выводы.

Контрольные вопросы

1. Поясните работу логического элемента XOR и приведите ее таблицу истинности. Почему данный элемент (функция) получил название «Исключающее ИЛИ»?

2. Предложите (разработайте) схему реализации элемента «Исключающее ИЛИ» (XOR) с помощью базовых логических элементов И, ИЛИ, НЕ (AND, OR, NOT).

3. Укажите, какую роль выполняет элемент AND на схеме рис. 1?

4. Поясните назначение всех выводов (входов и выходов) логического функционального блока полусумматора Half-Adder и полного сумматора Full-Adder.

5. Укажите, в чем состоит отличие полусумматора Half-Adder и полного сумматора Full-Adder?

6. Дайте ответ – может ли последовательное соединение одного полусумматора (Half-Adder) и одного полного сумматора (Full-Adder) проводить сложение двух 3-битных чисел? Как организовать сложение двух 8-битных чисел?

7. Объясните, как в вычислительной технике производится сложение трех и более двоичных чисел?

8. Поясните работу цифрового семисегментного индикатора. В чем отличие семисегментных индикаторов двух различных исполнений – Decoded Seven-Segment Display и Seven-Segment Display?

9. Для чего необходимо преобразование двоичного кода в двоично-десятичный код? В чем суть такого преобразования? Опишите действия, которые должна выполнять логическая схема для реализации данной функции. Сколько должно быть входов и выходов у блока, выполняющего данное преобразование?