

# 安腾技术文集(修订版)



# 高端微处理器架构的变迁和发展

## 前言

计算机问世以来，CPU 架构大约每隔 10 年都要发生一次根本性的变化。当前，随着 EPIC 架构的 Itanium 处理器系列(IPF)产品的问世、支持高端应用微处理器的主流架构又正处于大变革的前夕。

众所周知，现代计算机系统是在大规模集成电路设计技术和制造工艺基础上发展起来的，其中微处理器芯片更是系统中的核心和引擎，它不仅提供所需的处理能力，而且能够管理缓存、内存和互联子系统、支持整个系统实现多处理器并行计算。64 位微处理器是一种用于装备高端计算机系统的芯片。这种芯片虽然产量比 IA-32 架构的 X86 系列为代表的 32 位芯片少 2 个数量级、价格也比较昂贵(一个芯片的价格往往相当于若干台 PC 机)。但是，用它来装备的高档计算机系统却是当前信息时代的柱石。从重要性来讲，高档计算机系统被用于支持几乎一切领域关键任务应用，没有它们人类社会将难以前进，甚至陷于瘫痪；从经济角度来分析，高档计算机系统年销售额高达几百亿美元，再加上相关联的外设、存储系统、应用软件和服务市场，市场规模就更大了。64 位芯片的市场竞争涉及到整个高端计算机市场、大规模信息技术应用领域的竞争。再加上企业级系统的外围服务器、客户机、存储设备的选型也往往受到数据中心大型服务器的影响。可以说除了目前已经作为消费品的家用 PC 市场外，64 位芯片市场影响将波及整个信息产品市场。因此，64 位微处理器的主流架构和未来发展趋势必然成为世界各国各界人士关心的热点、整个信息技术和计算机应用市场竞争的焦点、各大计算机厂商必争的要点。

我国计算机信息技术起步较晚，产业和应用界正确把握 64 位微处理器主流架构的变化动态、及时采取适当的措施，不仅将有利于科学地制订计算机发展战略、创造无限的商机，而且将有助于提高计算机应用水平、促进整个国民经济的发展。

本文将从回顾近代高端微处理器主流架构变迁史出发，通过分析对比多种架构的优缺点，说明 Intel 和 HP 合作开发的 EPIC 架构 IPF 系列的发展潜力，指出它将要取代 64 位 RISC 芯片成为未来系统设计和企业应用的主流平台。

## 一、主流架构沧海桑田的变迁

回顾当年 RISC 战胜 CISC、64 位 RISC 取代 32 位这段历史，人们将清楚地看到社会对信息技术需求的增长以及 VLSI 技术的发展必将促使高端的主流平台发生新的变化，而 Intel 和 HP 合作开发的 Itanium EPIC 架构将代表高端发展方向，成为新的主流架构。

### 从 CISC 到 RISC 的变迁

二十世纪最后两个十年，随着 Internet 和电子商务的推广应用以及大规模集成电路技术的发展，支持高端应用的微处理器主流架构发生了重大的变化：被称为精简指令集的 RISC 架构的 64 位微处理器取代复杂指令集 CISC 架构的微处理器成为主流架构、装备应用于各种高端和关键领域的计算机系统。人们看到：

- 许多 CISC 大型主机被搬出企业和机构的信息中心，代替它们的是 64 位 RISC 的企业级服务器和集群系统；

- 专用的高速向量处理机(阵列机)失去了旧日的辉煌,代替它们的是基于通用的 64 位芯片的集群系统和 MPP 系统。不但 Convex 等一批以提供“买得起的巨型机(Cray 机模式的向量处理机)”吸引客户的小巨型机公司成为昙花一现,连老牌的巨型机骄子 Cray 也大走下坡路,几易其主。今天,在代表世界上 500 台最大超级计算机的 TOP500 中占首位的是 HP 基于 PA-RISC 的 Superdome 服务器和集群系统,占第二、三位的也是基于其他 64 位 RISC 芯片的超级计算机;
- 成群的 64 位 RISC 工作站被搬进企业的设计中心和电影公司的制作中心承担高端的 3 维 CAD/CAM 设计和数字特技任务;

这一切反映了计算机自 1946 年问世以来最有意义的一次最大变革,即装备高端应用的主流架构从 CISC 过渡到 RISC 架构。大规模集成电路技术出现的初期,装备高端应用的是 CISC 架构的芯片。RISC 架构和设计思想是 80 年代初出现的,它的基本思路是:抓住 CISC 指令系统指令种类太多(其中 80%以上都是程序中很少使用的指令)、大部分芯片资源都用于执行指令的微程序、指令格式不规范、寻址方式太多等缺点(例如, VAX 780 的指令操作类型超过 1000 种,而 Alpha 只有不到 50 种指令),通过减少指令种类、规范指令格式和简化寻址方式,大量利用寄存器间操作,大大简化处理器的结构、优化 VLSI 器件使用效率,大幅度地提高处理器性能、并行处理能力和性价比。RISC 架构能够更加充分利用现代超大规模集成电路设计技术、编译技术和制造工艺的潜力,为提高性能和性价比开辟了广阔的前景,逐步成为装备高端应用的主流架构。

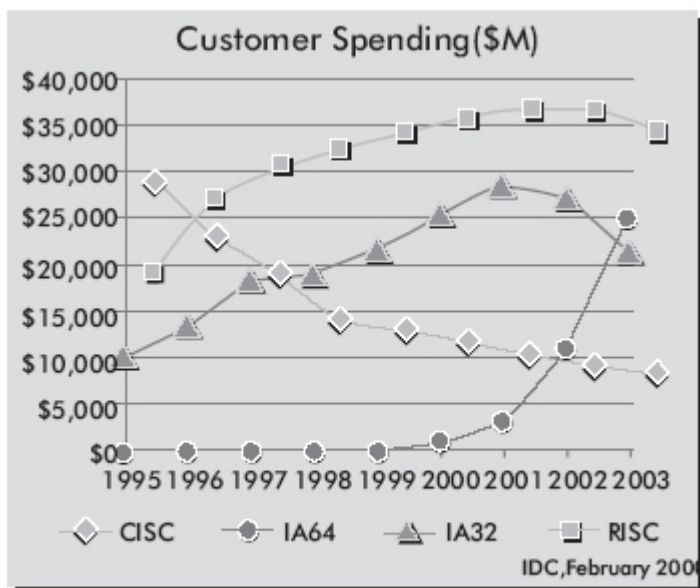


图1 基于各种架构芯片的计算机系统市场规模变化

从图 1 可以看到 CISC 的市场规模逐年下降、RISC 逐年上升,到 1997 年左右超过 CISC 成为主流平台。目前, CISC 计算机在高端仅在供少数领域使用大型主机中还占有一席之地。

## RISC 从 32 位到 64 位的发展

最初出现的是 32 位 RISC 芯片,各厂商纷纷推出了 32 位 RISC 微处理器。如 IBM 的 PowerPC 和 Power2, Sun 的 SPARC, HP 的 PA-RISC 7000 和 MIPS 的 R 系列等。基于这些芯片的产品取得了很大的成功,应用日益广泛、软件大量积累,市场规模也迅速扩大。但是,基本字长

为 32 位的处理器内存寻址空间最大只能达到 4GB、数据传输通道的位数也较窄，不能满足支持大量用户的 Web 检索、使用大量数据的高性能技术计算 (HPTC) 和数据仓库等最高端应用的需求，限制了计算机信息技术进一步发展。

20 世纪 90 年代发生的计算机技术另一重大发展是高端系统和应用从 32 位 RISC 向 64 位过渡。最早问世的 64 位 RISC 微处理器是 Alpha 21064 和 MIPS R4000。Alpha 率先全面完成了从 32 位过渡到 64 位技术生态系统建设的各项任务，包括 64 位微处理器设计和生产、从部门级、企业级到超级计算机的 64 位系统设计和生产、64 位操作系统、中间件和应用软件的开发、64 位系统集成、服务和支持，在此基础上建立了成熟的 64 位技术，创造了大量成功的应用实例、丰富的应用经验和应用成果。以后，各厂商也都先后实现了过渡到 64 位 RISC 平台，推出 64 位的芯片产品系列 (见表 1)。高端计算机应用开始进入了 64 位 RISC 计算的新阶段。

表 1 各主要厂商的 64 位 RISC 产品系列和 UNIX 操作系统		
厂商名称	64 位 RISC 产品系列	UNIX 操作系统名称
HP	PA – RISC 8000	HP – UX
原康柏	Alpha	Tru64 UNIX
IBM	Power	AIX
Sun	Ultra SPARC	Solaris
SGI	MIPS R1XXXX	IRIS

64 位技术揭开了信息时代的新篇章，支持全球性 Internet 和电子商务的大型和 7\*24 网站、破译人类基因密码、数字技术的广泛应用、全球性的天气和灾害分析预报、人类对外层空间的探测都离不开各种基于 64 位微处理器的计算机系统。64 位技术的广泛应用促使数据量爆炸性地增加，推动信息技术应用发生新变革、进入以存储为中心的新阶段。

64 位 RISC 处理器面临的挑战

但是，由于 64 位 RISC 芯片是从 32 位发展起来的。在 32 位时期，各厂商为了改进和发展原有的 CISC 产品，几乎都建立了自己的芯片设计队伍和生产机构。于是，RISC 从一开始就走上了各自为政、以邻为壑的发展道路。各主要厂商都拥有自己 64 位 RISC 微处理器产品系列、名为“开放”实际上不完全开放的 UNIX 操作系统、号称“兼容”其实并不完全兼容的中间件和应用编程界面 (API) 以及一大堆引以自豪的专利。此外，由于基于多种 RISC 芯片的服务器和工作站分割市场，每一种 RISC 芯片的市场份额都不可能太大、产品的批量也较小。特别是，近年来基于 IA-32 的 x86 架构芯片的开放性工作站基本上夺取了基于 RISC 的 UNIX 工作站市场后，进一步限制了 RISC 产品批量的扩大。为了保持价格/性能的竞争力，RISC 芯片设计师们不得不采用控制芯片资源量、提高芯片智能的思路来开放新产品，使得逻辑结构越来越复杂、设计工作量越来越大、设计周期也越来越长。

从技术上讲，大家知道，微处理器设计师们主要通过提高 IPC (每个周期执行的指令数) 和主频来提高芯片的性能。为了提高 IPC，必须提高处理器指令级并行 (ILP) 的能力。所谓 ILP 是指处理器同时执行多条指令的能力，即处理器在每个时钟周期内发送和执行尽可能多条指令的能力。为此，要求处理器：(1) 能够找到和标识程序中可以并行执行的指令段；(2) 具有充分的资源在最短时间内发送和同时执行可并行执行的指令段。这就要求处理器具有足够的智能和资源来完成这两项任务。不断探索更快速、更经济地的途径完成这两项任务，推动处理器设计技术向前发展。

传统的 RISC 设计师们希望通过在芯片上增加更多的逻辑和智能(所谓“聪明的处理器”)来提高指令并行度,同时又不必采用太高的工艺、增加太多的资源。虽然他们也试图利用编译程序来提高指令级并行度、但由于指令长度和芯片资源的限制,他们只能部分地借用编译程序的力量、主要依靠芯片的硬件逻辑来发现目标程序中可并行执行的指令段、提高指令级并行度。RISC 处理器所执行的只能是串行语义的程序。例如,Alpha 虽然能够利用编译程序把目标程序作部分的改造,但主要还是利用运行时信息和硬件逻辑来提高指令级并行度。Alpha 处理器采用当时很先进的超标量、无序指令发送机制来提高性能。它能够执行多条流水线、发送多条指令并根据程序的运行实际结果(如内存访问是否命中缓存、比较指令的结果和转移指令的方向等)、改变指令发送和执行的次序,而不是阻塞处理器的运行。这种无序执行技术的主要优点是能够在有限的工艺和资源条件下,大大提高指令并行度。最出色的例子是,Alpha EV6 采用无序执行技术实现了在基于与 EV56 相同的  $0.35\mu$  工艺条件下,把性能提高 1 倍以上,使芯片不仅具有高性能,而且在批量不太大的条件下具有较高的性能价格比。

虽然超标量、无序执行技术已经成为当前 64 位 RISC 芯片设计思想的主流、取得了很大的成功,但是这种技术也有其缺点,其中主要有:

- (1) RISC 处理器采用隐性并行技术, RISC 处理器指令长度较短、芯片资源有限,没有能力充分利用编译程序所产生的许多有用的信息来提高指令级并行度。RISC 处理器执行的是串行结构的目标代码流,不得不利用芯片的硬件逻辑反复地发现目标程序中的并行指令段,也就是说传统的 RISC 技术没有充分发挥硬件和软件相结合的合力(详见[12]);
- (2) 利用硬件提高指令级并行度的超标量、无序执行技术要求在芯片上设置能够执行多条流水线的功能部件且具有较高的智能和复杂的逻辑控制多条流水线的无序执行。实践表明:在超标量 RISC 处理器中,控制逻辑的面积随着功能部件的增加而平方增加,使得芯片结构越来越复杂,也妨碍了主频和性能提高;
- (3) 设计难度越来越大,再加上资源的约束,使得许多 RISC 芯片的设计周期越来越长、而且经常不能按期上市,难以满足应用发展的需要;

RISC 架构的缺点一方面由于它是从 CISC 演化过来的、64 位 RISC 虽然继承了 32 位的优点但也不可避免地受到其缺点的局限;另一方面是由于 RISC 架构的封闭性和产品批量限制。RISC 技术的复杂性、各厂商产品的封闭性和垄断性,使得 64 位芯片的批量难以扩大、新技术和新工艺难以采用、设计周期难以缩短、产品成本难以下降、应用难以普及。所有这一切又阻碍了微处理器技术进一步发展。20 世纪末期,这些缺点使得 RISC 架构面临了越来越严重的挑战,发展速度明显减慢,已经很难再跟上摩尔定律预示的速度,也很难满足 Internet 时代企业和高性能计算的需求。人们逐步意识到象 32 位系统一样,开放式系统的观念应该深入到处理器层次,而不是仅仅停留在计算机和操作系统层次上。于是,微处理器产业界开始酝酿一场新的革命,积极开发开放性的 64 位微处理器架构。

## Intel IPF EPIC 架构的出现

1994 年 6 月, Intel 和 HP 签署合作协议,为高端服务器和 workstation 市场共同开发全新的、开放性的 64 位架构。1997 年 11 月, Intel 和 HP 宣布推出 64 位的 EPIC(EPIC—Explicitly Parallel Instruction Computing; 显性并行指令计算)架构以及相应的产品计划。Intel 和 HP 在开发这种新型的 64 位芯片时,选择了一个与 RISC 微处理器大不相同的方向,发明了一种有利于加强指令并行执行的新处理器架构—EPIC。EPIC 既不是 RISC 也不是 CISC,它实质上是一种吸

收了两者长处的新架构。EPIC 架构的处理器产品采用 Itanium 作为品牌名称，其产品统称 Itanium 处理器系列 (IPF)。2001 年 5 月经过 7 年的艰苦努力，IPF 系列的第一代产品 Itanium 终于正式上市。Intel 于 2002 年和 2003 年又先后推出了二代、四款新型的 Itanium2 产品 (内部代号 Mckinley, Madison 和 Deerfield (见图 2)，一举确立了 IPF 性能相对于所有 RISC 处理器的领先地位。从此，高端市场上出现一支强劲的新军，也促使原来的竞争格局发生了根本性的变化：过去基本上由 64 位 RISC 独占的高端市场已经一去而不复返了，高端的竞争将由原来的各厂商的 64 位 RISC 芯片之间的竞争，逐步变为开放性的 IA-64 芯片与少数厂商专利的 RISC 芯片之间的竞争。

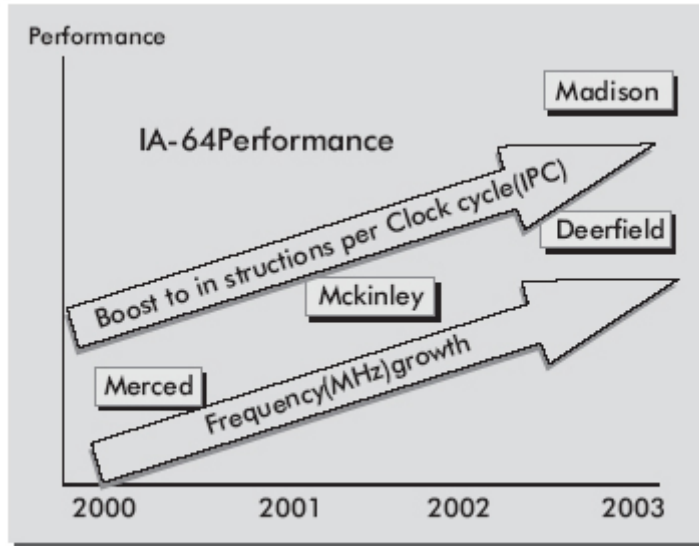


图 2 Itanium 处理器系列发展现状

Itanium 架构的设计实现基于如下的原则，使得 IPF 系列处理器不但能够实现持续高性能，而且具有随着技术发展进一步提高性能的潜力：

- 支持显性并行指令计算 (EPIC)；
- 提供一系列有利于增强指令级并行的特性；
- 提供完全的开放性，运行 Windows 和 Linux 等开放操作系统、支持一切 OEM 厂商进行应用开发，平等地面向整个计算机产业界；
- 把重点放在提高应用软件实际运行的性能，不但具有高基准测试指标，而且具有高实际应用性能，重点放在后者；
- 面向广泛范围的高端应用，适合于从事务处理、数据处理、网络通信到高性能技术计算广泛类型的高端应用；

### EPIC 架构的基本设计思想和优势

新兴的 EPIC 架构是一种革命性的新型处理器架构。它不仅仅提供 64 位处理能力、更重要的是在吸取 RISC 发展经验教训基础上、为提高处理器并行处理能力开辟了新的道路。它的基本设计思想是：

- (1) EPIC 架构采用显性并行机制，利用编译程序把程序员利用串行语义编写的源程序、转换成一系列可并行执行的记录，并提供必要字长和芯片资源记录编译程序所产生的并行信

息，从而利用编译程序和处理器协同能力来提高指令并行度。EPIC 架构处理器硬件的任务只是反演编译程序所产生的可并行执行记录，所有发现并行的任务全部由编译程序来完成；

- (2) 在此基础上简化芯片逻辑结构，为提高主频和性能开辟道路。在工程上有一条基本原则，设计不是越复杂越好，而是越简捷越好。事实上，简捷的构思比复杂的构思更困难、效果往往也较好；
- (3) 提供大量的资源来实现 EPIC，包括存储编译程序提供的信息以及提高并行计算效率所需的处理单元、缓存和其他资源。事实上，IPF 系列提供远比 RISC 处理器丰富的芯片资源，芯片上寄存器数、高速缓存容量和晶体管数都超过典型的 RISC 芯片。例如，Itanium2 芯片上拥有 382 个寄存器、容量高达 3M 的 3 级缓存和 2.14 亿个晶体管；2003 年上市的第二代 Itanium2 (Madison) 拥有容量高达 6M 的 3 级缓存和 4.1 亿个晶体管；

2001 年 5 月第一代 IPF 产品 Itanium 正式上市，从根本上改变了处理器市场竞争的格局。同年 6 月，原康柏公司正式宣布转向 IPF 系列，接着宣布与 HP 合并。2002 年与康柏成功合并的 HP 宣布把高端服务器产品全面转向 IPF 系列，形成了当前处理器市场竞争的新格局：老牌的 64 位 RISC 处理器 Alpha 系列将在再推出两个新产品 EV7 (Alpha 21364) 和 EV79 后在 2005 年左右后不再推出新产品；历史同样长的 MIPS 系列在 R20000 (甚至 R18000 后) 停止发展；HP 的 PA-RISC 架构的 PA-8000 系列再推出两代新产品 PA-8800 和 PA-8900 后，也将在 2007 年左右后不再推出新产品。这样 64 为 RISC 阵营只剩下两家声称将继续发展下去、与 IPF 竞争：IBM 的 Power 系列和 Sun 的 UltraSPARC (及其变种 Fujitsu 的 SPARC64)。其中，Power 系列最新产品是主频 1.7 GHz 的 Power4+，后续的产品将是 Power5；UltraSPARC 系列最新的产品是主频 1.2 GHz 的 UltraSPARC III Cu，后续的产品将是 UltraSPARC IV 和 V。

IPF 系列尽管只有三年上市的历史，已经显示出 EPIC 架构的先进性和强大生命力：2001 年中上市的第一代 Itanium 证明 EPIC 设计思想的可行性。2002 年中 Itanium2 上市，其性能比前一代产品提高 50-100%，使得基于 EPIC 架构的产品不仅性能、而且基准测试指标都居领先地位，2003 年第二代 Itanium2 上市，其性能比前一代产品又提高 50% 以上，进一步扩大了 IPF 系列相对于任何 RISC 处理器的性能领先地位。

## 多核和多线程技术的发展

竞争的现实向 RISC 厂商们展示了一个事实：EPIC 架构处理器的指令级并行度 (ILP) 比 RISC 处理器高得多，RISC 处理器单靠使用类似于无序发送之类技术来提高 ILP 很难与 EPIC 架构抗衡。于是，它们开始从提高线程级并行度 (TLP) 着手来提高 RISC 处理器的性能。事实上，Alpha 的工程师们在上世纪末期就开始酝酿使用同时多线程 (SMT) 技术来设计第五代的 Alpha 21464 (EV8)。尽管 EV8 最终没有投产，但仍然被许多分析家誉为最佳的设计、最有希望的技术。首先付诸实施的 TLP 技术是双核技术。所谓双核处理器是芯片制造业所采取的一个重大步骤，能够通过在一个芯片中置入两个处理器核心、提高处理器的性能、又不至于消耗更大的电源。IBM 在 2002 推出了使用双核技术的 Power4 处理器，接着又在 2003 年推出了主频达到 1.7 GHz 的 Power4+，一举改变了“IBM 虽然自己拥有芯片设计队伍和制造工厂、本身所生产和使用的处理器性能却十分落后”的传统说法，使得 IBM Power4 成为当前唯一的能够与 Itanium2 在一对一基础上竞争的 64 位 RISC 处理器。在 Power4 成功基础上，IBM 计划将于 2005 年推出一种多核、多线程处理器 Power 5。这种芯片同时集成了多核、多线程技术，具有双内核，可并发地处理 4 个线程的能力，就像在一个芯片中同时拥有四个 CPU，能使服务器性能比目前的 Power4 提升 40%。同时，Sun 也将推出双核心的 UltraSPARC IV，基



于 SMT 的 UltraSPARC V 以及高级多线程 Niagara 处理器；HP 将把两个当前的 PA-8700 芯片放入相同的硅片中、推出双核电 PA-8800(内部代码 Mako)，PA-8900 将使用多核技术。

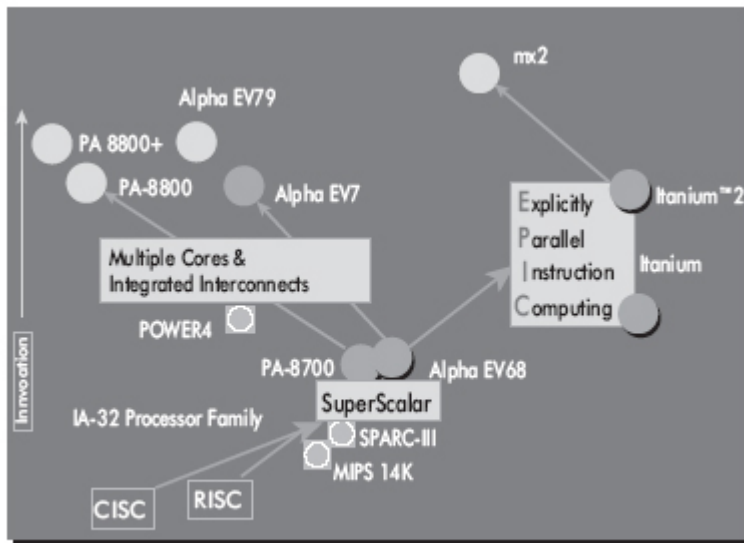


图 3 处理器产品未来发展势态

当前，通过多核、多线程或者两者结合的技术提高处理器的线程级并行度(TLP)已经成为处理器技术发展新趋势。这表面上似乎给传统的 RISC 技术带来了一线生机。事实上，多核和多线程技术并没有处理器架构的竞争焦点：首先，多线程并行技术并没有改变 RISC 封闭性和批量难以扩大的缺点，EPIC 架构开放性、大批量的根本优势仍然存在；第二，多线程并行技术也是以单核(单进程)高指令级并行度为基础的。EPIC 显性并行架构和 IPF 处理器丰富的芯片资源相结合产生远比 RISC 的基于超标量、无序执行技术的隐性并行技术高的指令级并行度，这一基本优势也没有消失。事实上，目前的 6MB L3、主频 1.5 GHz 的第二代 Itanium2 尽管主频比 1.7 GHz 双核的 Power4+低、而且是单核的，但性能超过后者(见表 2)；第三，EPIC 显性并行架构可以采用硬软件两条腿走路的方式提高处理器的指标，HP 等厂商单是通过改进编译程序将实现 2 位数字的性能提高；第四，IPF 系列是一个新兴的处理器系统，还有很多余地采用新的技术和借鉴 RISC 的经验提高处理器性能，包括采用行之有效的多线程并行技术。根据 Intel 的 IPF 系列发展蓝图，Intel 将于 2005 年推出双核的 IPF 处理器(开发代号 Montecito)，2006 年后逐步推出 4、8、16 核的 IPF 处理器(代号 Tukwila)。这些处理器将借鉴 Alpha EV8 的 SMT 技术，提供 10 倍以上的性能增长，保持和扩大性能领先于 RISC 产品的优势。人们越来越清楚地看到：正如当年 RISC 战胜 CISC、64 位取代 32 位一样，EPIC 将成为未来高端的主流平台。



# HP创建**动**成长企业



## 中国惠普有限公司

北京市朝阳区建国路112号中国惠普大厦

电话: 010-65643888

传真: 010-65643999

邮编: 100022

欲查询更多相关信息: 请访问 HP 网站:

<http://www.hp.com.cn>

中国惠普客户互动中心: 800-820-2255

售后服务支持热线: 800-810-5959

010-68687980

最终解释权归中国惠普有限公司所有

印制日期: 2004年2月北京印刷