

安腾技术文集(修订版)



Itanium 处理器系列的发展

处理器架构和服务器架构一样是指处理器的总体逻辑结构，是设计和制造处理器产品的基础。回顾微处理器技术发展历史，当一种新架构出现时虽然人们可以分析出、觉察到它的优点，但是这种新架构是否可行、是否能被产业界所普遍接受、是否具有取代原有的架构的前景，必须要看实践：要看依照它设计和生产出的具体处理器产品、基于该架构处理器的计算机系统、以及在相应硬件平台上的生态系统建设。EPIC 是一种革命性的新处理器架构。基于 EPIC 架构的 Intel Itanium 处理器系列(IPF)是一个新兴的处理器系列。IPF 系列虽然上市还刚 3 年、只有 2 代 5 个产品，已经让人们看到了基于 EPIC 架构处理器产品系列活生生的实例及其优越性和强大生命力：2001 年 5 月 Itanium 问世，证明了 IPF 设计思想的可行性和先进性；2002 年，Itanium2(McKinley)上市，其性能在不经任何调试和优化的条件下比第一代产品 Itanium 提高 50%到 100%，一举占领了 64 位微处理器性能的制高点；2003 年，第二代 Itanium2 (Madison 和 Deerfield) 性能又提高 50%，进一步扩大了 IPF 相对于 RISC 处理器的领先地位。从 Intel 公开的技术细节来看，IPF 系列一年一个台阶的稳步前进绝非偶然，而是由于 EPIC 架构为它的成功和今后的发展奠定了坚实的基础，也得益于 Intel 的在设计技术和制造工艺的强大实力，不仅使得 EPIC 的先进构思得到实施，而且使得 EPIC 许多先进特性的潜力得以充分发挥、推动 Itanium2 登上当代处理器性能的最高水平。

本文介绍 IPF 处理器系列发展现状、产品内部结构概貌、以及未来的发展蓝图。IPF 系列具体实践雄辩地证明了 EPIC 架构的优越性和发展潜力、也证明了 Intel 和 HP 完全有能力按照摩尔定律预示的速度发展 IPF 系列、不断赋予它新的生命力。无论从处理器技术发展历程、从已上市产品的佳绩、还是从 Intel 和 HP 的强大合力来分析，IPF 的优势都已经十分明显，肯定将被市场普遍采用、发展成为 64 位主流平台。

一、 IPF 系列的发展现状

当前 Intel IPF 系列产品统一以 Itanium2 品牌名称销售，本节介绍现有的 Itanium2 处理器产品，以及它们面向的市场领域。

1.1 现有的 Itanium2 处理器产品

2003 年 5 月，Intel 宣布推出第二代 Itanium2 处理器(内部代号 Madison)，2003 年 9 月 Intel 又宣布推出两款针对双处理器系统优化的 Itanium2 处理器(内部代号 Deerfield)。至此，IPF 系列包含三款 Itanium2 处理器，表 1 列出它们的基本参数、特点和面向的主要市场领域。

1.2 Itanium2 产品特点

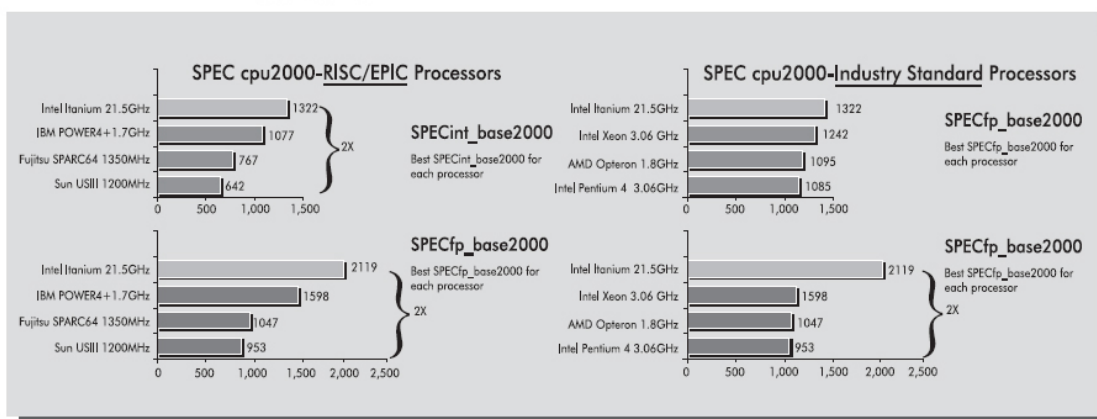
当前的三款 Itanium2 产品各有其特点，面向产品和市场不同的市场。

1.2.1 最高的性能指标

6 MB L3 缓存 Itanium2 最高的主频可达 1.5GHz，主要面向高端的双处理器和多处理器市场，提供最高的基准测试指标和实际应用指标，充分体现了 IPF 系列的性能优势。

图 1 Itanium2 提供领先于 RISC 处理器的性能

图 2 Itanium2 提供领先于其他工业标准处理器的性能



最高的基准测试指标

6MB L3 缓存 Itanium2 的浮点和整数基准测试指标不仅大大超过第一代 Itanium2(以及 Itanium), 而且领先于所有其它 64 位 RISC 处理器、IA-32 架构工业标准 32 位。处理器以及 AMD 新推出的 X86-64 架构 Opteron 处理器, 是当前最快的处理器。

全面领先的应用性能

HP 与 Intel 推出第二代 Itanium2 同步也宣布推出 Integrity 系列。该系列目前包含从 2 个处理器入口级服务器到 64 个处理器企业级服务器 (使用 HP 专门设计的 mx2 模块可以扩展到 128 个处理器), 是业界第一个覆盖各个应用档次的基于 Itanium2 服务器系列。实际应用和测试结果表明: HP 领先的系统技术与 Itanium2 领先的性能相结合, 使得 HP Integrity 系列各个档次服务器系统的在线事务处理、Web、Java 和 SAP 等重要的实际应用指标也都领先于其他厂商基于任何处理器的同档次产品, 充分显示了 Itanium2 领先的应用性能以及装备各个档次系统的能力。

1.2 高性价比和低功耗

高端的 6MB L3 缓存 1.50GHz Itanium 2, 应用于 MP 架构, 报价 4226 美元。另一款面向 MP 处理器 4MB L3 缓存 1.40GHz Itanium 2, 报价 2247 美元(1000 单位起批发价)。这两款 Itanium2 虽然性能领先、但是价格对于处理器数不超过 2 个的工作站和低端服务器市场来说太贵了, 这些领域中许多应用不仅需要 64 位寻址能力和较高的性能, 而且要求使用高性价比处理器装备基于工作站和入口级的集群系统、使用低功耗处理器建立超薄服务器。为了进一步拓宽 Itanium2 产品线的覆盖面, 2003 年 9 月, Intel 推出两款新的 Itanium2 处理器(内部代号 Deerfield): 一款是具有最高性价比的 1.4GHz/1.5 MB L3 缓存的 Itanium2, 另一款是功耗高达 60w 的 Itanium2 (详见表 1-1), 两者千枚单价分别为 1172 美元和 744 美元, 大大增强了 Itanium2 产品线 在低端相对于 AMD 在 2003 年 4 月推出的 Opteron 以及 RISC 处理器的竞争力, 有力地推动 IPF 进一步向更大批量发展。

高性价比 Itanium2

1.40 GHz /1.5M L3 缓存 Itanium 2 处理器是专门为 2 处理器系统优化的、面向价格低于 7000 美元的服务器和工作站、提供业界领先的价格/GFLOPS(见图 3)。

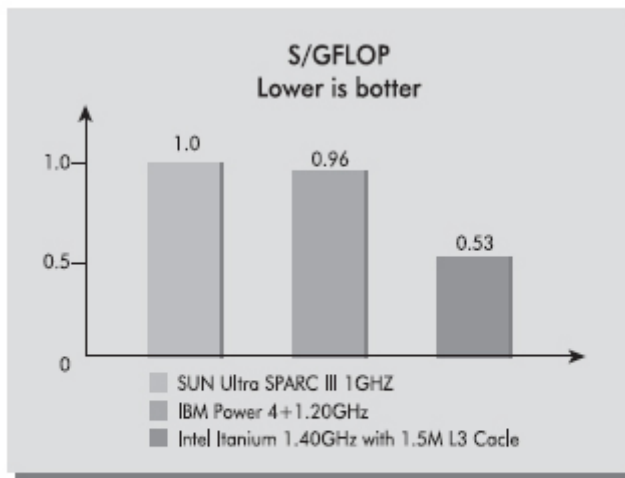


图3 1.40GHz/1.5M L3 缓存 Itanium 2 处理器领先的性价比

当前几乎所有科学研究和先进工程应用领域都需要越来越高的计算能力，但却往往受到经费的约束，于是基于低端服务器和工作站的集群系统成为许多科研和工程领域的主要选择，有力地激发了市场对 2 路服务器的需求。一方面以 1.5GHz/6 MB L3 缓存的 Itanium2 的 2 路服务器为计算节点的集群系统被 CERN、NCSA、PNNL 等著名的机构应用于最大规模的 HPTC 应用、进入 TOP100 行列；另一方面，1.40 GHz /1.5M L3 缓存 Itanium 2 提供更加经济实惠的高性能平台、满足更广泛的计算密集应用、大规模边缘网络应用、安全保密和软件工程等方面的应用需求，推动 IPF 系列的低端应用、向更大的批量前进。

低功耗 Itanium2

低电压 Itanium2 处理器是为 2 路系统优化、产生较低的功耗和热量、面向高密度应用需求的处理器。当前有许多需要使用大量低端系统的应用，它们的交易和计算比高端的技术和企业应用简单，往往需要处理大数据库如成千上万的用户记录等。例如，电信、Internet 服务供应商、在线电子商务和金融系统等。为了支持应用相关的实时交易，快速响应和高吞吐能力是这些应用最本质的需求，而计算量一般是比较有限的，因此很容易利用集群的负载均衡能力提供所需的可伸缩性、支持日益增加的用户数，利用集群的故障恢复能力提供所需的高可用性、支持系统 7×24 运行。这些应用通常要求在企业数据中心有限的空间中配置大量的超薄机架装服务器或刀片服务器，从而提高计算密度、降低耗电和致冷的需要、节约楼层面积、降低管理和运行费用。为此要求，降低处理器功耗和发热量，以利于设计超薄服务器、支持其长期稳定运行。低电压 Itanium2 的功耗低达 60w，提供与主频 1GHz 普通 Itanium2 相似的性能、每 w 功耗提供平均性能却比普通 Itanium2 高得多(见图 4)，是支持超薄 2 路服务器最理想平台。HP 即将推出的 C2600 服务器厚度仅 1U，所使用的就是低功耗 Itanium2。这些服务器提供比对应的 RISC 系统更好的价格/性能，非常适合于大批量的高密度应用，必

将推动 IPF 占领更大的批量市场。

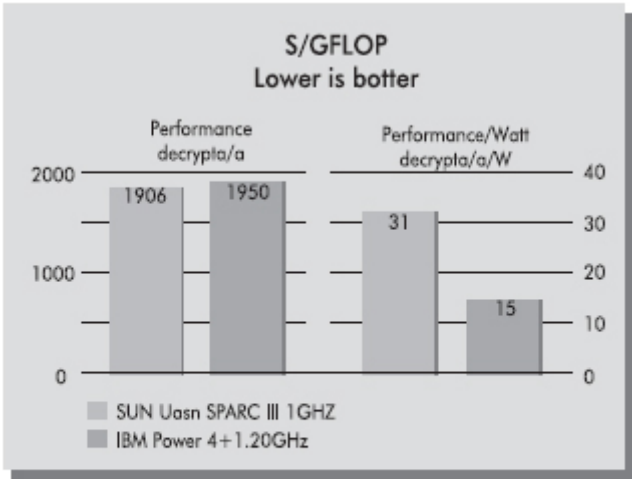


图 4 低功耗 Itanium2 提供相似于普通 Itanium2 的性能和最高的每 W 平均性能

当前的三款 Itanium2 都有特点、优势和面向的市场领域，构成具有最广泛应用面和市场覆盖面的完整 Itanium2 产品线。同时它们又是硬软件完全兼容的，为 IHV 和 ISV 以及广大用户提供最大的选择灵活性，使得 IPF 系列现阶段的 Itanium2 产品线牢牢占领全面领先于 RISC 和其他架构处理器的地位。

二、Itanium2 的概貌

IPF 系列基于 EPIC 架构，采用统一的设计思想，所有产品都是在硬件电器和针信号兼容，在软件上 100% 二进制兼容，在保护客户投资基础上、不断提供更高的性能和更多的支持关键应用特性。

2.1 Itanium2 的芯片资源

图 5 概要地表示 Itanium2 的芯片资源及其与 Ultra SPARC 的比较。由此可见，Itanium2 继续贯彻 IPF 以提供更多芯片资源来提高性能、简化设计的思路，提供大大超过 RISC 处理器的芯片资源，包括更多的芯片上缓存、发送端口、寄存器、执行部件、更高的系统带宽和指令级并行度。

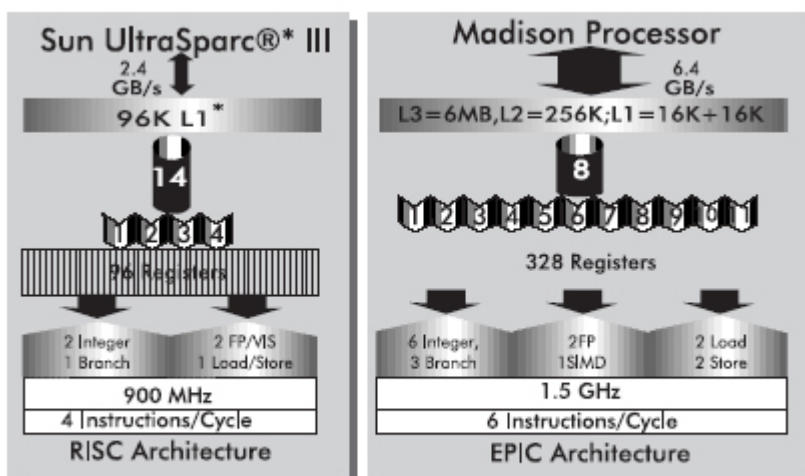


图 5 Itanium2 的芯片资源及其与 Ultra SPARC 的比较

2.2 Itanium2 的方框图和组成部件

图 6 表示 Itanium 2 的方框图，由此可以看到 Itanium 2 的概貌。Itanium2 处理器方框图可以分为下面所示的 5 个功能组：

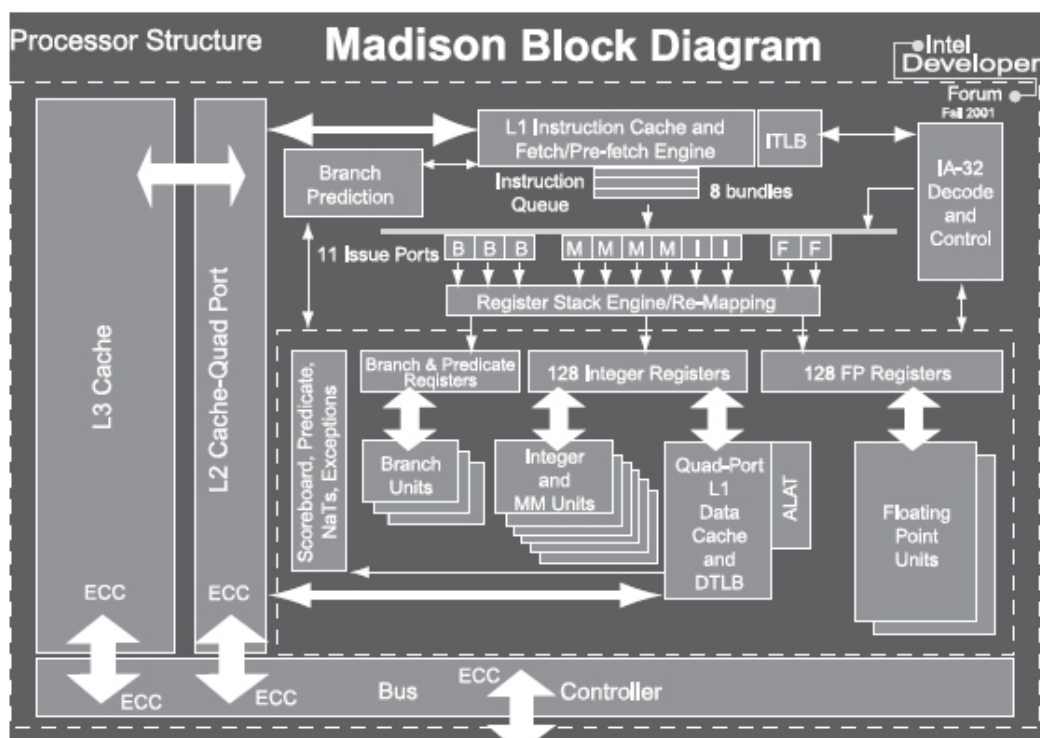


图 6 Itanium 2 的方框图

1. 指令处理：这一组包含执行如下功能的逻辑：指令预取、指令取、L1 指令缓存、转移预测、指令地址产生、指令缓存、指令发送、派送和换名；
2. 执行：这一组由执行如下功能的逻辑组成：多媒体逻辑、整数 ALU 逻辑、浮点(FP)执行逻辑、整数寄存器存储区、L1 数据缓存和 FP 寄存器存储；
3. 控制：这一组由执行如下功能的逻辑组成：意外处理、流水线控制和寄存器堆栈引擎；
4. 内存子系统：这一组包含：统一的 L2 缓存、芯片上的 L3 缓存、可编程控制器(PIC)、

指令和数据转换缓冲区(TLB)、高级装入地址表(ALAT)和外部总线接口逻辑；

5. IA-32 兼容性执行引擎：取出、译码和调度执行 IA-32 应用指令；

2.2.1 指令处理功能组

指令处理功能组执行指令预期/指令取、转移预测和指令派送等功能。

指令预取和指令取

Itanium2 处理器按照猜测机制从流水线缓存预取指令到分解缓冲区中。Itanium2 使用精密的转移预测策略和编译程序的启示作猜测性的预取。Itanium2 的指令排序部件负责取指令，并把它们派送给执行部件。指令地址产生部件选择下一个指令指针(IP)。

指令预取逻辑起 L1I 和 L2 缓存间接口的作用。它预先把指令从 L2 取到 L1I，以防止 L1I 不命中。预取是在编译程序控制下执行的。如果确实发生 L1I 不命中，处理器将停止指令地址产生逻辑、从 L2 中取出所需的指令。如果该指令不在 L2 缓存中，处理器将进而检查它是否在 L3 缓存中。如果它也不在 L3 中，则只能从内存中取指令。显然，在这一过程中处理器的开销也会越来越大。Itanium2 采用先进的硬软件结合机制大大提高 L1I 的命中率，采用容量高达 3M 的芯片上 L3 缓存、最大限度地避免不得不从内存中取指令。

转移预测

转移预测逻辑使用先进的预测机制预测从指令缓存中读出的每条转移指令的方向和目标。Itanium2 处理器使用 0-气泡转移预测算法和一个备份的转移预测表。每当发生转移时，把转移目标送到指令指针产生逻辑。

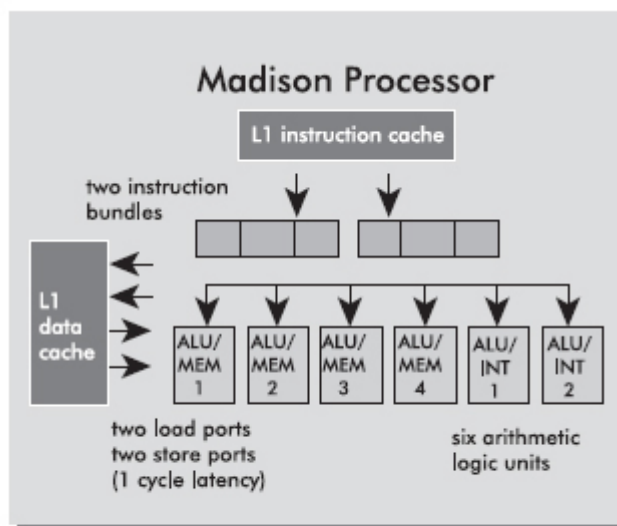


图 7 Itanium2 指令派送端口示意图

派送逻辑

IPF 指令以集束的方式存放，每一束 3 条指令。IPF 有 24 个样板，描述样板中指令的类型。其中 12 个样板有一个明显的停止位、告诉硬件停止并行发送以后的指令。硬件每个时钟周期最多能够处理 2 束(6 条指令)。派送逻辑通过它的派送端口从指令缓冲区中把每条指令发送到一个完全流水线方式工作的功能部件。

指令缓冲区最多能够存放 8 个指令束。缓冲区每个时钟周期能够把 2 个指令束送到派送逻辑。Itanium2 有 15 个派送端口：4 个内存/ALU/多媒体端口、2 个整数/ALU/多媒体端口、2 个 FMAC 端口、3 个转移端口和 4 个内存端口。(见图 7)

指令按照存储在指令缓冲区的位置有序地派送到相应的派送端口。例如，如果指令缓存中第一条指令是浮点运算指令，该指令将被派送到处理器中第一个空闲的 FMAC 端口。Itanium2 提供一个派送网络，使得指令能够高效地派送到相应的端口。

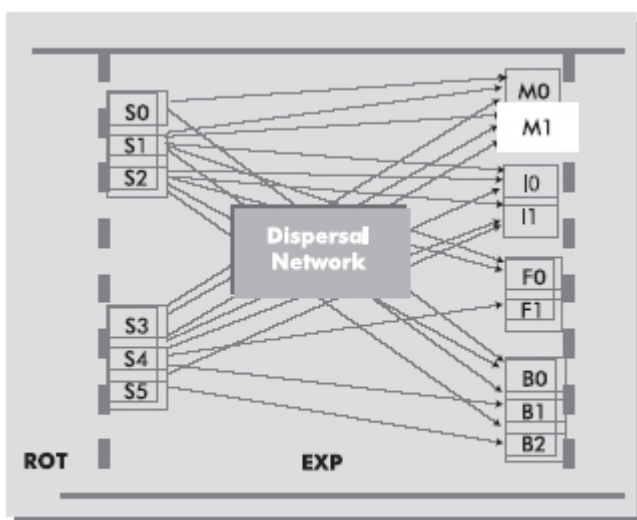


图 8 Itanium2 指令派送网络示意图

2.2.2 执行部件组

Itanium2 的执行部件组由如下部件组成：6 个多媒体部件、6 个整数部件、2 个浮点部件、3 个转移部件和 4 个装入/存储部件。Itanium2 利用通用寄存器和 FP 寄存器管理工作的进展。整数装入是由 L1 数据缓存处理的，整数存储由 L2 缓存处理。浮点数装入和存储也是由 L2 处理的。每当 L1 发生查找时，把一个推测请求送到 L2 缓存。

多媒体引擎处理以如下方式分组包装的 64 位数据：2×32 位、4×16 位和 8×8 位。对包装或单指令多数据(SIMD)数据类型能够执行 3 种类型的运算：算术、移位和逻辑。同时，整数引擎支持最多 6 个非包装的整数算术和逻辑运算。每个周期最多能够执行 6 个整数或多媒体运算。

浮点部件(FPU)

Itanium2 提供高浮点执行带宽。FP 逻辑包含一个浮点乘加(FMAC)硬件部件、快速舍入逻辑和支持 SIMD 格式的逻辑。Itanium2 在每个时钟周期中最多能够发送 2 条浮点指令或 2 条整数乘指令、加上 2 个 FP 装入和 2 个 FP 存储(或 4 个 FP 装入)指令。

FP 支持两个使用 82 位值操作的 FMAC。FMAC 能够执行单精度、双精度和扩展双精度

FP 操作。FPU 有一个 128 项的 FP 寄存器存储区。FP 寄存器存储区有 8 个读端口和 6 个写端口，能够实现每个时钟周期从内存中读出 4 个双精度数、2 个来自 FMAC 的 82 位写回和 2 个存储操作。图 9 表示 FMAC 部件的示意图。

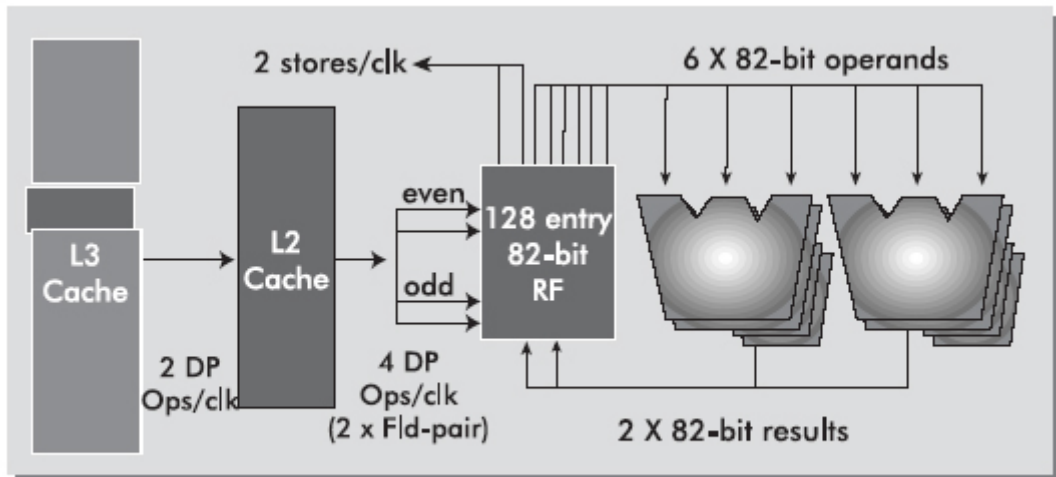


图 9 Itanium2 的 FMAC 部件示意图

整数逻辑

Itanium2 使用 6 个整数部件执行 64 位算术、逻辑、移位和位字段操作指令。此外，它还能够执行对 32 位指针加速操作的指令。其他操作包括计算预测、线性地址和产生 32 位兼容引擎的标志。

整数有 6 个通用 ALU、两个装入和两个存储端口。ALU 具有完全的旁通功能。

寄存器存储区

Itanium2 处理器建立 IPF 架构提供的大量寄存器资源。大量寄存器使得许多操作都可以在寄存器内完成，而不必读写内存。主要的执行寄存器包括：128 个通用寄存器、128 个浮点寄存器、64 个预测寄存器和 8 个转移寄存器。

2.2.3 控制部件组

Itanium2 的控制部件组包括意外处理部件、流水线控制部件和寄存器堆栈引擎。意外处理部件按照意外的优先级处理意外。流水线控制部件有一个用于探测寄存器相关性的记录表和一个支持推测的缓存。控制部件总是不断推动处理器的流水线操作，仅当没有源操作数可供使用时才停下来。流水线控制部件通过预测寄存器支持预测功能。

流水线控制部件还包含一个性能监控部件，用于收集可供卸出分析 Itanium2 性能的数据。

寄存器堆栈引擎(RSE)

IPF 架构利用大容量寄存器存储区和间接存取寄存器机制避免在调用子程序时完全卸出和写入寄存器。间接存取寄存器机制允许利用堆栈方式来管理寄存器帧、通过寄存器存储区在程序和所调用的子程序间共享变量。

当一个子程序被调用时，提供一个新寄存器帧给调用程序、而不需要每次都保存调用程序的寄存器。只要有足够的物理容量，旧寄存器都可以保留在芯片的物理寄存器存储区中。当需要使用的寄存器数超过物理容量时，Itanium2 的 RSE 把寄存器保存到内存中、释放出必要的寄存器供新调用的子程序使用。RSE 使得处理器似乎拥有无限数量的寄存器。

在返回时，把寄存器恢复到调用前的状态。由于寄存器存储区的容量很大，经常只需要把堆栈指针复原、而不必访问内存。但是，如果 RSE 已经把调用程序的寄存器值保存到内存中，处理器必须等待 RSE 从内存读出相应数量的调用程序寄存器值、方能返回调用程序。

2.2.4 存储子系统

Itanium2 的系统主存使用 128 位系统总线。主存总线采用与 Itanium 处理器系统总线类似的面向交易和流水线机制。Itanium2 的存储子系统包含系统总线接口逻辑、L1D 缓存、L2 缓存、L3 缓存、中断控制部件、ALAT 和 TLB。

Itanium2 使用 3 级高速缓存架构，其容量、延迟、带宽等指标都居领先地位。特别是，Itanium2 采用容量最高可达 3M 的芯片上 L3 缓存，更有效地保证了性能的提高。

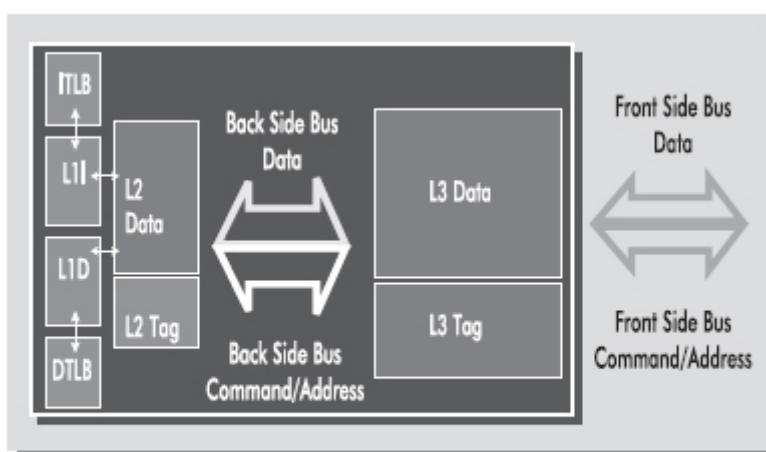


图 10 Itanium2 的 3 级缓存架构

L1、L2 和 L3 缓存都是非互锁的。L1 缓存分为数据和指令缓存：L1D 和 L1I。L1 缓存是 4 端口的。L2 缓存是统一的缓存，包含数据和指令。L2 缓存是 4 端口的，Itanium2 处理器能够以整个时钟速度来访问它。当从 L2 缓存中取指令时，使用全部 4 个端口。但是，数据请求可以使用 1 个、2 个、3 个或全部 4 个端口。当对 L2 缓存的请求不命中时，该请求立即被快速传递到 L3 缓存。

集成的外部中断控制器通过外部总线逻辑与系统总线联接，通过内存映照位置接受来自系统总线的外部或内部中断。

Itanium2 提供先进的机制确保存储子系统的缓存一致性和高效读写。

一级指令缓存 L1I

Itanium2 的一级指令缓存 L1I 容量为 16KB。它是单周期、双端口、4 路组相关的缓冲存

储，直线长度为 64B。标志矩阵是双端口的：一个端口用于取指令，另一个端口由预取、探测、充填和列验证等功能共享。数据矩阵也是双端口的、以支持同时进行读(取)和充填操作。L1I 以完全流水线方式工作，每个时钟周期能够提供 2 个指令束(6 条指令)。L1I 缓存是物理索引和标志的。

一级数据缓存 L1D

Itanium2 的一级数据缓存 L1D 是 4 端口的(两个装入和两个存储端口)，容量为 16KB，是非互锁的。它具有 4 路组相关方式构成、直线长度为 64B。L1D 能够支持两个同时装入和两个同时存储。它只能缓存整数类型的数据(不能缓存浮点装入或信号装入指令的数据)。L1D 缓存是直接写入的，无需写分配。L1D 缓存的装入和存储是物理索引和标志的。

统一的 L2 缓存

统一的 L2 缓存是 4 端口的，通过缓冲池支持 4 路同时访问。L2 缓存容量为 256KB，支持锁和乱序存取机制，提供每秒 64GB 的缓存读取带宽。

L2 缓存用于存放指令和数据。它的功能是为 L1I 和 L1D 不命中服务，当处理器不能从 L1 中读到所需的指令或整数时即向 L2 发出访问请求。此外，L2 缓存还处理所有浮点内存访问(每个时钟周期最多可以作 4 个同时浮点装入)。Itanium2 处理器的所有信号指令也全部由 L2 处理。

统一的 L3 缓存

Itanium2 处理器芯片上 L3 缓存的容量可为 1.5 MB 到 6MB。它是物理索引和标志的。L3 缓存是单端口、完全流水线的非互锁缓存。它能够支持 8 个悬挂请求，其中 7 个是装入 / 存储请求、一个是充填请求。从 L3 到 L1I/L1D 或 L2 的最大传输速率是 32GB/时钟周期。

先行装入地址表(ALAT)

称为先行装入地址表(ALAT)的缓存结构用于在 Itanium2 中实现数据推测机制。ALAT 保存有关处理器发出的推测数据装入以及这些装入所派生存储的信息。这一结构有 32 项，每个周期能够处理 2 个装入和 2 个存储。它能够为先行装入“检查”操作提供派生信息。

转换参照缓冲区(TLB)

Itanium2 处理器上有两类 TLB：数据转换参照缓冲区(DTLB)和指令转换参照缓冲区(ITLB)。Itanium2 处理器中有两级 DTLB：L1 DTLB 和 L2 DTLB。只有 L1D 装入依赖于 L1 和 L2 DTLB 命中。存储和 L2/L3 缓存命中只依赖于 L2 和 L3 缓存，与 L1D 无关。

没有命中 DTLB 或 ITLB 的 TLB 由硬件页面表查找部件提供服务，该部件支持 IPF 指令系统定义的 8B 和 32B 虚拟乱码(Hash)页面表(VHPT)格式。VHPT 数据只存储在 L2 和 L3 缓存中，而不存储在 L1D 中。

数据 TLB (DTLB)

一级 DTLB(DTLB1)为命中 L1 缓存的装入请求执行虚拟到物理地址转换。它有两个读端口和一个写端口。DTLB1 包含 32 项，是完全相关联的。它支持 4KB 的页面。

二级 DTLB(DTLB2)为存储请求和装入保护检查执行虚拟到物理地址转换。DTLB1 包含 128 项，是完全相关联的。它支持 4KB 到 4GB 的分层页面。它有 4 个端口。

指令 TLB (ITLB)

一级 ITLB(ITLB1)为命中 L1I 缓存的指令请求执行虚拟到物理地址转换。它是双端口的，包含 32 项，是完全相关联的。它只支持 4KB 的页面。

二级 ITLB(ITLB2)为没有命中 ITLB1 的指令内存访问执行虚拟到物理地址转换。DTLB1 包含 128 项，是完全相关联的。它支持从 4KB 到 4GB 的页面。

2.2.5 IA-32 兼容性执行引擎

Itanium2 处理器支持 IA-32 二进制应用软件。这包括运行基于 Itanium 操作系统的单处理器和多处理器配置下、支持运行由 IA-32 应用和 Itanium 应用构成的混合应用软件。Itanium2 的 IA-32 引擎是为充分利用 EPIC 处理器丰富的寄存器、缓存和执行资源设计的。IA-32 引擎动态地调度指令、实现在执行 IA-32 原有的二进制时提供高性能。

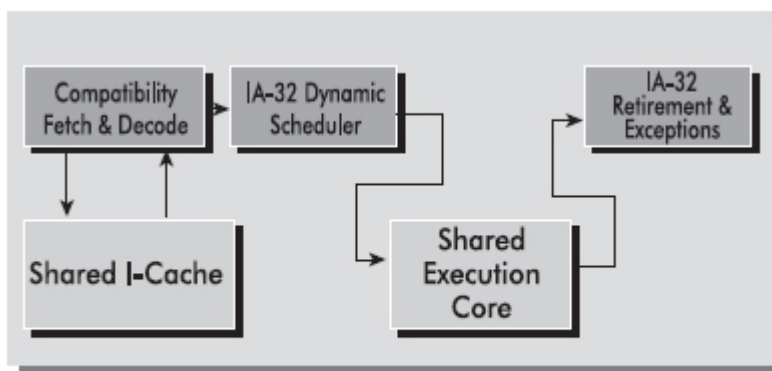


图 11 Itanium2 的 IA-32 引擎

2.3 Itanium2 的指令流水线

Itanium2 提供基于 EPIC 设计的 6 路、8 级深度的核心流水线和 3 条微流水线。核心流

水线使用如下的执行部件：6 个整数 ALU、6 个多媒体 ALU、2 个扩展精度的浮点部件、2 个附加的单精度浮点部件、2 个装入部件和 2 个存储部件以及 3 个转移部件。Itanium2 处理器在每个时钟周期内最多能够利用其 6 路核心流水线并行地取出、发送、执行和退役 6 条指令（即 2 个指令束）。

Itanium2 处理器有 3 类微流水线：浮点部件微流水线、一级数据缓存微流水线和二级缓存微流水线。这三类微流水线与核心流水线非同步地工作。

2.3.1 Itanium2 的核心流水线

Itanium2 处理器把指令束派送到核心流水线。每个指令束包含 3 条指令和一个样板指示。束中的每条指令最终根据其类型被派送到一条执行流水线。指令的类型有：ALU 整数(A)、非 ALU 整数 (I)、内存读写(M)、转移(B)和扩展(L)。图 4 表示 Itanium2 的核心流水线。

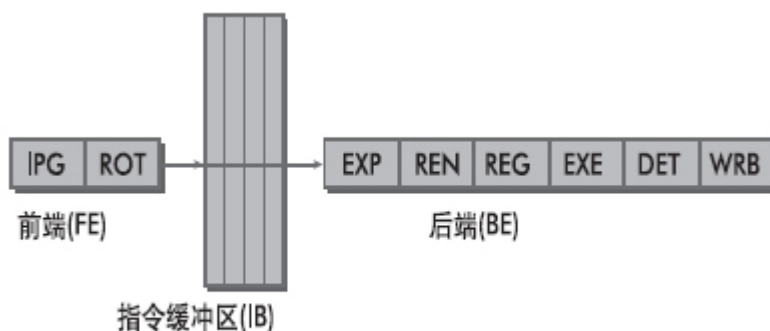


图 12 Itanium2 的核心流水线

Itanium2 的 8 级核心流水线在 ROT 和 EXP 两级之间分为前端和后端两段，前两级属于前端(FE)，后端(BE)又分为指令提供、操作数提供核执行核心三段，包含后面 6 个流水线级。指令缓冲区(IB)是一个分解队列，把 FE 和 BE 联接在一起。这一 IB 可以存放 4 个指令束对(24 条指令)。IB 使得 FE 和 BE 可以独立地工作，从而隐藏缓存不命中延迟和转移惩罚。

前端段包含 IPG 和 ROT 两个流水线级：IP 产生级 IPG 根据 Itanium2 的转移预测和猜测执行的机制从 L1I 中取指令，指令选择级 ROT 把指令写入到一个分解缓冲区(IB)。后面两级扩展 (EXP)和寄存器换名(REN)执行派送和寄存器换名。操作数提供是由寄存器读级 REG 完成的，该级访问寄存器存储区、在处理预测控制后通过旁通网络提供数据。最终，后面三级执行各种并行操作(EXE)、写回结果(WRB)、处理意外和指令退役。意外探测级 DET 执行转移和内存意外管理和推测功能。

2.3.2 Itanium2 的微流水线

Itanium2 有三类微流水线。它们是从核心流水线中派生出来，与核心流水线非同步地操作，以减少相应流水线级的延迟、提高 Itanium2 处理器内部的并行程度。

FPU 微流水线

Itanium2 的 FPU 本身有一条 4 级的微流水线流水线：FP1-FP4。附加的旁通逻辑允许把数据从各个 FP 级快速地送到 FP 的写回级。数据在送到 FPU 微流水线前、先要作数值意外检查。结果在流水线末尾写回。

L1D 微流水线

在 L1M 级，并行地存取 L1 数据、标志和 L1 DTLB，把数据提供给执行部件。

L2 微流水线

L2L 用于访问 L2 TLB。L2A 级协调对数据矩阵的访问：取指令请求具有最高的优先级，其后是装入和预取。访问数据矩阵发生在 L2M 级。L2D 级用于选择路径和数据提供。L2C 级用于校正 ECC 错误和探测错误。

2.4 Itanium2 的系统总线

Itanium2 的系统总线使用与 Itanium 相同的协议。Itanium2 的系统总线有 16 条读入线、6 条写出线和两个 128 字节的 WC 缓冲区，使用与 Itanium 相同的非互锁、乱序执行协议。每个 CPU 能够存放 18 个待处理的总线请求。这些请求可以不依照接收到时间次序、而根据执行条件得到满足状况“乱序”执行，从而提高总线的工作效率。与 Itanium 相比较，Itanium2 的总线具有更高的性能指标、并增加了多项有利于提高性能和可靠性的服务，使之适合于支持从高性能技术计算到企业管理、类型更加广泛的应用。

2.6 Itanium2 的高可靠特性

Itanium2 提供一系列高可靠特性，使之更加适合于装备支持高可靠性和高可用性应用的系统。

错误探测校正

Itanium2 对所有主要的数据矩阵提供错误探测、校正或错误隔离功能，包括：

- 对 L1D、L1I 和各个 TLB 提供奇偶校验功能；
- 对 L2 和 L3 提供 ECC 校验，能够发现 2 位错误、校正 1 位错误；
- 总线具有奇偶和 ECC 校验功能，能够发现 2 位错误、校正 1 位错误；
- 错误隔离功能，能够容忍 1 位错误、直到真正访问时才报告；

发热管理

Itanium2 大大降低芯片功耗(比 Itanium 低 60%)、减少了芯片的发热量，使芯片能够以

更高的主频工作且不需要外界的冷却系统(即使外界的冷却系统停止工作、Itanium2 仍然能够正常操作)。

三、Itanium2 对 IPF 的发展

两代 Itanium2 进一步发展了 IPF 处理器系列,以超过摩尔定律的速度提高 IPF 系列的性能。对大多数应用来说,Itanium2 处理器时钟频率的提高对于其整体性能如此大幅度的提高仅起到很小的作用,主要因素应归功于处理器架构的潜力。其中,最重要的是 Itanium2 提供更多系统资源、更强的并行执行指令的能力、更低的延迟和更高的带宽。除了性能提高外,Itanium2 还提供更强的支持操作系统和编译程序功能。

3.1 Itanium2 提供更丰富的资源

Itanium2 继续发展了 IPF 通过设置更多的芯片资源来提高性能的设计思想,提供比 Itanium 更丰富的芯片资源。Itanium2 性能大幅度提高的实际结果证明 IPF 处理器系列的这一思想是可行的。(见表 6)

从表 6 可以看到,Itanium2 通过使用 0.18 微米工艺,提供远比 Itanium 多的芯片上晶体管数(提高了近 16 倍),使得 Itanium2 设置更加丰富的芯片资源,包括:更大的缓存、更多的指令发送和内存访问端口、更多的执行部件,实现了 Itanium2 性能全面的提高。

3.2 Itanium2 水平更高缓存子系统

Itanium2 处理器传送来自高速缓存数据的速度约是第一代 IPF 处理器 Itanium 的 2 倍,缓存命中率也有较大提高。它同时还进行了大量的改进,使高速缓存检索更加高效可靠,进而能够处理更多的高速缓存请求,且不会出现延迟和中断。Itanium2 处理器高速缓存系统最重要的创新就是将 6MB 3 级高速缓存集成到处理器芯片上,而不是作为系统主板的一个独立芯片。这不仅加快了数据检索速度,同时可将 3 级高速缓存和处理器内核间的整体通信带宽提高近 3 倍。(见表 7)

3.3 Itanium2 效率更高的流水线

Itanium2 处理器流水线是为提供非常低延迟设计的。它拥有比 Itanium 更多执行部件和发送端口,指令流水线的级数也由 10 级减少到 8 级,采用按序发送、乱序完成的完全非互锁协议,降低转移预测错误的惩罚,从而更有效地计算和处理更多指令,并能在要求更为苛刻的环境下保持较高的指令吞吐量。(见表 8)

3.4 Itanium2 提供更高的带宽和吞吐量

Itanium2 处理器的系统总线比以前的处理器系列更快(由 266MHz 提高到 400MHz)、更宽(由 64 位提高到 128 位),进而使整体系统带宽从每秒 2.1GB 增加到 6.4GB、提高了 3 倍多,大大提高了 Itanium2 支持广泛类型企业应用的能力。

3.5 Itanium2 提供更高的指令级并行度

IPF 系列处理器每周期最多发送 6 条(2 束)指令。由于资源的限制,Itanium 只有 25% 的几率能够发送 6 条指令(见表 6),每周期平均发送 3.85 条指令。与第一代产品相比,Itanium2 通过增加芯片资源,大大提高每周期发送指令条数和指令并行度。

2nd 1st	M I	M L X	M M I	M F I	M M I	M I B	M B B	B B B	M M B	M F B
MII	4	4	4	5	3	4	6	6	4	6
MLX	5	6	4	6	3	6	6	6	4	6
MMI	3	3	3	3	3	3	3	6	3	3
MFI	5	6	4	6	3	6	6	6	4	6
MMF	3	3	3	3	3	3	3	3	3	3
MIB	3/5	3/6	3/4	3/6	3	3/6	3/6	3	3/5	3/6
MBB	3	3	3	3	3	3	3	3	3	3
BBB	3	3	3	3	3	3	3	3	3	3
MMF	3	3	3	3	3	3	3	3/5	3	3
MFB	3/6	3/6	3/4	3/6	3	3/6	3/6	3/5	3/5	3/6

Dual Issue
 Dual/Split Issue
 Split Issue

图 13 Itanium 的指令发送能力

Itanium 2 由于增加了执行部件和指令发送端口，大大提高了每周期发送指令的能力。

2nd 1st	M I	M L X	M M I	M F I	M M I	M I B	M B B	B B B	M M B	M F B
MII	6	6	6	6	6	6	6	6	6	6
MLX	6	6	6	6	6	6	6	6	6	6
MMI	6	6	6	6	6	6	6	6	6	6
MFI	6	6	6	6	6	6	6	6	6	6
MMF	6	6	6	6	6	6	6	6	6	6
MIB	6	6	6	6	6	6	6	5	6	6
MBB	6	6	6	6	6	6	5	4	6	6
BBB	6	6	6	6	6	5	4	3	5	5
MMB	6	6	6	6	6	6	6	5	6	6
MFB	6	6	6	6	6	6	6	5	6	6

Dual Issue
 Split Issue

图 14 Itanium 2 指令发送能力

Itanium 2 有 90% 的几率每周期可以发送 6 条指令，平均可以发送 5.7 条指令。每周期发送指令数的提高，为 Itanium 2 提高指令级并行度创造了有利条件。Itanium 2 的主频只比 Itanium 1 提高 20%，而性能却提高 50%-100%。由此可见，它的指令级并行度比第一代产品有很大的提高。

3.6 Itanium2 对系统软件提供更强的支持

Itanium2 提供更强的支持编译程序的功能，包括：

- 通过提供完全相关的 ALAT 和降低推测开销、改善支持数据/控制推测的能力；
- 提供 64 位长转移指令；

Itanium2 提供更强的支持操作系统设计的功能，包括：

- 支持完全 64 位虚拟寻址；
- 支持完全 264 虚拟地址空间；
- 提供 4GB 虚拟页面，减少 TLB 压力；
- 支持 50 位物理寻址，提供非常大的内存 I/O 空间；

四、IPF 未来的展望

从 Itanium 到 Itanium2 的发展证明了 IPF EPIC 架构的生命力和潜力。在处理器技术发展史的长河中，EPIC 是一种面向未来的新兴架构，具有容纳新一代技术的最大潜力，能够通过采用处理器新技术、新工艺和新编译技术、不断提高性能和性价比。IPF 将是一个有 25 年以上设计寿命的产品系列，具有广阔的发展前途。Intel 已经为推动 IPF 发展制订了明确的蓝图，继续巩固和发展 IPF 系列处理器性能和性价比领先于 RISC 处理器的优势。

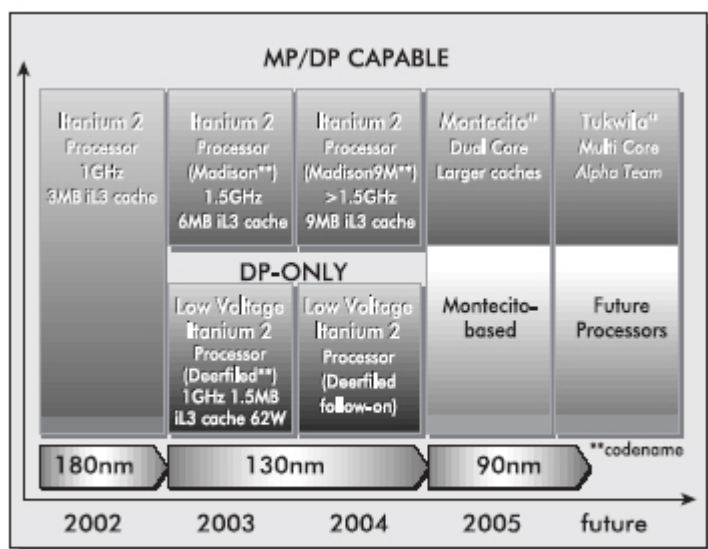


图 15 Intel 的 IPF 处理器发展蓝图

通过这一发展蓝图，可以清晰地看到 Intel 对 IPF 坚强承诺，Intel 今后将继续坚持两条腿走路的战略：一方面继续采用尖端的处理器新技术、扩大 IPF 性能领先优势；另一方面继续发展面向 2 路低端应用、高性价比和低功耗的 IPF 处理器，扩大批量和市场覆盖面。Intel 将与 HP 等强大的合作伙伴一起，通过采用新工艺、发展编译技术、吸收历史上成功经验和加强技术队伍建设，确保上述发展蓝图的实施。IPF 实施 IPF 发展蓝图、推动 IPF 发展的具体步骤和策略将是：

- **发展进程级的并行：**利用芯片上多处理器(CMP)、同时多线程(SMT)以及 CMP 和 SMT 相结合的技术、提高线程级并行度(TLP)已经成为微处理器技术当前主要发展趋势之一(详见[11])，Intel 也已决定在 IPF 系列后续产品中采用先进的进程级并行技术来提高处理器性能。根据上述蓝图，Intel 将在 2005 年推出主频高达 1.8 GHz、集成双处理器内核和 24MB 缓存的 Montecito 处理器。从 2006 年开始，Intel 将推出多核的 Tukwila 处理器，

但这需要一步一步走：开始推出的产品仅整合 4 个核心，在 2007 年 Intel 将推出拥有 8-16 个内核的 Tukwila 处理器，使 IPF 处理器的比目提高 10 倍以上，始终保持并扩大性能相对于 RISC 处理器的领先地位；

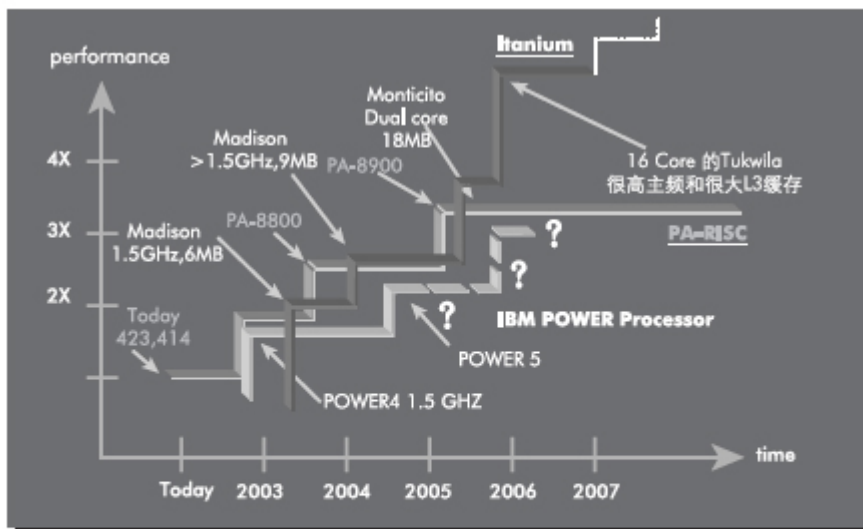


图16 IPF性能将以超过其他微处理器速度发展保持和发展其领先地位，扩大领先于 RISC 的程度

- **发展面向 2 路应用的 IPF 处理器：**考虑到 2 路服务器和工作站的大批量和高性价比特点、及其通过集群组成超级计算机系统的潜力，Intel 在其 IPF 发展蓝图中，把发展面向 2 路应用的高性价比和低功耗的 IPF 新产品放在重要的地位。Intel 将于明年推出的“Deerfield 2”被目前已经正式命名为 Fanwood，它将沿着上述方向继续前进：和目前的 Deerfield 一样，Fanwood 仅会支持二路工作站和服务使用，但较第一代的 Deerfield 将有长足的发展，它将内置 9M L3 Cache，起始工作频率 1.4GHz，同时也将拥有低电压版本，起始工作频率 1GHz，处理器初期支持 400MHz FSB，以后将支持 533MHz FSB 的 Fanwood 533 和搭配更新的芯片组，从而保持 IPF 在 64 位低端的特色和优势；
- **采用更先进的制造工艺：**IPF 创新的架构为快速采用新工艺、确保处理器性能提高跟上摩尔定律预示的工艺发展速度铺平的道路。今后，Intel 将继续在 IPF 系列各个档次产品上全面采用最新的制造工艺，实施新的设计技术。Itanium2 处理器和第一代 IPF 处理器 Itanium 均采用 0.18 微米工艺制造。Itanium2 芯片上资源达到 2 亿多个晶体管、主频达到 1 GHz。新一代代号为 Madison 和 Deerfield 的处理器采用 0.13 微米工艺制造。Madison 芯片上晶体管数达到 4.1 亿个，能够支持容量高达 6MB 的芯片上 3 级缓存(是 Itanium2 处理器的 2 倍)。以后的 9 MB L3 缓存 Madison 和新一代 2 路处理器 Fanwood 也将采用 0.13 微米工艺，而 Montecito 将采用 90 纳米工艺，实现在芯片上集成 2 个核心和更大的 L3 缓存。2006 年推出的首款 Tukwila 也将采用 90 纳米工艺，以后的 Tukwila 处理器将采用 65 纳米工艺、奠定实现 8 到 16 核心设计的基础。与此同时，Intel 将先进的技术确保 Tukwila 的功耗不会给目前的 Itanium 高出多少，以利于其上服务器产品的设计和制造；也实现所有 IPF 系列处理器在硬件上工程和电器兼容、软件上二进制兼容，以保护客户的投资。Itanium2 成功的实践和 IPF 的未来发展将证明，EPIC 架构更加有利于利用 VLSI 技术发展的新成就如高密度 CMOS 技术、先进的互联和散热技术，为进一步提高性能、满足 Internet 时代用户需求开辟广阔天地；

- 加强芯片设计队伍建设：EPIC 是 Intel 和 HP 共同发明的，再通过成功地吸收了合并前康柏 Alpha 的 90% 以上的设计力量、Alpha EV8 项目的许多工程师现在正在为 Intel 工作，使得 Intel 不仅有最先进的设备、而且建立起最强大和经验丰富的 64 位芯片设计队伍。当前，Alpha 丰富经验将被吸收到 IPF 中，例如，Alpha EV7 的通信技术、Alpha EV8 在同时多线程(SMT)方面许多创新的技术都已经和即将融合到 IPF 当前和后续产品上。因此，业界许多有识之士说：Alpha 的灵魂在 IPF 中得到了再生。这显然将有力地加速 IPF 处理器系列的发展；
- 投资发展编译技术：EPIC 架构采用充分利用硬软件综合优势、实现显性并行的技术路线，使得各厂商为 Intel Itanium 架构开发的编译程序在提高性能方面将能够比为基于 RISC 旧架构(如 POWER、UltraSPARC 和 PA-RISC 等)开发的编译程序发挥更大的作用。即使采用同样的处理器，编译程序的质量对于更加有效地实现 EPIC 显性并行指令计算的思想、提高性能有举足轻重的影响。这就为进一步提高处理器性能、实现 EPIC 的优势和潜力开辟了新的路径，推动了许多厂商加大投资的力度，开发更加先进和高效的编译程序、供基于 IPF 计算机系统使用，使 IPF 后续处理器产品的性能得到更大幅度的提高。例如，HP 预期在今后几年中单单是通过改善编译程序质量就能够促使应用性能产生 2 位数字的提高。

结束语

与历史任何先进架构一样，Intel IPF 系列的 EPIC 架构必须有强大和先进的生产工艺和制造技术来实施它、方能真正起作用：必须拿出实际产品方能证实其可行、必须拿出先进的产品方能充分展示其优点、必须有基于它的生态系统系列和大量成功应用实例方能在市场上站住脚、必须有长远的发展蓝图方能体现其生命力。围绕 IPF 近十年的磨炼、三年来实际产品的一步一个脚印的发展，使人们清楚地看到了 IPF 今天的成功和未来的辉煌。

展望未来，今后芯片领域竞争的重点将转向制造工艺和生态系统的竞争，也就是生产厂商和支持厂商实力的竞争。在工艺方面，业界人士普遍认为，摩尔定律(芯片密度每 18 个月提高 1 倍)在今后相当长的一段时期内仍将起作用。但是采用先进工艺实现更小的线宽、更高的主频、更大的芯片资源容量、更快的互联方式，都需要投入大量资金不断更新设备、建立新工艺流程线和生产车间。只有极少数厂商能够承担得起维持线宽低于 90 纳米芯片生产线。Intel 和 HP 合作完全有力量在今后相当长的时间内，仍然继续按照甚至超过摩尔定律预示的速度、不断采用新工艺、发展 IPF 处理器系列，实现预定的发展蓝图。根据 Intel 既定的发展蓝图，2007 年 Intel 将采用 65 纳米的工艺、并在吸收 Alpha 技术的基础上推出 8-16 核心的 IPF 处理器，使得 IPF 处理器系列将对所有 RISC 处理器具有 5-10 倍以上的性能优势和批量优势。在生态系统建设方面，IPF 得到了 HP 为代表实力空前的一大批厂商的支持，与此同时，支持 IPF 的 IHV 和 ISV 已经分别达到 40 多家和 500 多家，IPF 平台上应用软件数量也即将超过 1000 个。基于 Itanium2 Integrity 系列上的全面系统建设(详见[14])、与日俱增的 Fortune500 跨国企业采用基于 IPF 系统、越来越多的基于 IPF 超级计算机进入 TOP500 的行列都是代表性的成功实例。Intel IPF 处理器系列在工艺技术和生产能力以及厂商支持和应用生态系统建设两方面的实力都是任何 RISC 处理器和其他处理器(如 AMD 的 Opteron 处理器)所不能比拟的。值得指出的是：处理器领域的实力竞争是长期的竞争而不是短期和一时的竞争，是产品系列的竞争而不是一、二代产品的竞争。综观处理器发展历史，人们不仅看到处理器主流架构的更替、也看到许多昙花一现的处理器和基于它们的系统，最后被送到后院的垃圾场上。只有顺应技术发展潮流、基于先进架构、拥有强大生产和推广应用实力的产品，

才能在挑战和竞争中真正站住脚、取得长足的发展。从这一观点来分析，人们更加确信：基于 EPIC 架构的 IPF 处理器系列前景非常辉煌，必将发展成为支持高端应用的主流平台。

表 1-1 IPF 系列中现有 Itanium2 产品					
处理器	平台支持	主频	L3 缓存	最大功耗	优势
6 MB L3 缓存 Intel Itanium2	MP, DP	1.50 GHz 1.40 GHz 1.30 GHz	6 MB 4 MB 3 MB	130 w	业界领先的企业和技术计算性能。非常适合于数据库、ERP、SCM 和商务智能拥有
1.5 MB L3 缓存 Intel Itanium2	DP	1.40 GHz	1.5 MB	99 w	为技术计算平台和集群、高端网络边缘、安全和软件工程应用提供领先的价格/性能
低功耗 Intel Itanium2	DP	1 GHz	1.5 MB	62 w	为网络边缘、安全和软件工程应用提供低功耗和高密度
注： MP—多处理器系统， DP—双处理器系统					

表 1-2 基于 Itanium2 的 HP Integrity 服务器系列领先的应用测试指标						
	入口级		中档		企业级	作用
	rx2600 (2 路)	rx5760 (4 路)	rx7620 (8 路)	rx8620 (16 路)	Superdome (64 路)	相应指标在实际应用中的意义
SPECfp_2000 rate	42.4	64.4	142	234	928	测量多处理器系统浮点计算能力重要指标
SPECint_2000 rate	30.5	59.8	116	232	904	测量多处理器系统整数计算能力重要指标
SPECweb99_SSL	1930	3702	5388	9260	-	测量系统支持加密的 Web 应用重要指标
SPECjbb2000_java	60,225	116,466	190,349	341,098	1,008,604	测量系统支持基于 J2EE 模式 Web 服务重要指标
tpmC (Superdome 是历史上第一个打	40K	131,639 121,065	-	-	1,006,144 824,164	测量系统支持在线事务

破 1M tpmC 纪录 单机系统)					786,646	处理等企业 应用重要指 标
-----------------------	--	--	--	--	---------	---------------------

表 2 Itanium2 流水线的组成			
分段		流水线级	功 能
前端		IPG	指令指针(IP)产生,一级指令缓存 L1I(6 条指令)和翻译参 考缓冲区 (TLB)存取
		ROT	指令旋转和缓冲(6 条指令)
后端	指令提供	EXP	扩展,端口分配合路由
		REN	整数和 FP 寄存器换名(6 条指令)
	操作数提供	REG	整数和 FP 寄存器存储区读取
	执行核心	EXE	ALU 执行,一级数据缓存 L1D 和 TLB 存取 ,二级缓存标 志存取
		DET	意外探测,转移校正
		WB	写回,整数寄存器修改

表 3 FPU 微流水线						
核心流水线	REG	EXE	DET	WRB		
FPU 微流水线		FP1	FP2	FP3	FP4	FWB

表 4 L1D 微流水线					
核心流水线	REN	REG	EXE	DET	WRB
L1D 微流水线		L1I	L1M	L1D	WRB

表 5 L2 微流水线							
核心流水线	REG	EXE	DET	WRB			
L2 微流水线		L2L	L2A	L2M	L2D	L2C	L2W

表 6 Itanium2 与 Itanium 的比较			
处理器类型	Intel Itanium	Intel Itanium2	Intel Itanium2 6M (2003 年中)
操作系统	HP-UX Windows Linux	HP-UX Windows Linux	HP-UX Windows Linux
时钟速率	800 MHz	1 GHz	1.5 GHz
工艺	0.18 微米	0.13 微米	0.13 微米

L1 缓存 (1+时钟周期延迟)	32 KB	32 KB	32 KB
L2 缓存 (5+时钟周期延迟)	96 KB	256 KB	256 KB+
L3 缓存 (12+ 时钟 周期 延迟)	4 MB (芯片外)	3 MB (芯片上)	6 MB (芯片上)
芯片上晶体管数	25M	210 M	410M
发送端口	9	11	11
执行部件	9	11	11
持续发送速率	6	8	8
流水线长度	10	8	8
寄存器	328	328	328
SPECint2000 (Base)	379	810	1000+
SPECfp2000 (Base)	715	1,427	1,600+
SPECint_Rate (Base)	19	37	64.4
SPECfp_Rate (Base)	24	40	59.8

表 7 Itanium2 和 Itanium 内存和缓存系统比较表			
CPU	处理器	Itanium 1	Itanium 2
	主频 (MHz)	800	1500
L1	容量 (KB)	16	16
	延迟 (周期数)	2	1
	不命中率	5.0%	5.0%
L2	容量(KB)	96	256
	延迟 (周期数)	12	5
	不命中率	1.8%	1.1%
L3	容量(MB)	4	6
	延迟 (周期数)	21	12
	不命中率	0.5%	0.3%
	Average Latency (ns)	4.52	2.34

表 8 Itanium2 转移预测的开销和对预测错误的惩罚		
转移预测状态	Itanium2 开销或惩罚	Itanium 开销或惩罚
与指令指针有关的转移预测正确	0 个 周期	1 个 周期
与指令指针有关的转移预测错误	1 个周期	3 个周期
返回转移预测正确	1 个周期	1 个周期
计数循环中最后一次转移的预测	0 个周期	2 个周期

转移预测错误	6 个周期	9 个周期
--------	-------	-------

HP创建**动**成长企业



中国惠普有限公司

北京市朝阳区建国路112号中国惠普大厦

电话: 010-65643888

传真: 010-65643999

邮编: 100022

欲查询更多相关信息: 请访问 HP 网站:

<http://www.hp.com.cn>

中国惠普客户互动中心: 800-820-2255

售后服务支持热线: 800-810-5959

010-68687980

最终解释权归中国惠普有限公司所有

印制日期: 2004年2月北京印刷