

装订线

考试时间 120 分钟

# 试 题

题号	一	二	三	四	五	六	总分
分数							

1. 考试形式：闭卷 ☒ 开卷 ☐ ； 2. 本试卷共六大题，满分 100 分；
3. 考试日期： 年 月 日；（答题内容请写在装订线外）

## 一、VHDL 程序分析（本题共 20 分）

根据程序 1 和程序 2 的分析，回答下列问题。

行号	程序 1 代码
1	library IEEE;
2	use IEEE.STD_LOGIC_1164.ALL;
3	use IEEE.STD_LOGIC_ARITH.ALL;
4	use IEEE.STD_LOGIC_UNSIGNED.ALL;
5	entity mux4 is
6	Port (A : in STD_LOGIC_VECTOR(1 downto 0);
7	EN : in STD_LOGIC;
8	Data: in STD_LOGIC_VECTOR(3 downto 0);
9	Y : out STD_LOGIC);
10	end mux4;
11	architecture Behavioral of mux4 is
12	begin
13	process(A , EN, Data)
14	begin
15	if (EN = '0') then
16	: ① Y <= '0'
17	else
18	case A is
19	when "00" => Y <= Data(0);
20	when "01" => Y <= Data(1);
21	when "10" => Y <= Data(2);
22	when "11" => Y <= Data(3);
23	When ③ others Y <= '0';
24	end case;
25	end if;
26	end procese;
27	end Behavioral;
28	
29	

行号	程序 2 代码
----	---------

任课教师:

学号:

姓名:

班级:

装订线

装订线

```

1 library IEEE;
2 use IEEE.STD_LOGIC_1164.ALL;
3 use IEEE.STD_LOGIC_ARITH.ALL;
4 use IEEE.STD_LOGIC_UNSIGNED.ALL;
5 entity Blockmux is
6     Port (sel : in  STD_LOGIC_VECTOR(1 downto 0);
7           ain,bin,cin,din: in  STD_LOGIC;
8           q: out  STD_LOGIC);
9 end Blockmux;
10 architecture Behavioral of Blockmux is
11 begin
12 Block
13 begin
14     with sel select
15         q<=ain  when sel= "00",
16             bin  when sel= ④="01",
17             cin  when sel= "10",
18             din  when sel="11"
19             ⑤'0' when others;
20     end block
21 end Behavioral;
22

```

1. (12 分) 请根据所给出的程序代码，说明程序 1 实现了什么功能？并补充完成①②③④⑤处所缺少的代码。

四路数据选择器

2. (8 分) 程序 1 和程序 2 所实现的功能是否相同。在具体实现过程中，两个程序分别采用了什么方式的执行语句来实现。这两种不同的执行语句有何区别？

相同

进程语句

↓

顺序

块语句

↓

并行

## 二、SoC 结构分析（本题共 20 分）

1. （6 分）SoC 系统级研究内容包括哪些？在设计过程中，SoC 设计方法包括哪些？

- ① 软硬件协同设计技术；
- ② 设计重用技术；
- ③ 与底层相结合设计技术；

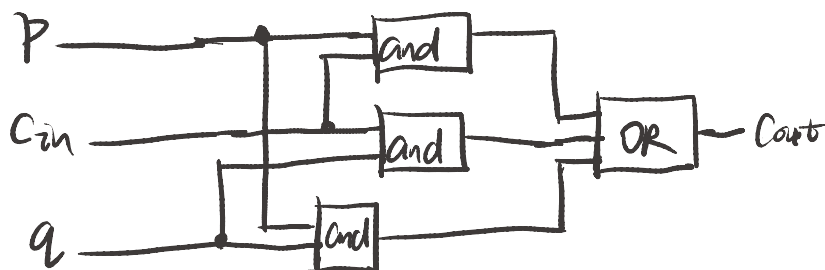
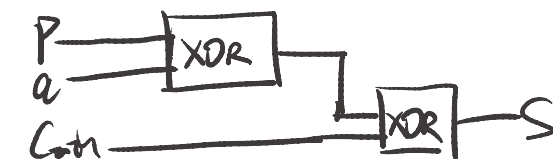
自顶向下，自底向上，上下结合

2. （4 分）SoC 软硬件协同设计中，系统建模方法包括哪几种？

- 离散事件模型
- 有限状态机模型
- 通信进程网络模型
- Petri网模型
- 任务流图模型
- 控制数据流图模型

3. （10 分）结构描述方式是 VHDL 描述方法之一。若采用结构描述方式来设计一位全加器，应当包括哪几个模块？请画出一位全加器的基本结构。

与门 异或门  
或门



### 三、布斯乘法器设计（本题共 15 分）

假设  $n$  位的乘数  $A$  与被乘数  $B$  进行相乘操作， $D$  为部分积， $C$  为循环操作次数，采用布斯补码一位乘法进行相乘操作的流程如图 1 所示。

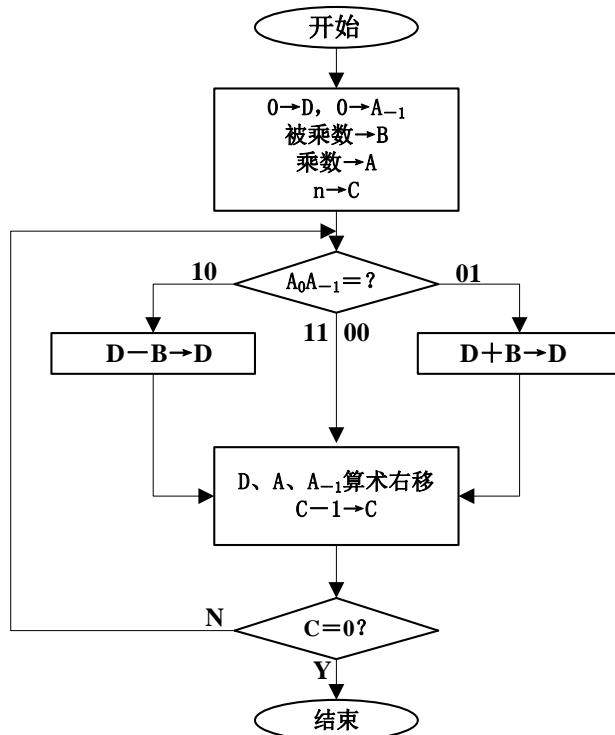


图1 布斯补码一位乘法流程图

1. (11 分) 根据硬件电路设计方法，流程图相应部分应当采用哪些功能器件进行实现，符号位如何处理？

2. (4 分) 已知  $X=0.1010$ ,  $Y=-0.1101$ 。利用布斯法补码一位乘法求  $X$  和  $Y$  的乘积。

#### 四、片上网络结构分析（本题共 15 分）

片上网络（Network on Chip, NoC）借鉴了分布式计算系统的通信方式，采用路由和分组交换技术替代传统总线，是最有希望解决复杂片上通信问题的新方法。

1. （5 分）NoC 解决了 SoC 的总线结构所固有的问题包括哪几个方面？

2. （10 分）拓扑结构是 NoC 设计关键问题之一。除了对 IP 核的映射、通信任务的调度起着重要的作用外，它对网络延迟、通信量、面积、容错、功耗也有很大影响。现有的大量研究工作都是基于规则拓扑结构开展的，请举例说明 3 种以上的规则拓扑结构，并画出具 8 个路由节点的 3D Mesh 拓扑结构的 NoC 结构图。

装

订

线

## 五、时钟模块设计（本题共 15 分）

时钟信号对 SoC 系统工作具有重要的影响。为了确保时钟信号的有效性，需要设计一个简单时钟验证电路。

1. （5 分）在 SoC 系统中，每个功能模块工作时钟不相同，需要对外部输入的时钟信号进行时钟处理，请问时钟分频电路的类型包括哪几种？
  
  
  
  
  
  
  
  
  
  
2. （10 分）若输入时钟频率为 1MHZ，要求利用时钟输出信号控制 8 个 LED 发光二极管，LED 灯低电平点亮。具体要求 LED 以跑马灯形式点亮，即每次点亮一个 LED，1s 向前移动一个位置，到达第 8 个 LED 后，又重新开始。请按照要求采用硬件描述语言编写 LED 跑马灯电路的实体及结构体实现部分代码。该电路包括以下几个信号：输入信号 clk，使能信号 en（低电平有效），输出信号 LED\_OUT(7 downto 0)。

## 六、通用寄存器设计（本题共 15 分）

通用寄存器是 SoC 系统的重要组成部件。若某系统内部具有 8 个通用寄存器，具体功能包括：

### （1）读寄存器功能

clk 上升沿有效，RN\_CS 低电平有效，读信号 RDRN 低电平有效，根据源寄存器选择信号 RS，将相应寄存器数据输出到 data[7..0]。

### （2）写寄存器功能

clk 上升沿有效，RN\_CS 低电平有效，写信号 WRRN 高电平有效，根据目的寄存器选择信号 RD，将 data[7..0]数据写入到相应的寄存器。

1.（4 分）通用寄存器的源/目的寄存器选择信号由哪个功能模块传递？存入通用寄存器的数据可能来源于哪里？

2.（11 分）根据通用寄存器功能要求，，采用硬件描述语言编写通用寄存器 RN 的实体及结构体实现部分代码。它的输入输出接口如下：

输入信号：时钟信号 clk；异步复位信号 rst；片选信号 RN\_CS；写信号 WRRN；读信号 RDRN；源寄存器选择信号 RS(2 downto 0)；目的寄存器选择信号 RD(2 downto 0)；

输入输出信号：数据总线 data(7 downto 0)。

装

订

线