

4 月 10 日《数字逻辑设计》作业

4 月 17 日，请用照片或者 pdf 教学网提交

1. 试用 T 触发器和任意的逻辑门实现 D 触发器，画出电路图。
2. 考虑一种触发器的传输延时 10ns，建立时间 20ns，保持时间 15ns，请问：
 - 1) 假定组合逻辑平均延时 75ns，最大延时 100ns，电路的最大频率是多少？
 - 2) 假定组合逻辑的最小延时 3ns，请问电路是否能正常工作。如果不能，组合逻辑的延时最小需要多少？
3. 使用两个级联的 163 计数器实现 6 位偏移计数器，计数器在 010101 和 110011 之间循环计数。确保当外部复位信号有效时，计数器从 001110 开始。外部使能信号 EN 为 1 时计数，否则停止计数。当计数器值到达最大值 110011 时对外溢出信号 ECO 输出 1。