

【模型机 1】

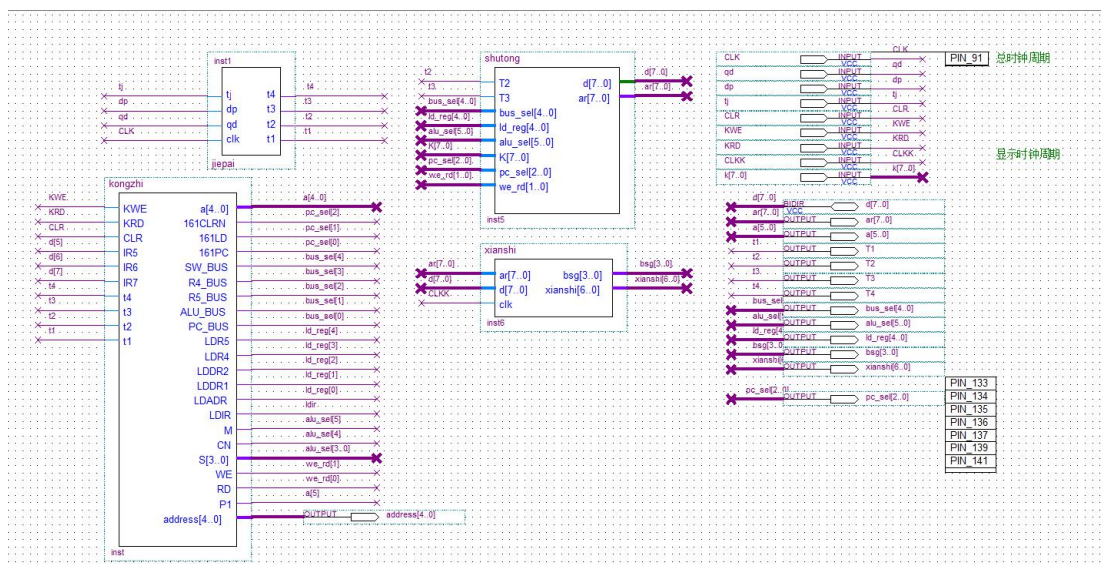
一、本次课实验目标任务是？

目标：系统掌握计算机的组成和工作原理，能够熟练准确地阐述计算机执行机器指令的工作过程，熟练应用并设计微指令、微程序的设计及调试。

任务：1.继续阅读 课程相关资料。2.完成模型机电路的整合

二、模型机顶层电路截图+文字说明（含附加电路数码管显示模块）

(1) 截图：

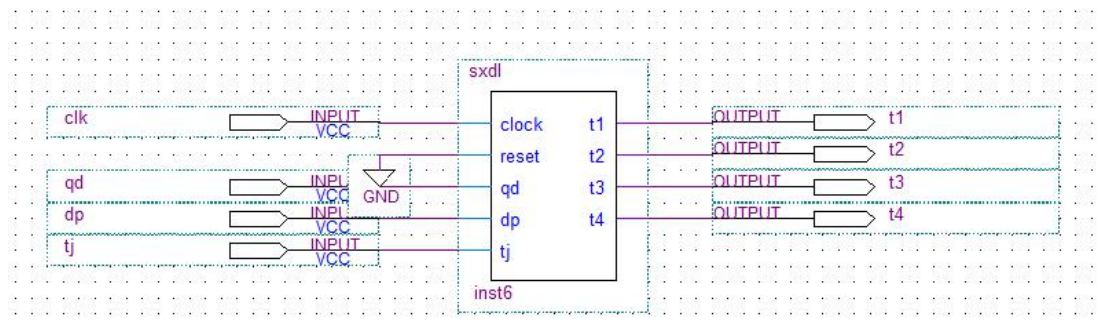


(2) 说明：

该模型机主要分为四个大部分：节拍发生器、微程序控制器、数据通路以及附加显示电路。

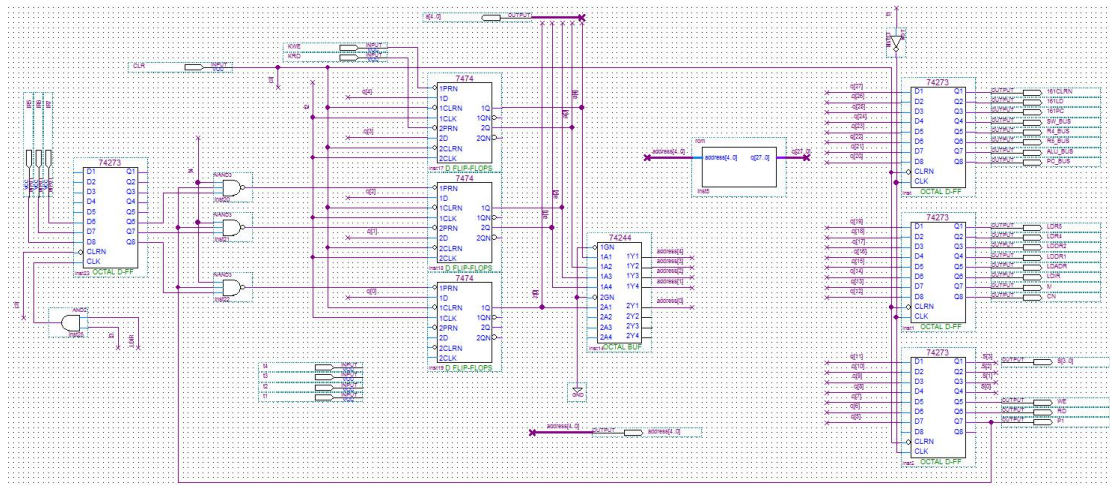
1. jiepai 元件

节拍发生器由一个时序电路制成，根据输入信号 clk,dp,qd,tj 确定 4 个状态。节拍器在前几次实验中已实现，使用软件画状态图功能自动生成，这里直接使用。电路图如下：



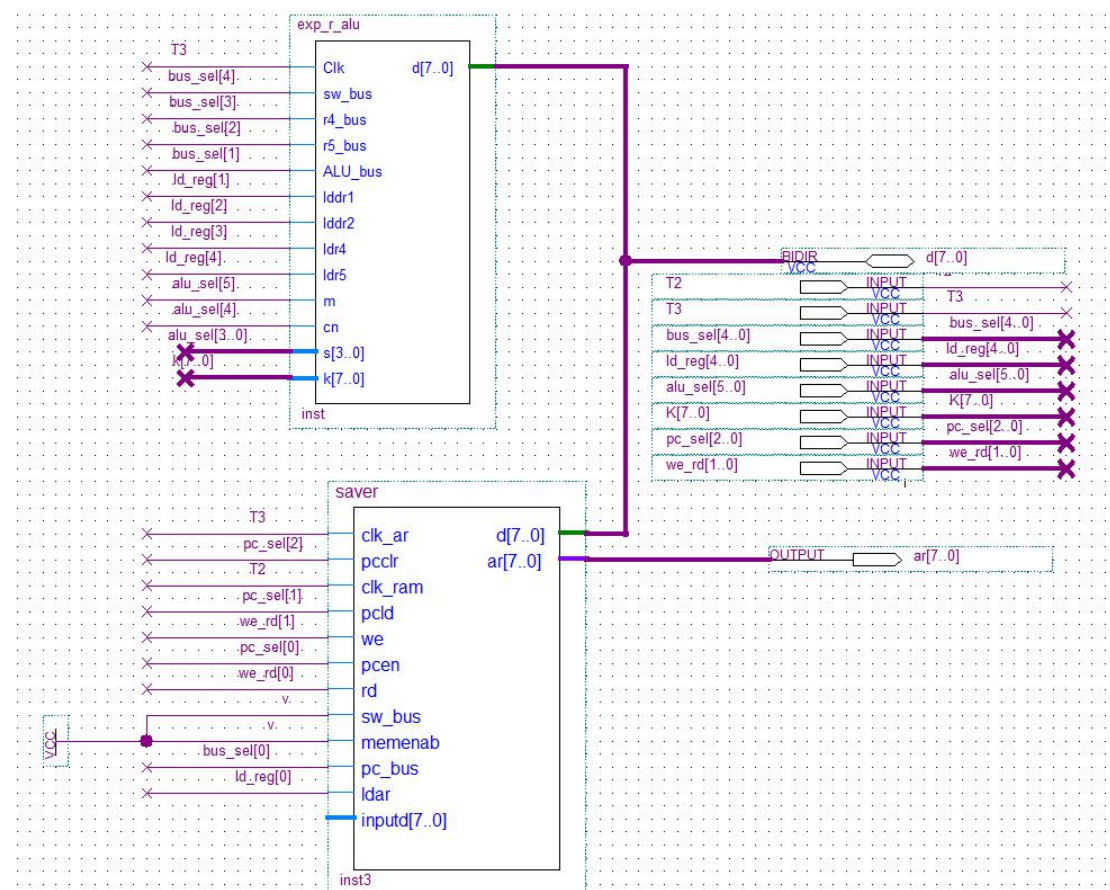
2. kongzhi 元件

微程序控制主要由控制存储器、微指令寄存器和地址转移逻辑三大部分组成，其中微指令寄存器分为微地址寄存器和微命令寄存器两部分。该元件是能完成 ADD,AND,LDA,STA,OUT,COM, JMP7 条机器指令。电路图如下：



3. shutong 元件

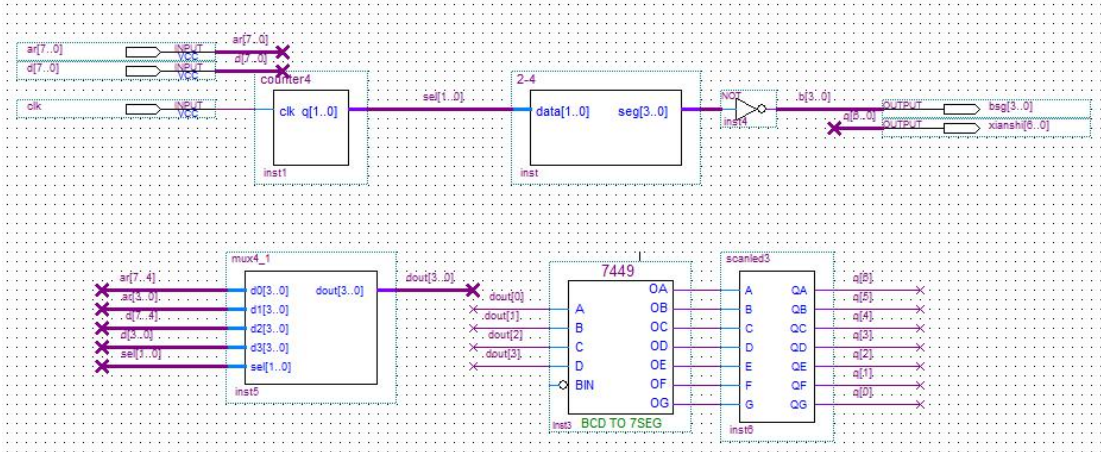
数据通路是各系统通过数据总线连接而成的数据传输路径,该元件使用了一个单总线结构的实例,其中包括:算数逻辑单元 ALU,暂存器 A 和 B,通用寄存器组 R,寄存器 C, RAM 随机读写存储器,MAR,IR,控制器,BUS。主要分为两部分,alu 与 ram (图中 saver)。其中,alu 运算器模块,用来进行数据运算,ram 包含 ram 寄存器模块、pc、ar 用来访问内存文件,产生指令、计数,存储指令和地址。电路图如下:



4. xianshi 元件

该元件主要分为四个部分:模四计数器,2-4 译码器,4-1 多路复用器以及显示部分。并附加了修正电路 scanled3 用于修正 6,9,a-f 等的显示错误。截图同第三大节第 1 小节三、模型机附加电路(数码管显示)截图+文字说明

1. 截图：

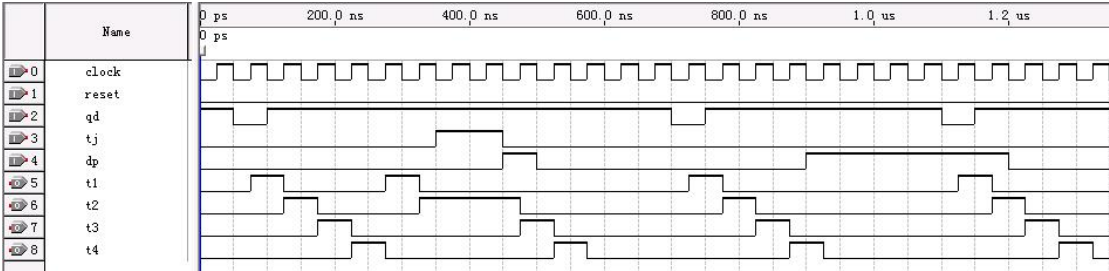


2. 文字说明：

模四计数器将时钟信号转换成两位信号传递至 2-4 译码器，用于数码管的扫描与输出。2-3 译码器将输入信号译码成 4 位信号控制数码管的显示，4-1 多路复用器用于根据 sel 信号筛选需要显示在数码管上的信号，并将该信号传递至 7449 元件，再将 7449 的输出信号通过 scanled3 修正元件修正后，输出在数码管上。

四、时序电路仿真波形图+功能说明

1. 仿真波形图：



2. 功能说明

时序电路用于生成模型机的脉冲信号，总共有 4 个状态 5 个输入信号 4 个输出信号。其中，clock 是原时钟源，reset 是重置信号（由于需要实现的 7 个指令暂时不需要使用到 reset 功能，故始终置为 0），QD 为启动信号，低电平有效；DP 为单拍执行信号，高电平有效；TJ 为停机控制信号。高电平有效。

指令	指令码（二进制）	指令码（十六进制）
LDA	00000010	02H
COM	00010000	10H
JMP	00010010	12H
STA	01000000	40H
OUT	01000010	42H
ADD	01010000	50H
AND	01010010	52H

- ① qd=1,tj=0,dp=0 时，时序电路启动，状态：t1->t2->t3->t4。
- ② qd=1,tj=1,dp=0 时，停机控制信号，状态保持 t2 直至 tj 为 0。
- ③ qd=0,tj=0,qd=1 时，单拍执行信号，保持当前状态直至 qd 再次由 0 变 1。

五、mif 文件结果（写入内存的程序及说明）

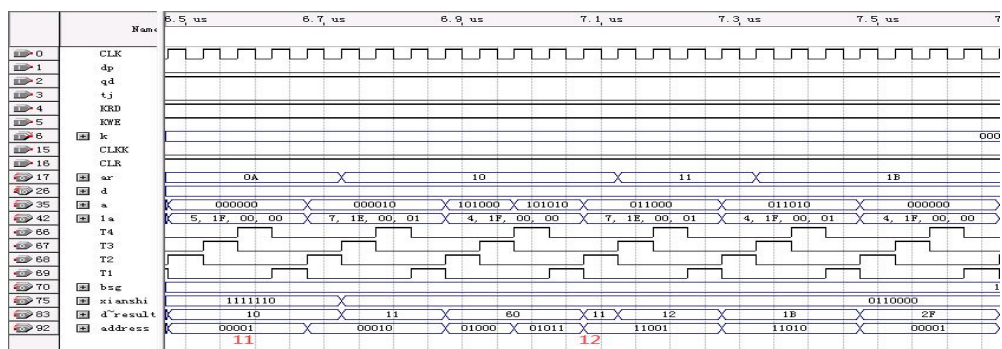
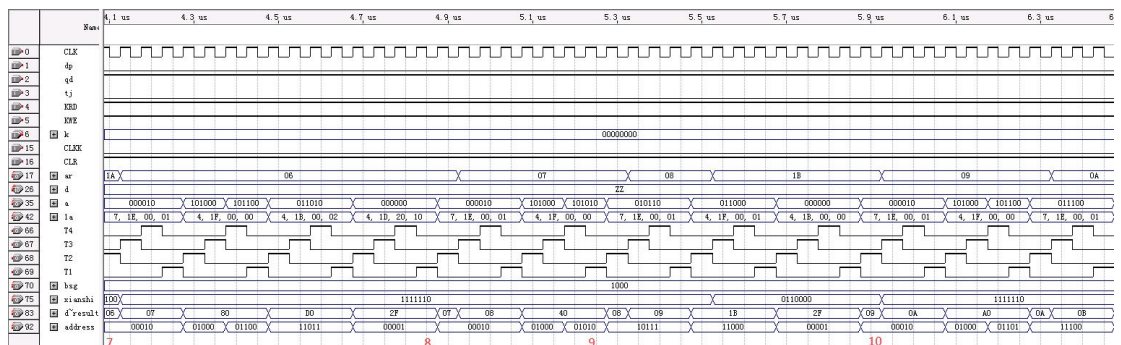
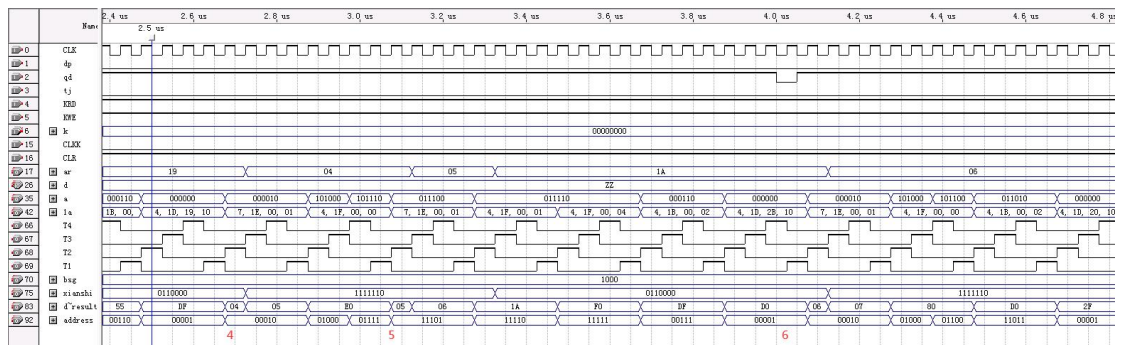
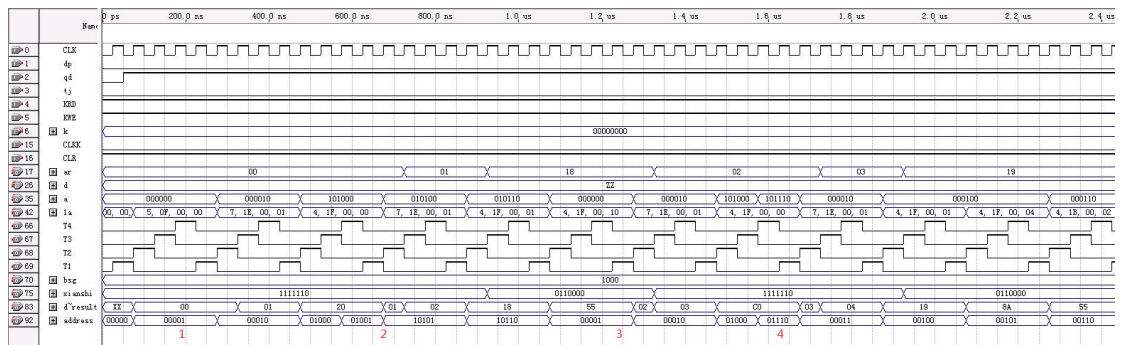
(1) 程序：

Addr	+0	+1	+2	+3	+4	+5	+6	+7
00	20	18	C0	19	E0	1A	80	40
08	1B	A0	10	00	00	00	00	00
10	60	1B	00	00	00	00	00	00
18	55	8A	F0	00	00	00	00	00

(2) 说明：

仿真图	RAM 地址	内容	说明
1	00H	20H	LDA X 双字节指令，指令码 20H
2	01H	18H	LDA 18H 将 18H 地址中内容送累加器 R5
3	02H	C0H	ADD X 双字节指令，指令码 C0H
4	03H	19H	ADD 19H 将 19H 地址中的内容与 R5 内容相加，结果送 R5
5	04H	E0H	AND X 双字节指令，指令码 E0H
6	05H	1AH	AND 1AH 将 R5 的内容和 1AH 单元相与，结果送 R5
7	06H	80H	COM 单字节指令，指令码 80H 将 R5 内容取反送 R5
8	07H	40H	STA X 双字节指令，指令码 40H
9	08H	1BH	STA 1BH 将累加器 R5 的内容送往地址 1BH 单元
10	09H	A0H	JMP X 双字节指令，指令码 A0H
	0AH	10H	JMP 10H 将程序无条件转移到地址为 10H 的单元
	0BH	00H	无
	0CH	00H	无
	0DH	00H	无
	0EH	00H	无
	0FH	00H	无
11	10H	60H	OUT X 双字节指令，指令码 60H
12	11H	1BH	OUT 1BH 将 1BH 地址单元中的内容送到数据总线上
	12H	00H	无
	13H	00H	无
	14H	00H	无
	15H	00H	无
	16H	00H	无
	17H	55H	数据 A
	18H	8AH	数据 B
	19H	F0H	数据 C

(3) 仿真结果：



【模型机 2】

一、加入控制器中模拟指令码的 IR7IR6IR5 对应到数据总线 D[7..0]的 D4D6D1, 译码出 7 条机器指令的指令码

机器指令	指令码	二进制指令码	十六进制指令码
LDA	001	00000001	01H
STA	010	01000000	40H
ADD	110	01010000	50H

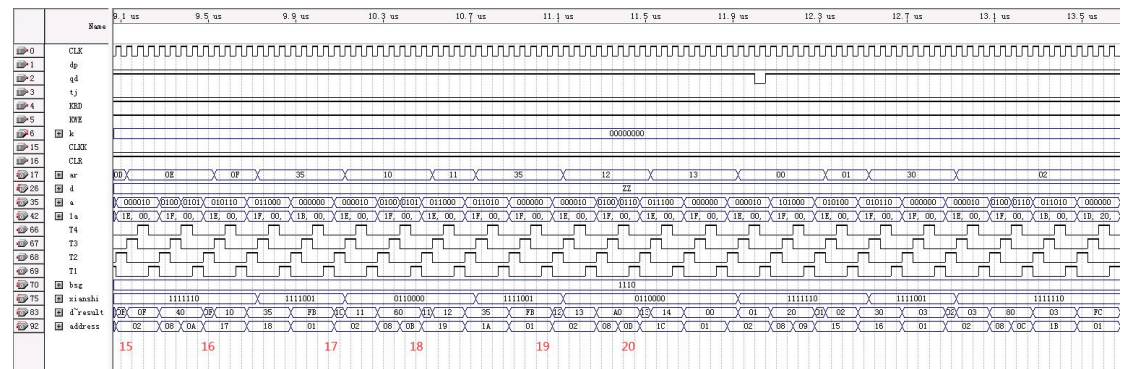
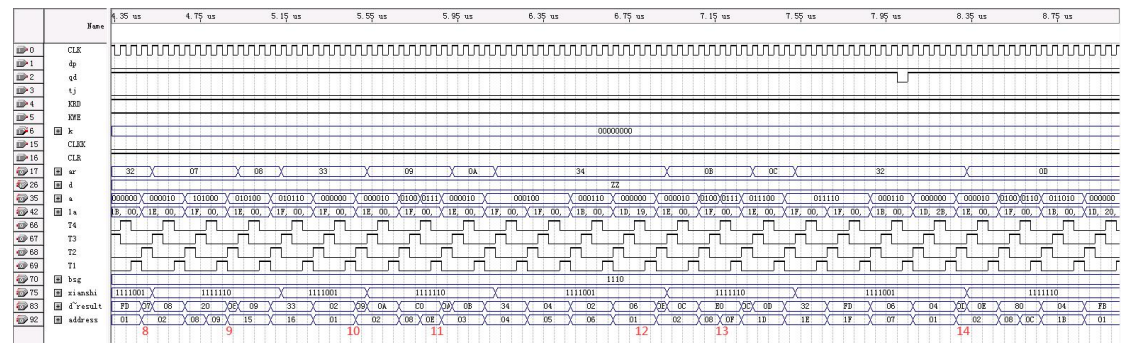
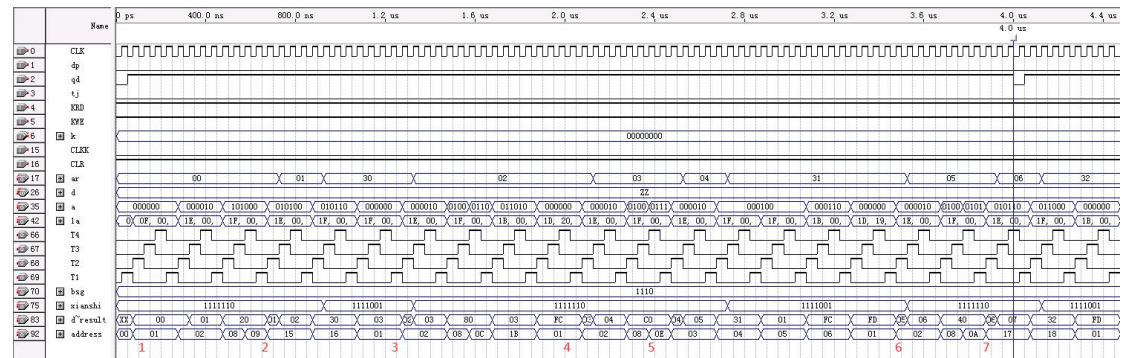
AND	111	01010001	51H
COM	100	00010000	10H
OUT	011	01000001	41H
JMP	101	00010001	11H

二、用模型机已有的 7 条机器指令编写测试程序，完成复合运算:NOT(((NOT(C))加 A)and(B 加 D)，其中 A=01,B=02,C=03,D=04，MIF 文件结果截图+下载操作截图+文字说明；

(1) MIF 文件结果截图

Addr	+00	+01	+02	+03	+04	+05	+06	+07	+08	+09	+0a	+0b	+0c	+0d	+0e	+0f	+10	+11	+12	+13	+14	+15	+16	+17	+18	+19
00	20	30	80	C0	31	40	32	20	33	C0	34	E0	32	80	40	35	A0	18	00	00	00	00	00	00	60	35
2e	00	00	03	01	00	02	04	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00

(2) 下载操作截图



(3) 下载结果（下载的文件真叫设置与视频有区别，但是不影响验证）



(4) 引脚设置

26	bsp[3]	Output	PIN_125	2	B2_N0	3.3-V LVTTL (default)		bsp[3..0]	Yes	Column I/O	LVDS2In	Top edge
27	bsp[2]	Output	PIN_126	2	B2_N0	3.3-V LVTTL (default)		bsp[3..0]	Yes	Column I/O	LVDS2Ip	Top edge
28	bsp[1]	Output	PIN_129	2	B2_N1	3.3-V LVTTL (default)		bsp[3..0]	Yes	Column I/O	LVDS2In	Top edge
29	bsp[0]	Output	PIN_132	2	B2_N1	3.3-V LVTTL (default)		bsp[3..0]	Yes	Column I/O	LVDS2Ip	Top edge
46	isp	Input	PIN_70	4	B4_N0	3.3-V LVTTL (default)			Yes	Column I/O	LVDS4In	Bottom edge
55	IRD	Input	PIN_57	4	B4_N1	3.3-V LVTTL (default)			Yes	Column I/O	LVDS5Ip	Bottom edge
56	IRWE	Input	PIN_59	4	B4_N0	3.3-V LVTTL (default)			Yes	Column I/O	LVDS5Ip	Bottom edge
65	sd	Input	PIN_71	4	B4_N0	3.3-V LVTTL (default)			Yes	Column I/O	LVDS4Ip	Bottom edge
75	CLK	Input	PIN_91	3	B3_N0	3.3-V LVTTL (default)			Yes	Dedicated Clock	CLK0, LVDSCLK3p, In...	Right side
76	CLKC	Input	PIN_89	3	B3_N1	3.3-V LVTTL (default)			Yes	Dedicated Clock	CLK0, LVDSCLK3p, In...	Right side
77	CLR	Input	PIN_53	4	B4_N1	3.3-V LVTTL (default)			Yes	Column I/O	LVDS5Ip	Bottom edge
70	ti	Input	PIN_69	4	B4_N0	3.3-V LVTTL (default)			Yes	Column I/O	LVDS4Ip	Bottom edge
71	xianshi[5]	Output	PIN_133	2	B2_N1	3.3-V LVTTL (default)		xianshi[5..0]	Yes	Column I/O	LVDS1In	Top edge
72	xianshi[5]	Output	PIN_134	2	B2_N1	3.3-V LVTTL (default)		xianshi[5..0]	Yes	Column I/O	LVDS1Ip	Top edge
73	xianshi[4]	Output	PIN_135	2	B2_N1	3.3-V LVTTL (default)		xianshi[5..0]	Yes	Column I/O	LVDS1In	Top edge
74	xianshi[3]	Output	PIN_136	2	B2_N1	3.3-V LVTTL (default)		xianshi[5..0]	Yes	Column I/O	LVDS1Ip, DPCUK10,D...	Top edge
75	xianshi[2]	Output	PIN_137	2	B2_N1	3.3-V LVTTL (default)		xianshi[5..0]	Yes	Column I/O	LVDS1In	Top edge
76	xianshi[1]	Output	PIN_139	2	B2_N1	3.3-V LVTTL (default)		xianshi[5..0]	Yes	Column I/O	LVDS1Ip	Top edge
77	xianshi[0]	Output	PIN_141	2	B2_N1	3.3-V LVTTL (default)		xianshi[5..0]	Yes	Column I/O	LVDS1Ip	Top edge

(5) 文字说明

仿真图	RAM 地址	内容	说明
1	00H	20H	LDA X 双字节指令，指令码 20H
2	01H	30H	LDA 30H 将 30H 地址中内容送累加器 R5
3	02H	80H	COM 单字节指令，指令码 80H 将 R5 内容取反送 R5
4	03H	C0H	ADD X 双字节指令，指令码 C0H
5	04H	31H	ADD 31H 将 31H 地址中的内容与 R5 内容相加，结果送 R5
6	05H	40H	STA X 双字节指令，指令码 40H
7	06H	32H	STA 32H 将累加器 R5 的内容送往地址 32H 单元
8	07H	20H	LDA X 双字节指令，指令码 20H
9	08H	33H	LDA 33H 将 33H 地址中内容送累加器 R5
10	09H	C0H	ADD X 双字节指令，指令码 C0H
11	0AH	34H	ADD 34H 将 34H 地址中的内容与 R5 内容相加，结果送 R5
12	0BH	E0H	AND X 双字节指令，指令码 E0H
13	0CH	32H	AND 32H 将 R5 的内容和 32H 单元相与，结果送 R5
14	0DH	80H	COM 单字节指令，指令码 80H 将 R5 内容取反送 R5
15	0EH	40H	STA X 双字节指令，指令码 40H
16	0FH	35H	STA 35H 将累加器 R5 的内容送往地址 35H 单元
10	11H	60H	OUT X 双字节指令，指令码 60H
17	12H	35H	OUT 35H 将 35H 地址单元中的内容送到数据总线上
18	13H	A0H	JMP X 双字节指令，指令码 A0H
19	14H	18H	JMP 18H 将程序无条件转移到地址为 18H 的单元
20	15H	00H	无
	
	2FH	00H	无
	30H	03H	数据 C
	31H	01H	数据 1
	32H	00H	无
	33H	02H	数据 2
	34H	04H	数据 4

三、阅读教材 P257-263，回答问题

(1) 代码中进程 ct1、ct2、ct3、ct4 功能划分的依据是

ct1 的功能是微序列控制器下址跳转；

ct2 的功能是实现各种指令，主要实现从存储器或寄存器送数据到总线上；

ct3 的功能是完成各种指令，从总线上的数据加载到的存储器或寄存器中；

ct4 的功能是生成下址；

(2) 代码中如何定义并初始化 RAM

通过定义一个名叫 ram8 的中间变量进行定义，并通过赋初值来进行初始化。

(3) 代码中 bus_reg_t2<=ram8(conv_integer(ar))与 ram8(conv_integer(ar))<=r5 的含义是什么

第一句将 ram 中 ar 地址位置的数据值传送到总线上；

第二句将 r5 寄存器中的数据值传送到 ram 中 ar 地址的位置、

四、VHDL 语言中如果考虑多个时钟信号的情况？

VHDL 语言中使用多进程法考虑多个时钟信号的情况，根据时钟信号的变化执行不同的操作。

以本次书上代码为例，第一个时钟的波峰进行为序列控制器的下址跳转。第二个进行从 ram 中取出数据并送到总线上。第三个将总线上的数据取出并根据是否需进行运算再加载到寄存器或存储器中。第四个生成下址。

五、以思政点介绍的系统思维视角总结模型机实验。

本次模型机实验将前面的数据通路、时序电路、微程序控制器等模块进行整合模块组合成一体。首先是结构上的整合:将前面的时序电路、数据通路、微程序控制器等模块组合。然后是时序上的整合:各控制信号的触发与节拍信号相结合，在指定的节拍完成指定的操作。通过系统的考虑各个部位的组合与时间上的顺序结合，我完成了这次模型机实验，并且成功的计算了两个需计算算式的值且显示在了板子上。这次实验不仅训练了我的模型机相关思想，还培养了我的系统思维视角，让我从一个系统的角度看问题，能将各个部分看成一个总体，同时还能有序的看待各个部分。