

Цифровая схемотехника

Курс

Обсуждение

Вики

Прогресс

Курс > Модуль 7. > Тест 8. > Тест 8.



Назад



Вперёд ➡

Тест 8.

Этот элемент курса оценивается как 'Промежуточный тест'

вес: 1.0

🔖 [Добавить страницу в мои закладки](#)

Тест 8.

10/10 points (graded)

1. Программируемая Логическая Матрица это:

☐ Одномерный массив ячеек памяти

☒ Двумерный массив логических элементов И, ИЛИ, НЕ ✓

☐ Двумерный массив логических элементов И, ИЛИ, НЕ и триггеров.

☐ Двумерный массив элементов И-НЕ и триггеров

☐ Одномерный массив элементов И, ИЛИ и ячеек памяти.

2. Программируемая Логическая Матрица использует для формирования комбинационной схемы представление логических функций в виде:

☐ Ассоциативного ЗУ

☐ Памяти с произвольной выборкой

☒ СДНФ функции алгебры логики ✓

☐ СКНФ функции алгебры логики

☐ Представление в базисе «Штрих Шеффера»

☐ Представление в базисе «Стрелка Пирса»

☐ Постоянное запоминающее устройство

3. ПЛИС FPGA использует для генерации логических функций:

☐ Ассоциативное ЗУ

☒ Память с произвольной выборкой ✓

☐ Безадресное ЗУ FIFO

☐ СДНФ функции алгебры логики

☐ СКНФ функции алгебры логики

☐ Энергонезависимая память

☐ Постоянное запоминающее устройство

4. Коммутация элементов ПЛМ осуществляется:

☐ Соединением проводников матрицы соединений

☒ Пережигом проводников матрицы соединений ✓

☐ Коммутацией МОП транзисторами

☐ Матрицей коммутирующих элементов PSM

☐ Энергонезависимой памятью соединений

5. Основными активными элементами ПЛИС FPGA являются:

☒ Конфигурируемые логические блоки КЛБ (CLB) ✓

☐ Генераторы Логических Функций (LUT)

☐ D-триггеры

☐ Мультиплексоры и триггеры

☐ Блоки ввода вывода (IOB)

6. Наим образом осуществляется конфигурационная настройка КЛБ (CLB):

☒ Загрузкой LUT

☒ Настройкой мультиплексоров

☐ Загрузкой «теневой памяти»

☐ «Прожигом» коммутационно матрицы

☒ Установкой триггеров в начальное состояние

✓

7. Назначение блоков ввода вывода (IOB):

☐ Согласование внутренних временных характеристик ПЛИС и подключаемого оборудования

☒ Согласование внутренних потенциалов представления логических переменных с внешним оборудованием ✓

☐ Буферизация данных при вводе информации в ПЛИС

☐ Буферизация данных при выводе данных из ПЛИС

☐ «Гальваническая развязка» интерфейса ПЛИС

8. Где хранится конфигурационная информация во время использования ПЛИС FPGA:

☐ В постоянной памяти типа ROM

☐ В памяти с произвольной выборкой типа RAM

☒ В «теневой» памяти ПЛИС ✓

☐ Программируется путем «прожига» матрицы коммутаций

☐ Хранится в программируемой матрице коммутации PSM

9. Матрица программируемых соединений осуществляет коммутацию:

☒ По шести направлениям с помощью МОП транзисторов ✓

☐ По двум направлениям с помощью МОП транзистора и триггера типа D

☐ По четырем направлениям путем «прожига»

☐ По восьми направлениям под управлением теневой памяти.

☐ Предусловлена при производстве ПЛИС

10. Какой из типов цифровых устройств крайне сложно реализовать на ПЛМ и легко на ПЛИС:

☐ Комбинационные схемы

☒ Схемы, включающие в себя элементы хранения ✓

☐ Схемы с двунаправленным интерфейсом

☐ Реализующие функции алгебры логики

Отправить

Вы использовали 1 из 2 попыток

Сохранить

Показать
Ответ

✓ Верно (10/10 баллов)

⬅ Назад

Вперёд ➡



Каталог курсов
Направления подготовки

О нас
Вопросы и ответы

Пользовательское соглашение
Контакты
Помощь

POWERED BY
OPENedX