



厦门大学《计算机组成原理》课程期中试卷

信息学院 软件工程系 2018 年级 软件工程 专业

一、名词解释（每题 3 分，共 24 分）

- 1、机器字长：CPU 一次能处理数据的位数，通常与 CPU 的寄存器位数有关。
- 2、总线：连接多个部件（模块）的信息传输线、是各部件共享的传输介质。
- 3、刷新：DRAM 靠电容存储信息，电容上电荷要放电，信息即丢失。为了维持所存信息需在一定时间（2ms）内，将所存信息读出再重新写入（恢复），这一过程为刷新。
- 4、中断：计算机在执行程序的过程中，当出现异常情况或特殊请求时，计算机停止现行程序的运行，转向对这些异常情况或特殊请求的处理，处理结束后再返回现行程序的间断处，继续执行原程序，这就是“中断”。
- 5、比特率：单位时间内传送的二进制有效数据的位数，单位用 bps 表示。
- 6、命中率：CPU 要访问的信息已在 cache 内的比率。
- 7、通道：用来负责管理 I/O 设备以及实现主存与 I/O 设备之间交换信息的部件，是一种具有特殊功能的处理器。
- 8、向量地址：存放服务程序入口地址的存储单元地址，由硬件形成。

二、选择题（每题 2 分，共 20 分）

1. 计算机中，负责指令译码的是（B）
2. 所谓三总线结构的计算机是指（B）
3. 在计数器定时查询方式下，若每次计数从上一次计数的终止点开始，则（B）。
4. 总线的半同步通信方式（B）
5. 存放存储器地址的寄存器是（A）
6. 若主存每个存储单元为 16 位，则（C）
7. 三种集中式总线控制中，方式（A）对电路故障最为敏感。
8. 为了实现多重中断，开中断指令要放到（D）阶段之后。
9. 在 DMA 接口中，中断机构所完成的任务与 I/O 中断的共同之处是（A）
10. 采用四体并行低位交叉存储器，设每个体的存储器容量为 $32K \times 16$ 位，存储周期为 400ns，下述正确的说法是（C）

三、简答题（共 22 分）

1. 请从读写以及更新过程，解释高速缓冲存储器 cache 是如何基于“程序访问的局部性”进行工作的。（4 分）

读过程：若不命中，则将访问字所在页面（块）一起调入 cache，进行更新（2 分）；若 cache 已满，则利用页面替换原则，进行更新（2 分）。这部分操作，是利用“程序访问局部性”的具体体现。

写过程：主要目的是维持主存和 cache 的数据一致性。（此部分不采分）

2. 何为周期挪用？为什么说 DMA 与主存交换数据时采用周期挪用，比较适合 I/O 设备的读写周期大于主存周期的情况？（6 分）

参教材 P203

周期挪用：在 DMA 传送方式中，当 I/O 设备没有 DMA 请求时，CPU 按程序的要求访问主存，一旦 I/O 设备有 DMA 请求并与 CPU 访存发生冲突时，CPU 要暂停一个存储周期访存，把总线控制权让给 DMA。就好比 I/O 设备挪用了 CPU 的访存周期。故称为周期挪用或窃取。（3 分）

I/O 设备每挪用一個主存周期都要申请总线控制权，建立总线控制权和归还总线控制权。因此，尽管传送一个字对主存而言只占用一个主存周期，但对 DMA 接口而言，实际上要占用 2-5 个主存周期（由逻辑线路的延迟决定），因此，周期挪用的方法比较适合于 I/O 设备的读写周期大于主存周期的情况。（3 分）

3. 假设主存容量为 $512K \times 16$ 位，Cache 容量为 4096×16 位，块长为 4 个 16 位的字，访存地址为字地址。（5 分）

（1）在全相联映射方式下，设计主存的地址格式。

主存字块标记（17）	字块内地址（2）
------------	----------

（2）在二路组相联映射方式下，设计主存的地址格式。

主存字块标记（8）	组地址（9）	字块内地址（2）
-----------	--------	----------

4. 一个 cache-主存系统，采用 50MHz 的时钟，存储器以每个时钟周期传送一个字的速率，连续传输 8 个字，以支持块长为 8 个字的 cache，每字 4 个字节。假设读操作所花的时间是：1 个周期接受地址，3 个周期延迟，8 个周期传输 8 个字；写操作所花的时间是：1 个周期接受地址，2 个周期延迟，8 个周期传输 8 个字，3 个周期恢复和写入纠错码。求出对应下述几种情况的存储器带宽

1) 全部操作为读操作（2 分）

2) 全部操作为写操作（2 分）

3) 65% 的访问为读操作，35% 的访问为写操作（考虑平均时间）（3 分）

由于存储系统采用 50MHz 的时钟，故每一个时钟周期为 $1/50 = 0.02\mu s = 20ns$

1)读操作的时间是 $TR=(1+3+8) \times 20ns=240ns$

读操作的带宽是 $BR=8/TR \approx 133.2MBps$ ($1M=2^{20}$)

2)写操作的时间是: $Tw=(1+2+8+3) \times 20ns=280ns$

写操作的带宽是: $Bw=8/Tw \approx 114.4MBps$ ($1M=2^{20}$)

3)读写操作加权后的时间是: $240ns \times 0.65 + 280ns \times 0.35 = 254ns$

加权平均带宽是: $Ba=8/(254 \times 10^{-9})=31.5 \times 10^6$ 字/秒 $\approx 126MB/s$ ($1M=2^{20}$)

四、综合题 (34 分)

1. 请结合图 1 给出的 CPU 执行指令的流程, 回答下述问题:

1) 根据图中的描述, 目前 CPU 执行的指令数据流是怎样的? (2 分)

CPU->Mem 写存储器操作 或者说 累加器->(M)

2) 根据图中数字 1~9, 描述执行步骤。 (9 分)

① PC->MAR

② MAR->M

③ M->MDR

④ MDR->IR

⑤ Op(IR)->CU

⑥ Ad(IR)->MAR

⑦ MAR->M

⑧ ACC->MDR

⑨ MDR->M

3) 步骤 2 和步骤 7 都涉及到 MAR 寄存器, 有何区别? (2 分)

步骤 2 MAR 里存放的是指令地址; 取指阶段

步骤 7 MAR 存放的是操作数地址; 执行阶段

2. 图 2 为程序查询方式的操作流程图, 请根据此流程图用汇编语言编写针对输入设备的查询程序。注: 输入设备的状态端口为 `status_port`; 数据端口为 `data_port`; 主存地址标号为 `buffer`, 传送数据大小为 100 字节。 (15 分)

MOV CX, 100 1'

MOV BX, OFFSET buffer; LEA BX, buffer; 2'

MOV SI, 0 1'

Again: IN AL, status_port 1'

```

TEST AL,80H ;    假设状态寄存器最高位代表“准备好”          2'
JZ again    ;    结果为 0，即最高位为 0，表示未准备好，则继续查询； 1'
IN AX, data_port;  结果不为 0，即最高位为 1，表示准备好，则输入数据； 1'
MOV [BX+SI], AX    2'
INC SI    1'
DEC CX    ;    LOOP Again; 2'
JNZ Again
HLT    1'

```

3. 请根据图 3 中程序中断方式与 DMA 方式各自的数据通路，阐述两种工作方式的不同点。（6 分）

程序中断方式：I/O 设备 \leftrightarrow 中断接口 \leftrightarrow CPU \leftrightarrow MEM 输入输出指令（以 CPU 为中介，基于软件程序交换数据）

DMA 方式：I/O 设备 \leftrightarrow DMA 接口 \leftrightarrow MEM DMA 控制器（基于硬件，不需 CPU 干预传送过程）