

# 《计算机组成原理》 作业9

2023

33920212204567 任宇

## 9-2

(1) [2012] 下列选项中, 在 I/O 总线的数据线上传输的信息包括\_\_\_\_\_。

I. I/O 接口中的命令字      II. I/O 接口中的状态字      III. 中断类型号

A. 仅 I、II      B. 仅 I、III      C. 仅 II、III      D. I、II、III

答: D。

(2) [2014] 下列有关 I/O 接口的叙述中, 错误的是\_\_\_\_\_。

A. 状态端口和控制端口可以合用同一寄存器

B. I/O 接口中 CPU 可访问的寄存器, 称为 I/O 端口

C. 采用独立编址方式时, I/O 端口地址和主存地址可能相同

D. 采用统一编址方式时, CPU 不能用访存指令访问 I/O 端口

答: D。原因如下:

采用统一编址方式时, CPU 可以使用访存指令访问 I/O 端口。

## 9-2

(3) [2017] I/O 指令实现的数据传送通常发生在\_\_\_\_\_。

A. I/O 设备和 I/O 端口之间

B. 通用寄存器和 I/O 设备之间

C. I/O 端口和 I/O 端口之间

D. 通用寄存器和 I/O 端口之间

答：D，原因如下：

I/O 端口是指 I/O 接口中用于缓冲信息的寄存器。数据通过数据总线在 CPU 寄存器和端口之间传输数据。

(4) [2009] 下列选项中，能引起外部中断的事件是\_\_\_\_\_。

A. 键盘输入

B. 除数为零

C. 浮点运算下溢

D. 访存故障

答：A，原因如下：

B、D 都是内部中断。C 不会产生中断。

(5) [2010] 单级中断系统中, 中断服务程序内部的执行顺序是\_\_\_\_\_。

- I. 保护现场      II. 开中断      III. 关中断      IV. 保存断点  
V. 中断事件处理      VI. 恢复现场      VII. 中断返回

A. I → V → VI → II → VII

B. III → I → V → VII

C. III → IV → V → VI → VII

D. IV → I → V → VI → VII

(6) [2012] 响应外部中断的过程中, 中断隐指令完成的操作, 除保护断点外, 还包括\_\_\_\_\_。

- I. 关中断      II. 保存通用寄存器的内容      III. 形成中断服务程序入口地址并送入 PC

A. 仅 I、II

B. 仅 I、III

C. 仅 II、III

D. I、II、III

答: A, 原因如下:

首先是关中断, 接着保存断点、中断识别、保存现场、中断事件处理、恢复现场、开中断、中断返回, 其中关中断、保存断点和中断识别由硬件完成, 后面均由中断服务程序完成。

答: B, 原因如下:

保存通用寄存器中内容是在进入中断服务程序后, 首先进行的保护现场操作。

(7) [2017] 下列关于多重中断系统的叙述中, 错误的是\_\_\_\_\_。

- A. 在一条指令执行结束时响应中断
- B. 中断处理期间 CPU 处于关中断状态
- C. 中断请求的产生与当前指令的执行无关
- D. CPU 通过采样中断请求信号检测中断请求

答: B, 原因如下:

在多重中断系统中, 中断处理期间CPU完成现场保护后会处于开中断状态, 方便多重中断。

(8) [2015] 在采用中断 I/O 方式控制打印输出的情况下, CPU 和打印控制接口中的 I/O 端口之间交换的信息不可能是\_\_\_\_\_。

- A. 打印字符
- B. 主存地址
- C. 设备状态
- D. 控制命令

答: B, 原因如下:

在程序中断I/O方式中, CPU和打印机直接交换, 打印字符直接传输到端口, 不会涉及主存地址。

(9) [2018] 下列关于外部 I/O 中断的叙述中, 正确的是\_\_\_\_\_。

- A. 中断控制器按所接收中断请求的先后次序进行中断优先级排队
- B. CPU 响应中断时, 通过执行中断隐指令完成对通用寄存器的保护
- C. CPU 只有在处于中断允许状态时, 才能响应外部设备的中断请求
- D. 有中断请求时, CPU 立即暂停执行当前指令, 转去执行中断服务程序

答: C。原因如下:

对于A选项: 是按照中断响应优先级和处理优先级来排队。

对于B选项: 对通用寄存器的保护是进入中断服务程序后的保护现场操作, 不是中断隐指令。

对于D选项: CPU会先执行完当前指令。

(10) [2013] 下列关于中断 I/O 方式和 DMA 方式比较的叙述中, 错误的是\_\_\_\_\_。

- A. 中断 I/O 方式请求的是 CPU 处理时间, DMA 方式请求的是总线使用权
- B. 中断响应发生在一条指令执行结束后, DMA 响应发生在一个总线事务完成后
- C. 中断 I/O 方式下数据传送通过软件完成, DMA 方式下数据传送由硬件完成
- D. 中断 I/O 方式适用于所有外部设备, DMA 方式仅适用于高速外部设备

答: D。原因如下:

中断I/O方式不适用于高速外部设备。



(11) [2010] 假定一台计算机的显示存储器用 DRAM 芯片实现, 若要求显示分辨率为 1600 像素 × 1200 像素, 颜色深度为 24 位, 帧频为 85Hz, 显存总带宽的 50% 用来刷新屏幕, 则需要的显存总带宽至少约为\_\_\_\_\_。

A. 245Mbit/s

B. 979Mbit/s

C. 1958Mbit/s

D. 7834Mbit/s

答: D。原因如下:

$$\text{刷新带宽} = 1600 * 1200 * 24 * 85 = 3916.8 \text{ Mbit/s}$$

$$\text{则总带宽} = 2 * \text{刷新带宽} = 7834 \text{ Mbit/s}$$

(12) [2015] 若磁盘转速为 7200 转 / 分钟, 平均寻道时间为 8ms, 每个磁道包含 1000 个扇区, 则访问一个扇区的平均存取时间大约是\_\_\_\_\_。

A. 8.1ms

B. 12.2ms

C. 16.3ms

D. 20.5ms

答: B。原因如下:

$$\text{平均存取时间} = (60/7200) / 2 + (60/7200) / 1000 + 8 = 12.2\text{ms}$$

简要回答下列问题。

(1) CPU和外部设备之间如何连接？

答：通常CPU与外部设备之间通过总线连接，外部设备通过接口连接在总线上，接口实现CPU与外部设备的连接和信息的交换。

(2) CPU与外部设备信息交换的控制方式有哪些？它们各有什么特点？

答：1. 程序查询控制方式：CPU直接通过执行指令与外部设备交互，与外部设备串行工作。对于慢速设备，这种方式会浪费很多时间用于查询等待，效率较低。

2. 程序中断控制方式：CPU启动外部设备后不再等待，而是转去执行其他进程，CPU与外部设备并行工作，外部设备就绪后主动向CPU发送中断请求，CPU响应中断并通过中断服务程序完成信息交换，该方式效率较高。

3. DMA方式：硬件临时代替CPU接管总线，控制设备和内存之间进行直接的数据交换，信息传送不再经过CPU。该方式适合批量传输，极大提高了传输速率和CPU利用率。

4. 通道方式：通道是特殊的I/O处理器，用于分担CPU的I/O管理。通道可以通过执行通道程序来完成CPU指定的I/O任务，能进一步提高系统效率。

5. 外围处理机方式：通常用于中、大型计算机系统中。



(3) 什么是程序查询I/O方式？简要说明其工作原理。

答：程序查询I/O方式是指输入输出完全依靠CPU执行程序实现。当CPU要与设备进行数据交换时，首先设置接口命令寄存器启动设备；设备准备的过程中，CPU通过读取设备的状态寄存器查询设备是否已经就绪，根据查询结果决定下一步操作是传输数据还是等待。这种控制方式CPU与外部设备串行工作，CPU会浪费大量时间用于查询等待，效率较低。

(4) 比较单级中断和多重中断处理流程的异同点。

答：二者都可以有多个中断源，但是单级中断的中断服务程序不可被其他中断源再次中断，所以中断服务程序全程为关中断模式，多重中断的中断服务程序保护现场的内容包括中断屏蔽字，并且保护现场后立即开中断，方便中断嵌套。

(5) 中断隐指令完成什么功能？

答：中断隐指令用来实现中断响应的功能，具体完成包括关中断、保存断点和中断识别等任务，其本质是硬件的一系列自动操作。

(6) 为什么在保护现场和恢复现场的过程中，CPU必须关中断？

答：保护现场和恢复现场必须是原子操作，否则中断返回时被中断程序的运行现场不正常，程序无法正确运行，关中断就是为了保证保护现场、恢复现场操作的原子性。

## 9-3

(7) CPU响应中断的条件有哪些？

答：1. 对应的中断请求没有被屏蔽。

2. 当前没有更高优先级的中断请求。

3. 如果CPU正在执行中断服务，应该满足多重中断嵌套条件。

4. 应该处于开中断状态，内部异常和不可屏蔽中断不受此影响。

5. CPU已执行完一条指令的最后一个状态周期。

(8) 什么是中断优先级？它具有哪两层含义？划分优先级的原则是什么？

答：中断优先级是指CPU响应并处理不同中断源中断请求的先后顺序。中断优先级包括响应优先级和处理优先级。响应优先级是指CPU对各设备的中断请求进行相应的先后次序，处理优先级是指中断嵌套的实际优先级处理次序。划分优先级的原则是：

1. 不可屏蔽中断>内部异常>可屏蔽中断

2. 内部异常中硬件终止属于最高级，其次是指令异常或自陷等程序故障。

3. DMA中断请求优先于I/O设备传送的中断请求。

4. 在I/O类传送中断请求中，高速设备优先于低速设备，输入设备优先于输出设备，实时控制设备优先于普通设备。

(9) 计算机中断系统中使用屏蔽字有什么好处？

答：中断优先级包括响应优先级和处理优先级，响应优先级在硬件线路上是固定的，不便于变动，但是可以利用中断屏蔽技术动态调整，使得中断处理更加灵活。

(10) 计算机响应中断后，如何调用中断服务程序？

答：通常硬件或者软件方法查找中断源，清除当前中断请求，将对应的中断服务程序入口地址发送给程序计数器PC，完成中断识别后即可执行中断服务程序。

(11) DMA方式传送数据前，CPU应该先进行哪些操作？

答：1. 初始化DMA：CPU将内存地址、数据块长度、数据传输方向等DMA传输参数通过系统总线经过DMAC的I/O接口传输给DMAC，此时DMA控制器是总线的从设备，接受CPU传输过程的参数。

2. 启动设备：CPU通过系统总线向设备I/O接口发送DMA读、写命令以及相关参数，这里的参数也包括内存地址、数据块长度、数据传输方向等，也就是传统的启动设备的过程。

3. 其他进程运行：完成以上工作后，CPU将当前进程挂起，通过进程调度转去执行其他进程，以充分利用CPU资源。

## 9-3

(12) 比较中断I/O和DMA的异同点。

答：

1. 两者都采用了“请求-应答”机制，但是中断技术中申请的是CPU时间，响应的时机是指令周期结束时刻；DMA方式请求的是总线控制权，响应时机是任何一个机器周期结束的时刻。
2. 中断技术中通过CPU执行程序进行实际数据传输，存在程序执行现场的保护和恢复问题；DMA方式依靠额外硬件来实现数据传输，其不改变CPU现场，不影响系统性能。
3. DMA方式仅仅用于数据的传输，而中断技术不仅可以用于数据的传输，还可以用于处理各种随机事件，提高计算机的灵活性。

# 9-4

(12) 比较中断 I/O 和 DMA 的异同点。

9.4 A、B、C 是与 CPU 连接的 3 个设备，在硬件排队线路中，它们的优先级是  $A > B > C > \text{CPU}$ ，为改变中断处理的次序，它们的中断屏蔽字如表 9.5 所示（设“0”表示允许中断，“1”表示中断屏蔽）。请按图 9.36 所示的时间轴给出的设备中断请求时刻，画出 CPU 执行程序的轨迹（A、B、C 中断服务程序的时长为  $20\mu\text{s}$ ）。

表 9.5 中断屏蔽表

设备名	中断屏蔽字		
	A	B	C
A	1	1	1
B	0	1	0
C	0	1	1

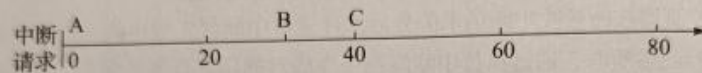
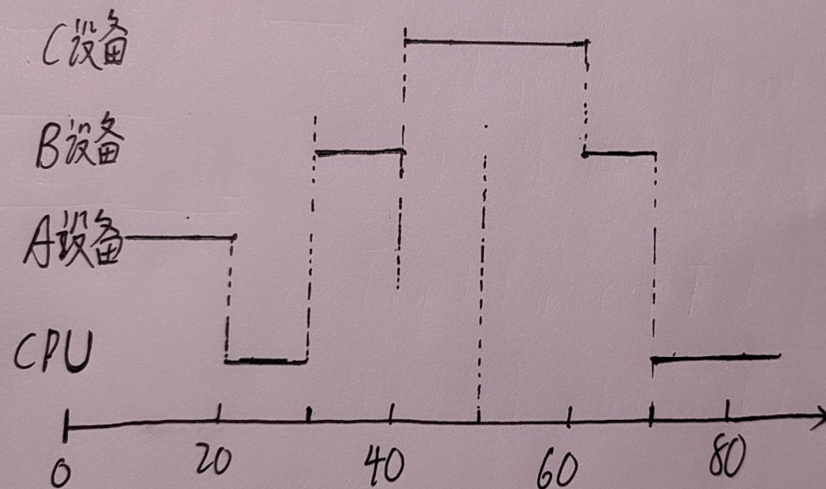


图 9.36 中断请求时刻

答：





# 9-5

9.5 设某计算机有4级中断：L0、L1、L2、L3。其中断响应优先次序为  $L0 > L1 > L2 > L3$ ，现在要求将中断处理次序改为  $L1 \rightarrow L3 \rightarrow L0 \rightarrow L2$ 。请回答下列问题。

(1) 表 9.6 所示的中断屏蔽字该如何设置（“0”表示允许中断，“1”表示中断屏蔽）？请将答案填入表 9.6 中。

表 9.6 更新后的中断屏蔽表

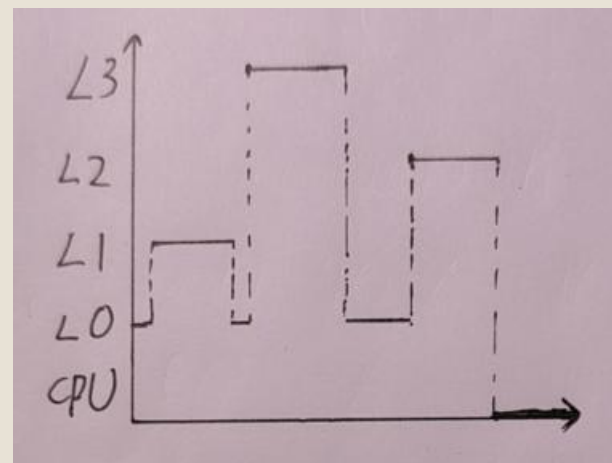
设备名	中断屏蔽字			
	L0	L1	L2	L3
L0				
L1				
L2				
L3				

(2) 若这4级中断同时都发出中断请求，按更改后的次序画出进入各级中断处理程序的过程示意图。

答：屏蔽终端表：

	L0	L1	L2	L3
L0	1	0	1	0
L1	1	1	1	1
L2	0	0	1	0
L3	1	0	1	1

过程示意图：





9.6 某计算机的 CPU 主频为 500MHz，与之连接的外部设备的最大数据传输速率为 20KB/s，外部设备接口中有一个 16 位的数据缓冲器，相应的中断服务程序执行时间为 500 个时钟周期，通过计算分析该设备是否可采用中断 I/O 方式。若该设备的最大数据传输速率为 2MB/s，该设备是否可采用中断 I/O 方式？

答：

若最大数据传输速率为 20KB/s，而数据缓冲器只有 2B，因此每秒需要产生 10000 次中断，一次中断服务程序执行时间为 500 个时钟周期，所以需要 5000000 个时钟周期，即 5MHz，占 CPU 时间比率为 1%，对 CPU 影响不大，可以采用中断 I/O 方式。

若最大数据传输速率为 2MB/s，则中断占 CPU 时间比率为 100%，不能采用中断 I/O 方式。

9.8 假定计算机的主频为 500MHz, CPI 为 4。现有设备 A 和 B, 它们的数据传输速率分别为 2MB/s 和 40MB/s, 对应 I/O 接口中各有一个 32 位数据缓冲寄存器。请回答下列问题并给出计算过程。

(1) 若设备 A 采用定时查询 I/O 方式, 每次输入输出都至少执行 10 条指令。设备 A 最多间隔多长时间查询一次才能不丢失数据? CPU 用于设备 A 输入输出的时间占 CPU 总时间的百分比至少是多少?

(2) 在中断 I/O 方式下, 若每次中断响应和中断处理的总时钟周期数至少为 400, 则设备 B 能否采用中断 I/O 方式? 为什么?

(3) 若设备 B 采用 DMA 方式, 每次 DMA 传送的数据块大小为 1000B, CPU 用于 DMA 预处理和后处理的总时钟周期数为 500, 则 CPU 用于设备 B 输入输出的时间占 CPU 总时间的百分比最多是多少?

答:

(1) A设备每隔  $4B/2MB/s = 2 \mu s$  就会产生新数据, 为保证数据不丢失,  $2 \mu s$  就需要查询一次, 所以每秒查询  $5 \times 10^5$  次, 每秒CPU用于A设备输入输出的时间至少为  $4 \times 10 \times 5 \times 10^5 = 2 \times 10^7$  个时钟周期, 占CPU百分比至少是  $2 \times 10^7 / 500MHz = 4\%$ 。

(2) 中断响应和中断处理的时间为  $400/500MHz = 0.8 \mu s$ , 而B设备每隔  $4B/40MB/s = 0.1 \mu s$  产生一次新数据, 因此B设备不适合采用中断I/O方式。

(3)  $(40MB/1000B) \times 500 = 2 \times 10^7$  个时钟周期  
占CPU总时间的百分比最多是  $2 \times 10^7 / 500MHz = 4\%$ 。