



# 厦门大学《计算机组成原理》课程期中试卷

信息学院 软件工程系 2020 级 软件工程专业

主考教师：曾文华 张海英 考试时间：2022. 4. 17

## 一、 选择题（请从 A、B、C、D 中选择唯一的一个正确答案，15 小题，每小题 2 分，共 30 分；在答题纸填写答案时请写上每小题的对应编号）

1. 机器数 10100011 分别进行逻辑左移、逻辑右移、算术左移、算术右移，其结果为：

- |             |          |          |          |
|-------------|----------|----------|----------|
| A. 01000110 | 01010001 | 01000110 | 11010001 |
| B. 01000110 | 01010001 | 01000110 | 01010001 |
| C. 01000110 | 01010001 | 11000110 | 11010001 |
| D. 01000110 | 11010001 | 01000110 | 11010001 |

答：A

10100011 逻辑左移：01000110

10100011 逻辑右移：01010001

10100011 算术左移：01000110

10100011 算术右移：11010001

2. 某计算机的主频为 3.5GHz，其指令分为 5 类，各类指令在基准程序中所占的比例及 CPI 如表 1 所示。请问该计算机的 MIPS 是：

表1 各类指令的比例及CPI

指令类型	所占比例	CPI
A	30	2
B	10	6
C	20	4
D	15	5
E	25	3

- A. 500  
B. 1000  
C. 1500  
D. 2000

答：B

$CPI = 30\% \times 2 + 10\% \times 6 + 20\% \times 4 + 15\% \times 5 + 25\% \times 3 = 3.5$

$MIPS = (f / CPI) \times 10^{-6} = (3.5 \times 10^9 / 3.5) \times 10^{-6} = 1000$

3. 用海明码对长度为 32 位的数据进行检错和纠错时，若能纠正一位错，则检验位数至少为：

- A. 2  
B. 4  
C. 6  
D. 8

答：C

海明码：  $k+r \leq 2^r-1$

$k=32, r=5; 32+5 > 2^5-1$

$k=32, r=6; 32+6 \leq 2^6-1$

4. 假设有如下的 C 语言语句：

```
unsigned char uc=254;
```

```
char c=uc;
```

```
unsigned short int i=c;
```

请问，执行上述语句后，i 的值是：

A. 254

B. 2

C. 65534

D. 65024

答：C

uc=254=FEH

c=FEH

i=FFFEH=65534

5. 设有某动态 RAM 芯片，容量为 64Kx1 位，除电源线、接地线和刷新线外，该芯片的最小引脚数量是：

A. 17 根

B. 19 根

C. 11 根

D. 9 根

答：C

64Kx1 位，地址线=16 根 ( $2^{16}=64K$ )，因为是 DRAM，采用地址复用技术（行地址、列地址复用），实际只需要 8 根地址线（一半的地址线）

数据线=1 根

此外，DRAM 芯片还需要/RAS 和/CAS 控制信号

因此该芯片的最小引脚数量是  $8+1+2=11$  根

6. 对于 32KB 容量的存储器，若按 16 位字编址，其地址寄存器、数据寄存器的位数分别是：

A. 地址寄存器为 14 位、数据寄存器为 8 位

B. 地址寄存器为 14 位、数据寄存器为 16 位

C. 地址寄存器为 15 位、数据寄存器为 8 位

D. 地址寄存器为 15 位、数据寄存器为 16 位

答：B

32KB/16 位=16K

地址寄存器=14 位 ( $2^{14}=16K$ )

数据寄存器=16 位

7. 下列关于冯·诺依曼计算机基本思想的叙述中，正确的是：

A. 计算机由运算器、存储器和输入输出设备构成

B. 指令和数据分别存放在两个不同的存储器中

- C. 采用存储程序和程序控制的思想
- D. 指令和数据在形式上是不一样的

答: C

- A. 计算机由运算器、控制器、存储器和输入输出设备构成
- B. 指令和数据分别存放在同一个存储器中
- C. 采用存储程序和程序控制的思想
- D. 指令和数据在形式上是一样的

8. 下列关于浮点加减运算的叙述中, 正确的是:

- A. 尾数溢出时结果一定溢出
- B. 浮点数的精度取决于阶码的长度
- C. 右规或尾数舍入不会引起阶码上溢
- D. 浮点数的精度取决于尾数的长度

答: D

- A. 错误
- B. 错误
- C. 错误
- D. 正确

9. 下列关于原码一位乘法的叙述中, 错误的是:

- A. 符号位不参与运算, 需要单独计算符号位
- B. 运算中的乘数是  $y$  的绝对值  $|y|$
- C. 根据乘数末位  $y_n$  的值, 决定是执行  $+0$ 、还是  $+|x|$  的操作
- D. 两个  $n$  位数的原码一位乘法运算, 需要进行  $n$  次加法和  $n$  次左移操作

答: D

- 正确
- 正确
- 正确

错误 (两个  $n$  位数的原码一位乘法运算, 需要进行  $n$  次加法和  $n$  次右移操作)

10. 下列关于原码不恢复余数法的叙述中, 错误的是:

- A. 商的符号 = 被除数的符号  $\oplus$  除数的符号
- B. 余数为正时, 商 1, 余数左移 1 位, 减去除数
- C. 余数为负时, 商 0, 余数左移 1 位, 加上除数
- D. 余数的符号与被除数的符号相同

答: D

- 正确
- 正确
- 正确

错误（余数  $R=0.r_1r_2\dots r_n$ ，余数的符号位为 0，即余数 $\geq 0$ ）

11. 下列存储器中断电不丢失信息的是：

- A. SDRAM
- B. SRAM
- C. DRAM
- D. Flash

答：D

A. SDRAM：同步动态存储器（断点信息丢失）

B. SRAM：静态存储器（断点信息丢失）

C. DRAM：动态存储器（断点信息丢失）

D. Flash：闪存（断电信息不丢失）

12. 下列关于 DRAM 存储器的叙述中，错误的是：

- A. DRAM 的读操作不会破坏原有数据
- B. DRAM 需要定期进行刷新（通常每隔 2ms 刷新一次）
- C. DRAM 芯片没有片选信号（-CS）
- D. 1MB 容量的 DRAM，其地址线为 10 根

答：A

A. 错误（DRAM 读操作可能会引起电荷减少，破坏原有的数据，因此读出后要将原数据重新写入，即再生）

B. 正确

C. 正确

D. 正确（ $2^{20}=1M$ ，按理需要 20 根地址线，因为 DRAM 采用地址复用技术，只需要一半的地址，即 10 根地址线）

13. 下列关于只读存储器的叙述中，错误的是：

- A. 新购买的 Mask ROM 中，什么内容也没有
- B. EPROM 芯片在电路板上使用时，其石英玻璃窗口需要用黑色不干胶纸盖住，以防止遭到阳光直射
- C. EEPROM 可以进行在线的编程
- D. 闪存（Flash）的原理与 EEPROM 相似

答：A

A. 错误（Mask ROM 中的内容在制造厂家生产过程中就定制好，因此新购买的 Mask ROM 中是由内容的，就像早期的 CDROM 光盘，新购买的 CDROM 光盘中是有内容的，如果歌曲、视频、软件等）

B. 正确

C. 正确

D. 正确

14. 下列关于 cache 的叙述中，错误的是：

- A. cache 的引入是为了解决 CPU 访存的速度问题
- B. 直接相联映射方式也需要替换算法
- C. 写入策略采用写回法时，当 CPU 写 cache 时，不需要同时写入主存
- D. cache 中的相联存储器是按内容进行访问的存储器

答：B

A. 正确

B. 错误（直接相联映射方式，因为一个主存块只能放到一个特定的 cache 行，因此不需要替换算法）

C. 正确

D. 正确

15. 下列关于 cache 地址映射方式的叙述中，错误的是：

- A. 直接相联映射方式，命中率最低
- B. 全相联映射方式，命中率最高
- C. 组相联映射方式，cache 只要有空行，就不会引起冲突（即不需要进行替换）
- D. 1 路组相联映射方式就是直接相联映射方式

答：C

A. 正确

B. 正确

C. 错误（组相联映射方式，因为主存的某一块只能映射到 cache 某一固定组中的任一块，因此即使 cache 有空行，也可能会要进行替换）

D. 正确

## 二、 辨析题（每小题 5 分，共 20 分）

1. 请从存储原理、集成度、速度等角度比较 SRAM 与 DRAM 的异同，并分析原因。

答：

（1）存储原理：SRAM 采用双稳态触发器，DRAM 采用电容。SRAM 由 T1、T2 管组成的双稳态触发器存储一位二进制信息；DRAM 由电容 C 是否带电荷表示二进制信息。

（2）集成度：SRAM 低，DRAM 高。因为 SRAM 为六管 MOS 电路，管子多，体积大，单位面积上集成度低；DRAM 普遍采用 1 个 MOS 管和 1 个电容，体积小，单位面积上的集成度高。

（3）速度：SRAM 快，DRAM 慢。因为 DRAM 基于电容进行信息存储，电容存在电荷泄漏问题，需要定时刷新，因而速度更慢。

2. 请辨析页式虚拟存储器中快表（TLB）与慢表（页表）的异同。

答：

(1) 相同点：两者都是存放虚拟页号与物理页号的对应关系的查找表。

(2) 不同点：

①快表在专用 cache 中，存放经常访问的页表项 PTE；慢表在主存/cache（主存含 cache）中，存放所有页表项。

②快表采用相联存储器按照关键字并行查找；慢表采用普通存储器按照地址查找。

③快表与慢表同时查找，如果快表命中（Hit），则从快表中获得虚拟页号对应的物理页号；如果快表缺失（Miss），则需要去慢表提取物理页号，同时更新快表。

3. 设机器字长 32 位，请从存储空间以及存取时间比较图 1 中 (a) (b) 两种不同数据存放方式的优劣。其中 i、k、x、c、j 分别对应 C 语言中的整型、短整型、双精度、字符类型以及短整型数据类型。

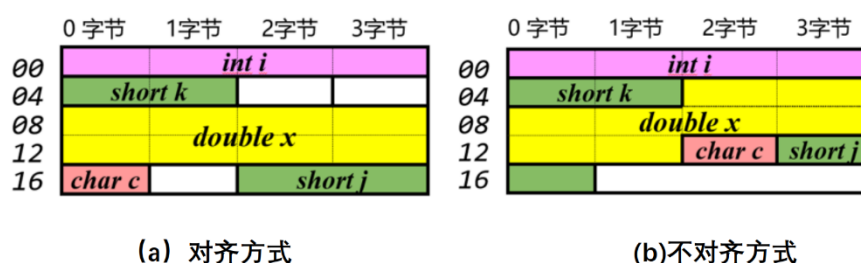


图 1.内存中数据的不同存放方式

答：

(1) 从存储空间上看：

①对齐方式浪费更多的空间，产生更多的碎片。

②不对齐方式则更节约空间。

(2) 从存取时间上看：

①对齐方式节省存取时间。假设 CPU 访问一个存储字长的时间为 1 个存储周期，则 i、k、c、j 各需要 1 个存储周期，x 为双字长，故而需要 2 个存储周期。

②不对齐方式需要更多存取时间。假设 CPU 访问一个存储字的时间为 1 个存储周期，则访问 i、c、k 需要 1 个，访问 j 需要 2 个，访问 x 需要 3 个。

4. 请解释组相联地址映射方式与全相联地址映射方式、直接相联地址映射方式的联系与区别。

答：

(1) 直接相联映射方式的特点：查找容易（主存的块对应 cache 的唯一行（块）），淘汰简单，但命中率较低。

(2) 全相联映射方式的特点：查找时并发比较的硬件成本最高，淘汰算法复杂，但命中率较高。

(3) 组相联映射方式是全相联映射方式和直接相联映射方式的折中，既能提高命中率，又能降低查找硬件的开销。

(4) 当组相联映射方式中 cache 的每组只有 1 行时（即 1 路组相联映射方式），该组相联映射方式就演变为直接相联映射方式；当组相联映射方式中 cache 只有 1 个组时，该组相联映射方式就演变为全相联映射方式。

### 三、 综合题（5 小题，共 50 分）

1. （12 分）图 2 为补码一位乘法的逻辑框图，结合图 2，请回答下列问题：

- (1)  $C_{in}$  为加法器的外来进位，默认为 0。请问图 2 中将  $y_n \bar{y}_{n+1}$  作为  $C_{in}$  的输入，其不同的组合(00, 01, 10, 11)是如何与  $C_{in}$  保持一致性，从而满足补码一位乘的要求。
- (2) 请结合补码一位乘的工作原理解释多路选择器 MUX 的作用。
- (3) 图 2 中的补码一位乘为何采用算术右移？

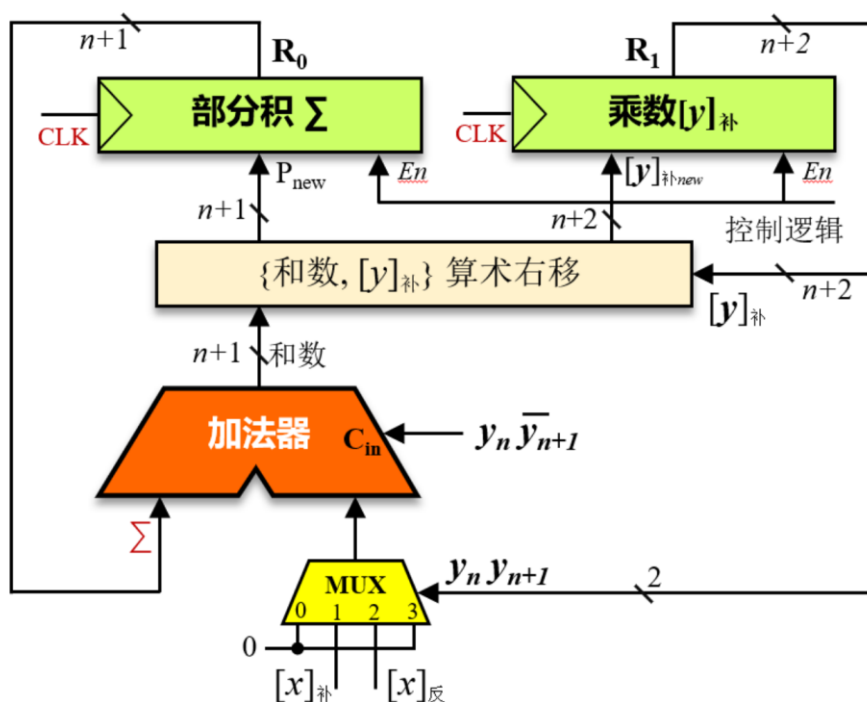


图 2. 补码一位乘的逻辑框图

答：

(1)

①  $y_n y_{n+1} = 00$ ,  $y_n \bar{y}_{n+1} = 0 \& 1 = 0$ , 即  $C_{in} = 0$ , 满足  $P = P + 0$  的要求。

②  $y_n y_{n+1} = 11$ ,  $y_n \bar{y}_{n+1} = 1 \& 0 = 0$ , 即  $C_{in} = 0$ , 满足  $P = P + 0$  的要求。

③  $y_n y_{n+1} = 10$ ,  $y_n \bar{y}_{n+1} = 1 \& 1 = 1$ , 即  $C_{in} = 1$ ; 此时, 需要进行  $P = P + [-x]补$ ;  $[-x]补 = [x]反 + 1$ ; 该 1 就是由  $C_{in}$  提供。

④  $y_n y_{n+1} = 01$ ,  $y_n \overline{y_{n+1}} = 0 \& 0 = 0$ , 即  $C_{in} = 0$ 。满足  $P = P + [x]_{补}$  的要求。

综上,  $y_n y_{n+1}$  满足不同情况下,  $C_{in}$  的要求, 满足补码一位乘的操作规则。

(2)

①  $y_n y_{n+1} = 00$  或者  $11$  时, MUX 输出为  $0$ , 即部分积  $+ 0$ 。

②  $y_n y_{n+1} = 01$  时, MUX 输出为  $[x]_{补}$ , 即部分积  $+ [x]_{补}$ 。

③  $y_n y_{n+1} = 10$  时, MUX 输出为  $[x]_{反}$ , 即部分积  $+ [-x]_{补}$ 。

(3)

因为操作数连同符号位一起参与运算, 为了保证操作数符号不变, 故而采用算术右移。

2. (8 分) 设浮点数长度为 16 位, 其中阶码 6 位 (含 1 位符号位)、尾数 10 位 (含 1 位符号位), 阶码用移码表示、尾数用补码表示, 请采用浮点加减法运算完成以下两个十进制数的运算:  $6.25 - 12.25$ 。

答:

$$x = 6.25 = 110.01B = 0.11001 \times 2^{11}$$

表示为浮点数:  $x = 1,00011 \quad 0.110010000$

$$y = -12.25 = -1100.01 = -0.110001 \times 2^{100}$$

表示为浮点数:  $y = 1,00100 \quad 1.001111000$

对阶: 小阶向大阶对齐,  $x = 1,00100 \quad 0.011001000$

尾数求和:  $0.011001000 + 1.001111000 = 1.101000000$

尾数规格化:  $1.101000000$  为非规格化数, 其绝对值  $< 0.5$ , 因此需要进行左规; 左移 1 次, 尾数  $= 1.010000000$ ;

阶码减 1, 阶码  $= 1,00011$ ; 此时尾数已经是规格化数

结果:  $x + y = 6.25 + (-12.25) = 1,00011 \quad 1.010000000$

验证 (这一步不需要同学们做!):  $1,00011$  对应的阶码  $= 11 = 3$ ;  $1.010000000$  对应的尾数  $= -0.110000000 = -$

$0.75$

$$x + y = 2^3 \times (-0.75) = -6 = 6.25 + (-12.25)$$



3. （8分）某页式虚拟存储器共8页，每页为1KB，主存容量为4KB，页表如表2所示。

表2. 虚拟存储器的页表

虚页号	0	1	2	3	4	5	6	7
实页号	3	2	1	2	3	1	0	0
装入位	1	1	0	0	1	0	1	0

- (1) 请给出虚地址和实地址的地址格式及各位的长度。
- (2) 失效的页有哪几页？
- (3) 虚地址 1023、4096、8000（均为十进制）的实地址分别是多少？

解：

(1) 虚拟地址

虚拟地址 (VA) = 虚拟页号 (VPN) + 虚拟页偏移 (VPO)

物理地址 (PA) = 物理页号 (PPN) + 物理页偏移 (PPO)

因为每页为 1KB，因此，VPO=PPO=10 位；主存容量为 4KB，因此，PA=12 位

页式虚拟存储器共 8 页，因此，VPN=3 位；

$VA = VPN + VPO = 3 + 10 = 13$  位

$PPN = PA - PPO = 12 - 10 = 2$  位

(2)

表 4.14 中载入位=0 的为失效页，即虚页号为 2、3、5、7 的页

(3)

虚拟地址 (VA) = 虚拟页号 (VPN) + 虚拟页偏移 (VPO)；物理地址 (PA) = 物理页号 (PPN) + 物理页偏移 (PPO)

每页为 1KB，因此，VPO=PPO=10 位；主存容量为 4KB，因此，PA=12 位

页式虚拟存储器共 8 页，因此，VPN=3 位；VA=VPN+VPO=3+10=13 位；PPN=PA-PPO=12-10=2 位

虚地址=1023= 000 11 1111 1111, 因此, VPN=000=0, 查表 4.14, 得到实页号=PPN=3=11, 载入位=1, 命中,

实地址=11 11 1111 1111=FFFH=4095

虚地址=4096=100 00 0000 0000, 因此, VPN=100=4, 查表 4.14, 得到实页号=PPN=3=11, 载入位=1,

命中, 实地址=11 00 0000 0000=C00H=3072

虚地址=8000= 111 11 0100 0000, 因此, VPN=111=7, 查表 4.14, 得到实页号=PPN=0=00, 载入位=0,

缺失

4. (12 分) 虚拟存储器访问操作流程如图 3 所示, 结合图 3, 请回答下述问题:

- (1) 请解释 TLB 命中、cache 命中以及页命中的具体含义。
- (2) 什么情况下需要访问主存页表?
- (3) 是否存在 TLB 缺失, 但是页命中、cache 也命中的情况? 为什么?
- (4) 缺页时进行的处理与 cache 缺失时的处理有何异同?

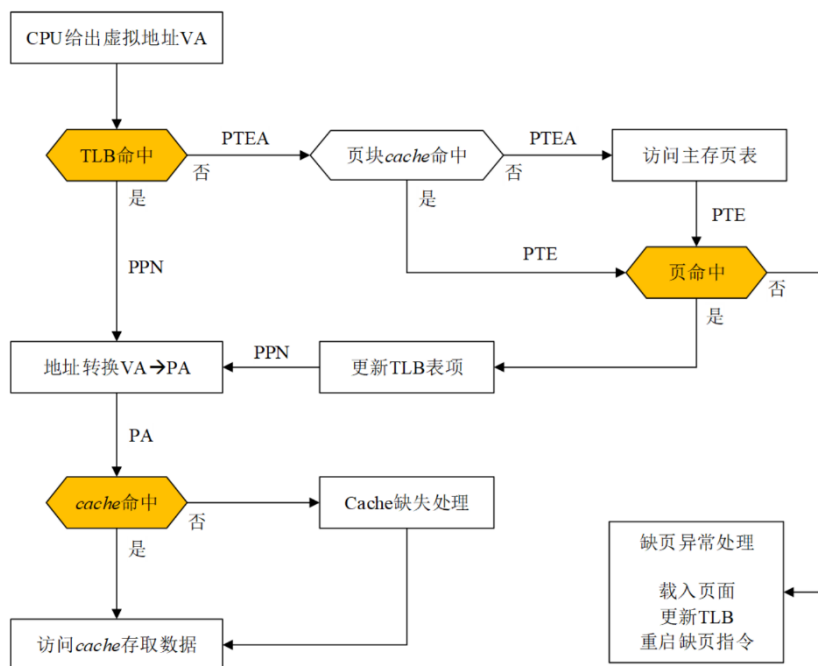


图 3 虚拟存储器访问操作流程

答:

(1) TLB 命中: 表示页表项 PTE 在 TLB 中, 且页表项 PTE 中有效位为 1。cache 命中: 根据 PA 要访问的数据在 cache 中。页命中: 根据页表项地址 PTEA 访问 cache 或主存中的页表, 返回

的页表项 PTE 中有效位为 1

(2) 当 TLB 缺失, 且从 cache 中的页表中找不到页表项, 则需要访问主存的页表。

(3) 存在。此时, TLB 缺失; 将访问 cache 或主存中的页表, 如果返回的页表项 PTE 中的有效位为 1, 则表示页命中; 页命中后, 将根据 PA 访问 cache, 此时数据在 cache 中, 表示 cache 命中。

(4) 缺页处理需要访问磁盘, 而 cache 缺失只要访问主存; 因此, cache 缺失带来的开销小, 而处理缺页的开销大。

5. (10 分) 汉字的区位码为 14 位 (区号 7 位、位号 7 位), 采用 16x16 点阵显示汉字, 即显示一个汉字需要 256 位二进制数 ( $16 \times 16 = 256$ ), 因此可以用一个地址长度为 14 位、数据宽度为 256 位的 ROM 存储器存放汉字的点阵码, 即 ROM 存储器的容量为 16Kx256 位 ( $2^{14} = 16K$ )。但是 Logisim 中存储器的数据宽度最大值为 32 位, 因此需要进行存储器的扩展。现要求使用 4 片 4Kx32 位 ROM、7 片 16Kx32 位 ROM, 扩展成容量为 16Kx256 位的 ROM 存储器, 请画出该存储器扩展电路 (该存储器扩展电路的输入为 14 位地址 A, 输出为 8 个 32 位数据 D0 ~ D7)。

注: ROM 芯片除了地址线、数据线外, 还有片选信号 (SEL, 低电平有效)。同学们可以在白纸上画图, 然后拍照后, 贴到答卷的 Word 文档中。

答:

