



# 厦门大学《计算机组成原理》课程期中试卷

软件 学院 软件工程 系 2011 级 年级 软件工程 专业

## 一、 选择题（请从 A、B、C、D 中选择唯一的一个正确答案，并填写在空格中，15 小题，每小题 1 分，共 15 分）

- 1、冯·诺依曼计算机工作方式的基本特点是\_\_\_\_\_ **B** \_\_\_\_\_。  
A. 多指令流单数据流  
B. 按地址访问并顺序执行指令  
C. 堆栈操作  
D. 存储器按内容选择地址
- 2、在三种集中式总线控制中，\_\_\_\_\_ **C** \_\_\_\_\_方式响应时间最快。  
A. 链式查询  
B. 计数器定时查询  
C. 独立请求  
D. 链式查询和独立请求
- 3、不同的信号共用一组信号线，分时传送，这种总线传输方式是\_\_\_\_\_ **D** \_\_\_\_\_传输。  
A. 猝发  
B. 并行  
C. 串行  
D. 复用
- 4、一个  $512 \times 16$  位的存储器，其地址线和数据线的总和是\_\_\_\_\_ **B** \_\_\_\_\_。  
A. 512  
B. 25  
C. 16  
D. 9
- 5、主存储器和 CPU 之间增加 Cache 的目的是\_\_\_\_\_ **A** \_\_\_\_\_。  
A. 解决 CPU 和主存之间的速度匹配问题  
B. 扩大主存储器的容量  
C. 扩大 CPU 中通用寄存器的数量  
D. 既扩大主存容量又扩大 CPU 通用寄存器数量
- 6、在 Cache 的地址映射中，若主存中的任一块均可映射到 Cache 内的任意一块的位置上，则这种方法称为\_\_\_\_\_ **A** \_\_\_\_\_。  
A. 全相联映射  
B. 直接映射  
C. 组相联映射  
D. 混合映射
- 7、在程序的执行过程中，Cache 与主存的地址映射是由\_\_\_\_\_ **C** \_\_\_\_\_。  
A. 操作系统来管理的  
B. 程序员调度的  
C. 硬件自动完成的  
D. 编译器完成的
- 8、在虚拟存储器中，当程序正在执行时，由\_\_\_\_\_ **D** \_\_\_\_\_ 完成地址映射。  
A. 程序员  
B. 编译器  
C. Cache 控制器  
D. 操作系统

9、相联存储器是按\_\_\_\_\_C\_\_\_\_\_进行寻址的存储器。

- A. 地址指定方式
- B. 堆栈存取方式
- C. 内容指定方式
- D. 地址指定与堆栈存取方式结合

10、I/O 与主机交换信息的方式中，中断方式的特点是\_\_\_\_\_C\_\_\_\_\_。

- A. CPU 与设备串行工作，传送与主程序串行工作
- B. CPU 与设备串行工作，传送与主程序并行工作
- C. CPU 与设备并行工作，传送与主程序串行工作
- D. CPU 与设备并行工作，传送与主程序并行工作

11、在 DMA 方式中，周期窃取是窃取一个\_\_\_\_\_A\_\_\_\_\_。

- A. 存取周期
- B. 指令周期
- C. CPU 周期
- D. 总线周期

12、采用 DMA 方式传送数据时，每传送一个数据要占用一个\_\_\_\_\_D\_\_\_\_\_的时间。

- A. 指令周期
- B. 机器周期
- C. CPU 周期
- D. 存储周期

13、对真值 0 表示形式唯一的机器数是\_\_\_\_\_C\_\_\_\_\_。

- A. 原码
- B. 反码
- C. 补码和移码
- D. 以上都不对

14、在定点补码运算器中，若采用双符号位，当\_\_\_\_\_B\_\_\_\_\_时表示结果溢出。

- A. 双符号位相同
- B. 双符号位不同
- C. 双符号位均为 1
- D. 双符号位均为 0

15、长度相同但格式不同的 2 种浮点数，假设前者阶码长、尾数短，后者阶码短、尾数长，其他规定均相同，则它们可表示的数的范围和精度为\_\_\_\_\_B\_\_\_\_\_。

- A. 两者可表示的数的范围和精度相同
- B. 前者可表示的数的范围大但精度低
- C. 后者可表示的数的范围大且精度高
- D. 前者可表示的数的范围大且精度高

## 二、 填空题（10 个空，每一空 1 分，共 10 分）

1、汇编语言是一种面向\_\_\_\_\_机器\_\_\_\_\_的语言，用汇编语言编制的程序执行速度比高级语言快。

2、层次化存储器结构设计的依据是程序访问的\_\_\_\_\_局部性\_\_\_\_\_原理。

3、为了提高存储器的带宽，可以通过调整主存的结构来实现，通常有两种提高存储器访存速度的结构，分别是：\_\_\_\_\_单体多字系统\_\_\_\_\_结构、\_\_\_\_\_多体并行系统\_\_\_\_\_结构。

4、主存和 Cache 的地址映射方式有三种，分别是：\_\_\_\_\_直接映射\_\_\_\_\_、\_\_\_\_\_全相联映射\_\_\_\_\_、

\_\_\_\_组相联映射\_\_\_\_。

- 5、在虚拟存储器系统中，CPU 根据指令生成的地址是\_\_\_\_逻辑地址（虚拟地址）\_\_\_\_，经过转换后的地址是\_\_\_\_物理地址（实际地址）\_\_\_\_。
- 6、Mask ROM 也称为\_\_\_\_掩模式\_\_\_\_只读存储器。
- 7、EEPROM(E2PROM) 也称为\_\_\_\_电可擦除\_\_\_\_可编程只读存储器。
- 8、CAM 又称为\_\_\_\_相联存储器（或按内容寻址的存储器）\_\_\_\_。
- 9、将一个十进制数  $x = -8192$  表示成补码，至少用\_\_\_\_14\_\_\_\_位二进制代码表示？

### 三、 判断题（正确的在括号中打√，错误的在括号中打×，10 小题，每小题 1 分，共 10 分）

- 1、 计算机速度完全取决于主频。（ × ）
- 2、 连接计算机与计算机之间的总线属于系统总线。（ × ）
- 3、 三种集中式总线控制（链式查询、计数器定时查询、独立请求）中，链式查询方式对电路故障最敏感。（ √ ）
- 4、 闪速存储器是一种高密度、非易失性的读/写半导体存储器。（ √ ）
- 5、 DRAM 的刷新是采用“读出”方式进行刷新。（ √ ）
- 6、 计算机系统存储系统是指主存和辅存。（ √ ）
- 7、 程序中断方式和 DMA 方式中都有中断请求，但目的不同。（ √ ）
- 8、 一个更高级的中断请求一定可以中断另一个中断处理程序的执行。（ × ）
- 9、 在浮点机中，尾数的第一位为 1 时，即为规格化数形式。（ × ）
- 10、 任何十进制小数都可以用二进制表示。（ × ）

### 四、 名词解释（请写出下列英文缩写的中文全称，10 小题，每 1 小题 1 分，共 10 分）

- 1、 **PCI**：外围部件互联
- 2、 **AGP**：加速图形接口
- 3、 **USB**：通用串行总线
- 4、 **EEPROM**：电可擦除可编程只读存储器
- 5、 **SDRAM**：同步动态随机存储器
- 6、 **ALU**：算术逻辑单元

- 7、 MIPS：每秒百万条指令
- 8、 FLOPS：每秒浮点运算次数
- 9、 LRU：近期最少使用算法
- 10、 CRC：循环冗余校验码

## 五、 问答题（5 小题，每小题 3 分，共 15 分）

1、冯·诺依曼计算机的特点是什么？

答：（1） 计算机由五大部件组成  
（2） 指令和数据以同等地位存于存储器，可按地址寻访  
（3） 指令和数据用二进制表示  
（4） 指令由操作码和地址码组成  
（5） 存储程序  
（6） 以运算器为中心

2、请比较主存储器、辅助存储器、高速缓存存储器、控制存储器、虚拟存储器。

答：主存又称为内存，直接与 CPU 交换信息；  
辅存可作为主存的后备存储器，不直接与 CPU 交换信息；  
缓存是为了解决主存与 CPU 的速度匹配、提高访存速度的一种存储器；  
控存是微程序控制器中用来存放微指令的存储器；  
虚存是为了解决扩大主存容量和地址分配问题，把主存和辅存统一成一个整体。

3、I/O 与主机交换信息有哪几种控制方式？各有何特点？

答：（1）三种方式：程序查询方式、程序中断方式、DMA 方式  
（2）程序查询方式：其特点是主机与 I/O 串行工作  
程序中断方式：其特点是主机与 I/O 并行工作  
DMA 方式：其特点是主机与 I/O 并行工作，主存和 I/O 之间有一条直接数据通路

4、CPU 响应中断的条件是什么？CPU 什么时候响应中断？

答：CPU 响应中断的条件是：允许中断触发器(EINT)必须为 1；中断源提出请求，又未被屏蔽，并排上队。  
CPU 在每条指令执行周期结束时刻要向所有中断源发中断查询信号，此时若条件满足，即可响应中断。

5、计算机的浮点数的尾数分别采用原码、补码和反码表示，如何判断该尾数是否为规格化形式？

答：在浮点机中，机器数采用原码时，不论尾数的符号是 0 或 1，只需第一数值位为 1，即为规格化形式；  
机器数采用补码或反码时，尾数的符号位与第一数值位不同即为规格化形式。

## 六、 设计题（4 小题，共 40 分）

1、设机器字长为 16 位，写出下列各种情况下它能表示的数的范围（十进制表示）。假设定点数采用一位符号位。

- (1) 无符号数；
- (2) 原码表示的定点小数；
- (3) 补码表示的定点小数；
- (4) 原码表示的定点整数；
- (5) 补码表示的定点整数；
- (6) 假设浮点数阶码为 5 位（含 1 位符号位）、尾数为 11 位（含 1 位符号位），分别写出其对应的正数和负数范围；
- (7) 浮点数格式同（6），机器数采用原码规格化形式，分别写出其对应的正数和负数范围；
- (8) 浮点数格式同（6），机器数采用补码规格化形式，分别写出其对应的正数和负数范围。

答：

(1) 无符号数

$0 \sim 65535$

(2) 原码表示的定点小数

$-32767/32768 \sim +32767/32768$

(3) 补码表示的定点小数

$-1 \sim +32767/32768$

(4) 原码表示的定点整数

$-32767 \sim +32767$

(5) 补码表示的定点整数

$-32768 \sim +32767$

(6) 假设浮点数阶码为 5 位（含 1 位符号位）、尾数为 11 位（含 1 位符号位），分别写出其对应的正数和负数范围

浮点数（正数）： $2^{-15} \times 2^{-10} \sim 2^{15} \times (1-2^{-10})$

浮点数（负数）： $-2^{15} \times (1-2^{-10}) \sim -2^{-15} \times 2^{-10}$

(7) 浮点数格式同（6），机器数采用原码规格化形式，分别写出其对应的正数和负数范围

原码表示的规格化浮点数（正数）： $2^{-15} \times 2^{-1} \sim 2^{15} \times (1-2^{-10})$

原码表示的规格化浮点数（负数）： $-2^{15} \times (1-2^{-10}) \sim -2^{-15} \times 2^{-1}$

(8) 浮点数格式同 (6)，机器数采用补码规格化形式，分别写出其对应的正数和负数范围

补码表示的规格化浮点数（正数）： $2^{-16} \times 2^{-1} \sim 2^{15} \times (1-2^{-10})$

补码表示的规格化浮点数（负数）： $-2^{15} \sim -2^{-16} \times (2^{-1} + 2^{-10})$

2 (10 分)、已知  $x=2^{-011} \times (-0.100010)$ ,  $y=2^{-010} \times (-0.011111)$ , 计算  $[x+y]_{\text{补}}$  和  $[x-y]_{\text{补}}$ 。

答:

$[x]_{\text{补}} = 11,101 ; 11.011110$        $[y]_{\text{补}} = 11,110 ; 11.100001$

(1) 对阶

$[x]_{\text{补}} = 11,110 ; 11.101111$

(2) 尾数求和

$[x]_{\text{补}} + [y]_{\text{补}} = 11,110 ; 11.010000$

$[x]_{\text{补}} - [y]_{\text{补}} = 11,110 ; 00.001110$

(3) 规格化

$[x]_{\text{补}} + [y]_{\text{补}} = 11,110 ; 11.010000$

$[x]_{\text{补}} - [y]_{\text{补}} = 11,100 ; 00.111000$

2 (10 分)、设某计算机采用直接映射 Cache，已知主存容量为 4MB，Cache 容量为 4KB，字块长度为 8 个字，每个字 32 位。要求：

(1) 画出反映主存与 Cache 映射关系的主存地址各字段分配框图，并说明每个字段的名称及位数。

(2) 设 Cache 初态为空，若 CPU 依次从主存第 0, 1, ..., 99 号单元读出 100 个字（主存一次读出一个字），并重复按此次序读 10 次，问命中率是多少？

(3) 如果 Cache 的存取时间是 50ns，主存的存取时间是 500ns，根据 (2) 求出的命中率，求平均存取时间。

(3) 计算 Cache-主存系统的效率。

答:

(1) 根据字块长度为 8 个字、每个字 32 位，可确定主存字块内地址为 5 位（3 位+2 位）

根据 Cache 容量为 4096B，确定 Cache 字块地址为 7 位（12 位-5 位）

根据主存容量 4MB，确定主存字块标记为 10 位（22 位-7 位-5 位）

|              |                 |            |
|--------------|-----------------|------------|
| 主存字块标记为 10 位 | Cache 字块地址为 7 位 | 字块内地址为 5 位 |
|--------------|-----------------|------------|

(2) 因为 Cache 初态为空，且块长为 8，因此 CPU 每读 100 个字时，共有 13 次未命中（即读第 0、8、16、...、96 号单元时未命中），以后 9 次重复读这 100 个字时均命中，故命中率为

$$[(100 \times 10 - 13) / (100 \times 10)] = 98.7\%$$

(3) 平均访问时间 =  $98.7\% \times 50\text{ns} + (1 - 98.7\%) \times 500\text{ns} = 55.85\text{ns}$

$$\text{Cache-主存的效率} = 50\text{ns} / 55.85\text{ns} = 89.5\%$$

3 (12 分)、已知某 CPU 共有 16 根地址线、8 根数据线，并用 IO/-M 作为访问存储器与 I/O 的控制线（高电平访问 I/O，低电平访问存储器），用 -WR 作为读/写控制信号（高电平为读，低电平为写）。现有 2KX8 位的 ROM 存储器、8KX8 位的 RAM 存储器、4KX4 位的 RAM 存储器若干片，并行 I/O 接口 8255 芯片 1 片、串行 I/O 接口 8251 芯片 1 片，3-8 译码器（74LS138）、各种门电路芯片若干。要求存储器芯片地址空间分配为：最大 4K 地址空间为系统程序区；相邻的 4K 地址空间为系统程序工作区；最小 16K 地址空间为用户程序区。并要求该 CPU 连接 1 片 8255 芯片（I/O 地址为 8000H-8003H）、1 片 8251 芯片（I/O 地址为 A000H-A001H）。请完整地画出 CPU 与存储器芯片以及 I/O 接口芯片的连接图。

注：8255 芯片有 8 根数据线、2 根地址线、片选线（-CS）、读写控制线（-WR）等；8251 芯片有 8 根数据线、1 根地址线、片选线（-CS）、读写控制线（-WR）等。

答：

根据主存地址空间分配，最大 4K 地址空间为系统程序区，选用 2 片 2KX8 位的 ROM 存储器；相邻的 4K 地址空间为系统程序工作区，选用 2 片 4KX4 位的 RAM 存储器；最小 16K 地址空间为用户程序区，选用 2 片 8KX8 位的 RAM 存储器。

| A15A14A13 | A12A11         | A10 ~ A0    |             |
|-----------|----------------|-------------|-------------|
| 111       | 11             | 00000000000 |             |
| 111       | 11             | 11111111111 | F000H-FFFFH |
| 111       | 10             | 00000000000 |             |
| 111       | 10             | 11111111111 |             |
| A15A14A13 | A12            | A11 ~ A0    |             |
| 111       | 0              | 11111111111 | E000H-FFFFH |
| 111       | 0              | 00000000000 |             |
| A15A14A13 | A12 ~ A0       |             |             |
| 000       | 00000000000000 |             |             |
| 000       | 11111111111111 |             | 0000H-3FFFH |
| 001       | 00000000000000 |             |             |
| 001       | 11111111111111 |             |             |

又根据 8255 芯片的 I/O 地址为 8000H-8003H、8251 芯片的 I/O 地址为 A000H-A001H:

| A15A14A13 | A12 ~ A2    | A1 ~ A0 |            |
|-----------|-------------|---------|------------|
| 100       | 00000000000 | 00      |            |
| 100       | 00000000000 | 11      | 8000-8003H |

| A15A14A13 | A12 ~ A1     | A0 |            |
|-----------|--------------|----|------------|
| 101       | 000000000000 | 0  |            |
| 101       | 000000000000 | 1  | A000-A001H |