

## Запам'ятовуючі пристрої. Дослідження тригерів.

### Мета роботи:

- дослідження структури та алгоритмів роботи асинхронних та синхронних тригерів;
- дослідження функцій переходів та збудження основних типів тригерів;
- дослідження можливості взаємозаміни тригерами різних типів.

### Прилади та елементи:

	Поле приладів
джерело живлення TTL + 5 В;	Source
заземлення;	Source
двохпозиційні перемикачі;	Basic
логічні пробники;	Indicators
двохвходові елементи “І”, “І-НЕ”, “АБО”, “АБО-НЕ”	Misc digital
RS-тригер, JK-тригер, D-тригер	Misc digital

### Короткі теоретичні відомості.

Тригер – найпростіша цифрова схема яка є цифровим автоматом. У комбінаційних схем стан виходу  $Y$  в будь-який момент часу визначається лише поточним значенням входу  $X$ :

$$Y = f(X).$$

На відміну від них, стан виходу цифрового автомату залежить ще й від внутрішнього стану схеми  $Q$ :

$$Y = f(X, Q).$$

Іншими словами, цифровий автомат є не тільки перетворювачем інформації, але й зберігає попередню інформацію та є джерелом поточної інформації (джерелом поточного стану). Така властивість забезпечується наявністю в схемі зворотних зв'язків.

Тригер має два стійких стани:  $Q = 1$  та  $Q = 0$ , тому його часом називають бістабільною схемою. В якому із цих станів опиниться тригер залежить від

рівнів сигналів на входах тригера та від його попереднього стану, тобто він “має пам’ять”. Таким чином, тригер – це елементарна комірка пам’яті.

Тип тригера визначається алгоритмом його роботи. У залежності від алгоритму роботи тригер може мати встановлювальні, інформаційні та керуючі входи. Встановлювальні входи встановлюють його стан незалежно від стану інших входів. Входи керування дозволяють запис даних, які надходять на інформаційні входи. Найбільш поширеними є тригери RS-, JK-, D- та T-типу.

### 1. RS-тригер.

RS-тригер є найпростішою реалізацією цифрового автомата з функцією пам’яті, який може знаходитися у двох станах. Такий тригер має два встановлювальних входи: установки S (“set” - установка) та скидання R (“reset” - скидання), на які надходять вхідні сигнали від зовнішніх джерел. При надходженні на вхід установки активного рівня логічного сигналу тригер установлюється в “1” ( $Q=1, \overline{Q}=0$ ), а при надходженні активного рівня логічного сигналу на вхід скидання тригер встановлюється в “0” ( $Q=0, \overline{Q}=1$ ). Якщо на обох входах тригера пасивні логічні рівні вхідного сигналу, то тригер буде зберігати попередній стан виходів. Кожен з цих станів є стійким і підтримується за рахунок дії зворотних зв’язків.

Для тригерів цього типу неприпустиме надходження на обидва установчі входи активного рівня логічного сигналу, тому що тригер за означенням не може бути встановлений одночасно в “0” та “1”. На практиці в такому випадку

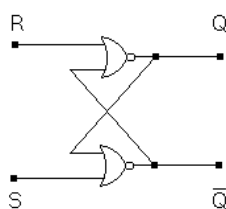


рис. 4.1

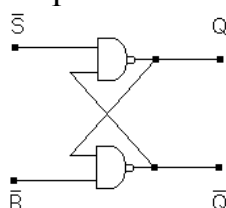


рис. 4.2

стан виходів тригера не може бути збереженим і неможливо визначити, у якому саме стані буде знаходитися тригер при наступному надходженні на установчі входи пасивного рівня вхідних сигналів.

На рис. 4.1 та рис. 4.2 наведено RS-тригери, виконані на елементах “АБО-НЕ” та “І-НЕ”. Для схеми на рис. 4.1 активним рівнем є рівень логічної одиниці на установчих входах, а для схеми на рис. 4.2 – рівень логічного нуля.

Схема, зображена на рис 4.2. отримала назву  $\overline{RS}$ -тригера - тригера з інверсними входами.

RS-тригер є базовим елементом для побудови так званих послідовнісних схем. Така назва схеми означає, що стан її виходу залежить від того, у якій саме послідовності вхідні сигнали потрапляють на її входи та яким був її попередній внутрішній стан. Так, якщо в RS-тригері (рис. 4.1) спочатку встановити комбінацію  $R = 0$  і  $S = 1$  (скорочений запис - 01), а потім перейти до  $R = 0$  і  $S = 0$  (00), то стан виходу буде  $Q = 1$ . Якщо ж спочатку встановити комбінацію 10, а потім перейти до 00, то стан виходу буде іншим -  $Q = 0$ , не дивлячись на однакові комбінації сигналів на входах. Таким чином, при одному й тому ж вхідному наборі сигналів (00) стан виходу тригера може бути діаметрально протилежним.

Умови переходу тригерів з одного стану в інший (алгоритм роботи) можна описати табличним, аналітичним та графічним способами. Табличний опис роботи RS-тригера (рис. 4.1) наведено в табл. 4.1 (таблиця переходів) та табл. 4.2 (таблиця функцій збудження)

Таблиця 4.1		
$R$	$S$	$Q_{t+1}$
0	0	$Q_t$
0	1	1
1	0	0
1	1	*

Таблиця 4.2			
$Q_t$	$Q_{t+1}$	$R$	$S$
0	0	x	0
0	1	0	1
1	0	1	0
1	1	0	x

У таблицях використано наступні позначення:

- $Q_t$  – попередній стан виходу;
- $Q_{t+1}$  – новий стан виходу, який установився після переходу (можливо, що  $Q_{t+1} = Q_t$ );
- X – рівень логічного сигналу є байдужим: 0 чи 1;
- \* – стан невизначеності.

Аналітичний опис (характеристичне рівняння) можна отримати з таблиць 4.1 та 4.2 за правилами алгебри логіки:

$$Q_{t+1} = \overline{R}S \vee \overline{R}Q_t = \overline{R}(S \vee Q_t).$$

Записана таким чином залежність характеризує властивість тригера до запам'ятовування свого попереднього стану.

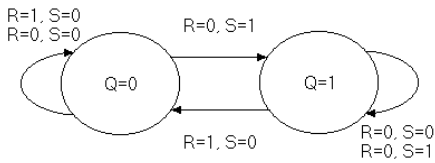


рис. 4.3, а

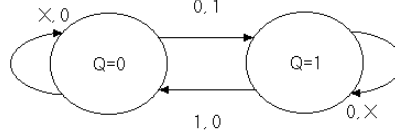


рис. 4.3, б

Опис роботи RS-тригера можна доповнити графом, зображеним на

рис. 4.3 (графічний спосіб опису).

Рис. 4.3, а показує, що схема, яка знаходилася в стані  $Q = 0$ , зберігає свій стан як під дією набору вхідних сигналів  $R = 0$  і  $S = 0$ , так і під дією набору  $R = 1$  і  $S = 0$ . Якщо ж на входи схеми, яка знаходиться в стані  $Q = 0$ , подати набір вхідних сигналів  $R = 0$  і  $S = 1$ , то вона переходить в стан  $Q = 1$  та зберігає його під дією наборів вхідних сигналів  $R = 0$  і  $S = 1$  чи  $R = 0$  і  $S = 0$ . На рис. 4.3, б той же граф тригера наведено в більш компактному вигляді. Вхідні сигнали, які можуть приймати будь-які значення (0 чи 1), позначено як “х”, а позиція позначень відповідає послідовності  $R, S$ .

### 1.1. JK-тригер.

Тригер JK-типу має більш складну, порівняно з RS-тригером, внутрішню структуру, та більш широкі функціональні можливості. Окрім інформаційних входів  $J$  та  $K$ , і прямого та інверсного виходів, JK-тригер має вхід керування  $C$  (цей вхід також часто називають тактуючим або лічильним), а також установчі входи  $R$  та  $S$ . Як правило, активними рівнями установчих входів є рівень логічного нуля, як у схемі, зображеній на рис. 4.2. Установчі входи мають пріоритет над усіма іншими. Активний рівень сигналу на вході  $S$  встановлює JK-тригер у стан  $Q = 1$ , а активний рівень сигналу на вході  $R$  – у стан  $Q = 0$ , незалежно від сигналів на інших входах.

Таблиця 4.3		
$J$	$K$	$Q_{t+1}$
0	0	$Q_t$
0	1	0
1	0	1
1	1	$Q_t$

Таблиця 4.4			
$Q_t$	$Q_{t+1}$	$J$	$K$
0	0	x	0
0	1	0	1
1	0	1	0
1	1	0	x

Якщо ж на установчі входи одночасно подати пасивний рівень сигналу, то стан тригера буде змінюватися по спаду імпульсу на лічильному вході в залежності від стану входів  $J$  та  $K$ , як показано в таблиці переходів (табл. 4.3) та функцій збудження (табл. 4.4).

Робота JK-тригера описується характеристичним рівнянням:

$$Q_{t+1} = J_t \overline{Q_t} \vee Q_t K_t.$$

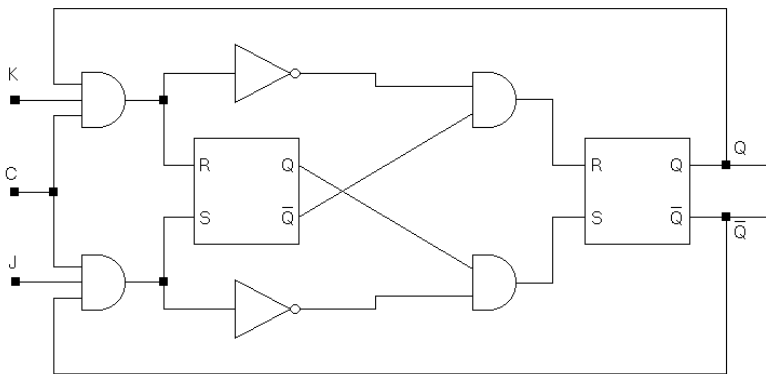


рис. 4.4, а

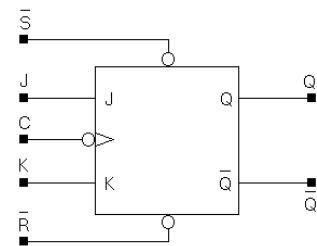


рис. 4.4, б

Один з варіантів функціональної схеми JK-тригера з установчими входами, активним рівнем яких є рівень логічного нуля, та його умовне графічне зображення, наведено на рис. 4.4, а, б. Часові діаграми його роботи при

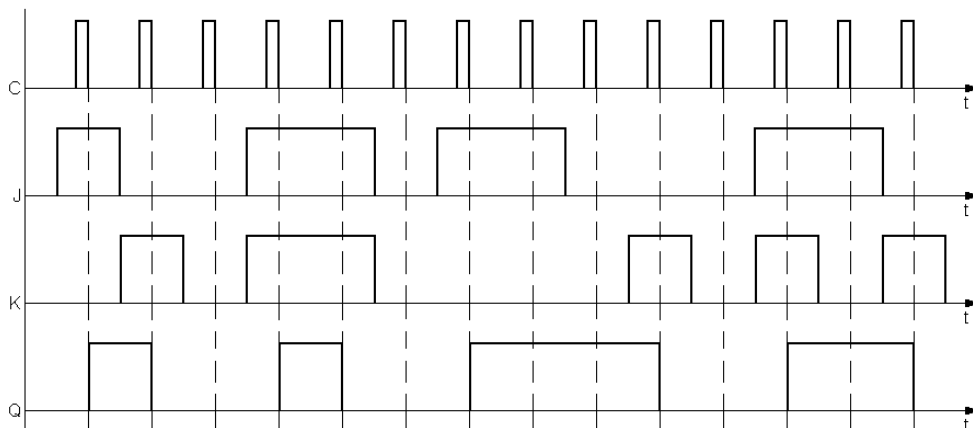


рис. 4.5

$R = S = 1$  наведено на рис. 4.5.

Подібно до RS-тригера, зміну станів JK-тригера можна зобразити графом переходів (рис. 4.6). Вхідні сигнали, що можуть приймати будь-які значення (як 0, так і 1), позначено як “х”, а позиція позначення відповідає послідовності  $J, K$ .

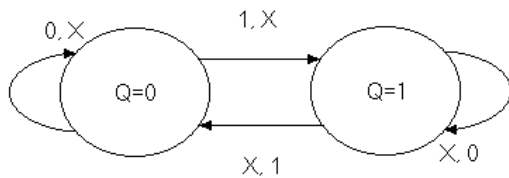


рис. 4.6

Цей рисунок не повинен призводити до плутанини: якщо “х” = 1, то при  $J, K = 1, 1$  схема буде переходити зі стану  $Q = 0$  до стану  $Q = 1$ . Але з цього стану схема повинна повернутися до стану  $Q = 0$  і т.д.,

тобто цей граф описує роботу автогенератора. Проте, у даному випадку всі зміни стану виходу відбуваються лише в момент спаду тактового сигналу  $C$ . Дійсно, якщо  $J = K = 1$ , то з кожним новим тактовим імпульсом стан виходу тригера буде змінюватися на протилежний, і тригер буде виконувати роль подільовача частоти на 2, а не автогенератора.

## 2. D-тригер.

D-тригер має один інформаційний вхід  $D$  (“data” - дані). Інформація з входу  $D$  з’являється на виході тригера по фронту імпульсу на лічильному вході  $C$  та зберігається до наступного фронту на лічильному вході. Окрім лічильного входу  $C$  та входу даних  $D$ , тригер має асинхронні установчі входи  $R$  та  $S$ . Установчі входи, як і у випадку JK-тригера, мають найвищий пріоритет, тобто встановлюють вихід тригера незалежно від сигналів на входах  $C$  та  $D$ . Функціонування D-тригера описується таблицями переходів (табл. 4.5) та функцій збудження (табл. 4.6), а також часовими діаграмами вхідних та вихідних сигналів (рис. 4.7).

Таблиця 4.5	
$D$	$Q_{t+1}$
0	0
1	1

Таблиця 4.6		
$Q_t$	$Q_{t+1}$	$D$
0	0	0
0	1	1
1	0	0
1	1	1

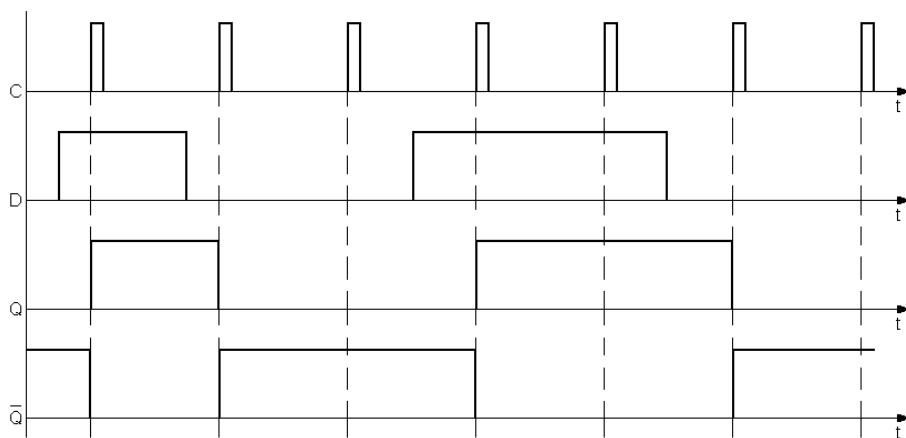


рис. 4.7

Характеристичне рівняння D-тригера має вигляд:

$$Q_{t+1} = D_t .$$

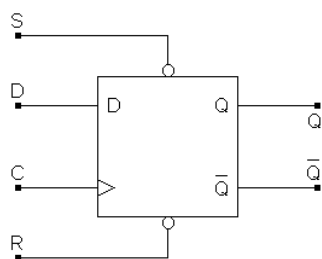


рис. 4.8

Рівняння показує, що стан виходу тригера на  $(t+1)$ -му такті дорівнює вхідному сигналу в момент часу, що передуює фронту тактового імпульсу. Умовне позначення D-тригера наведено на рис. 4.8.

Функціональна схема D-тригера може бути отримана зі схеми JK-тригера (див. рис. 4.4, а), шляхом з'єднання входу К з входом J через інвертор:

$$D = J = \overline{K} .$$

### 3. Т-тригер.

На базі JK-тригерів та D-тригерів можна побудувати схеми, що працюють в

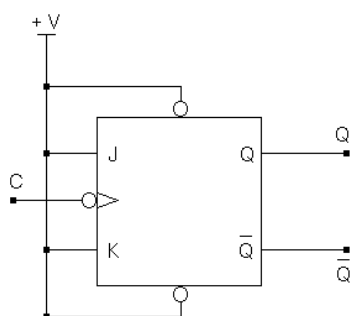


рис.4 9

так званому лічильному режимі.

Такі схеми називають Т-тригерами або лічильними тригерами, пов'язуючи їх назву зі способом функціонування. На

рис. 4.9 наведені схеми

побудови Т-тригера на базі JK-тригерів та D-тригерів. Лічильний режим ілюструється часовими діаграмами, зображеними на рис. 4.10.

В JK-тригері з установчими входами, активний рівень сигналу на яких є рівнем логічного нуля, лічильний режим реалізується шляхом встановлення на

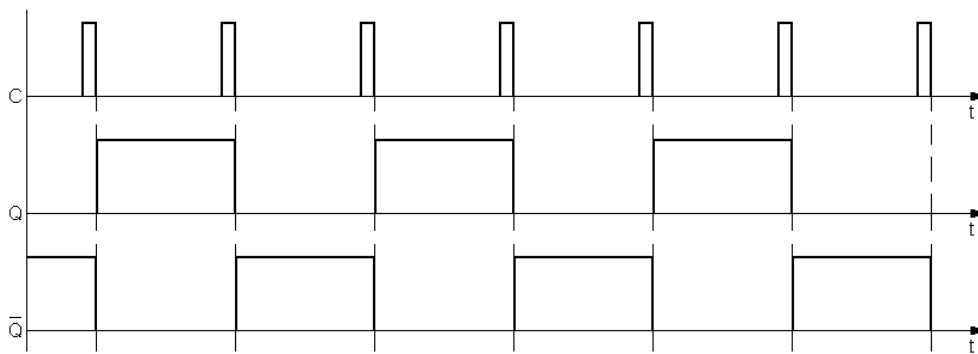


рис. 4.10

звичайних та установчих входах логічних рівнів  $J = K = 1$  та  $R = S = 1$ , а на вхід C надходить вхідний сигнал  $T$ . У відповідності до таблиці функціонування (табл. 4.3 та табл. 4.4) при кожному спаді вхідного сигналу  $T$  стан виходу тригера змінюється на протилежний.

В D-тригері лічильний режим реалізується шляхом утворення зворотного зв'язку: на вхід  $D$  подається сигнал з інверсного виходу тригера. Таким чином, завжди існує нерівність логічних рівнів сигналу на вході  $D$  та на виході  $Q$ : якщо  $Q = 1$ , то  $D = 0$  і навпаки. Отже, при кожному фронті сигналу на лічильному вході  $C$ , у відповідності до принципу функціонування D-тригера, стан його виходу буде змінюватися на протилежний.

Таким чином, на кожні два вхідних тактових імпульсу Т-тригер формує один період вихідного сигналу  $Q$ . Отже, Т-тригер здійснює ділення тактової частоти  $f_T$  на його вході на 2:

$$f_Q = f_T / 2,$$

де  $f_Q$  – частота слідування імпульсів на виході тригера.

### Порядок виконання роботи.

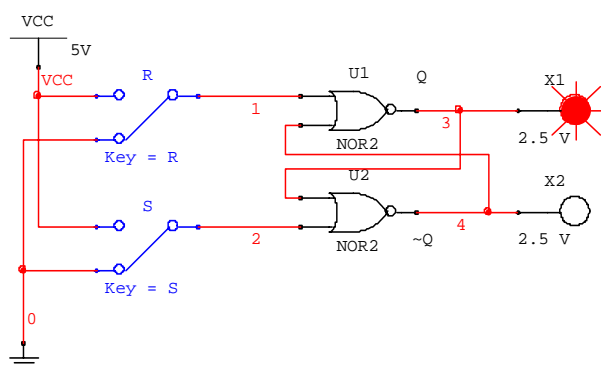


рис. 4.11

### 1. Дослідження RS-тригера.

Зберіть схему, зображену на рис. 4.11. Увімкніть схему. Послідовно подайте на схему наступні сигнали:  $S = 0, R = 1$ ;  $S = 0, R = 0$ ;  $S = 1, R = 0$ ;  $S = 0, R = 0$ .

Переконайтеся в тому, що:



- при  $S = 0, R = 1$  тригер встановлюється в стан  $Q = 0$ ;
- при переході до  $S = 0, R = 0$  тригер зберігає попередній стан  $Q = 0$ ;
- при  $S = 1, R = 0$  тригер встановлюється в стан  $Q = 1$ ;
- при переході до  $S = 0, R = 0$  тригер зберігає попередній стан  $Q = 1$ .

За результатами експерименту заповніть таблицю функцій збудження для схеми на рис. 4.11.

## 2. Дослідження $\overline{R}\overline{S}$ -тригера.

Зберіть схему, зображену на рис. 4.12. Увімкніть схему. Послідовно подайте

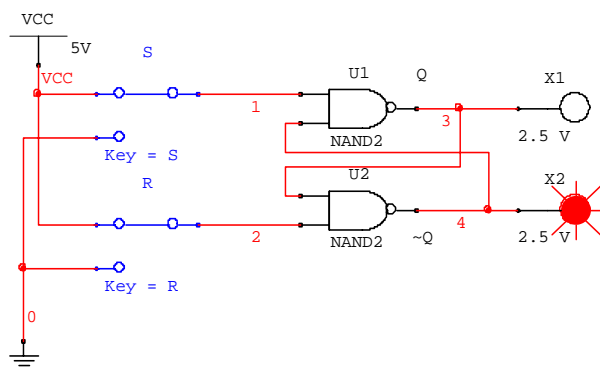


рис. 4.12

тригер зберігає попередній стан  $Q = 0$ ;

- при  $S = 0, R = 1$  тригер встановлюється в стан  $Q = 1$ ;

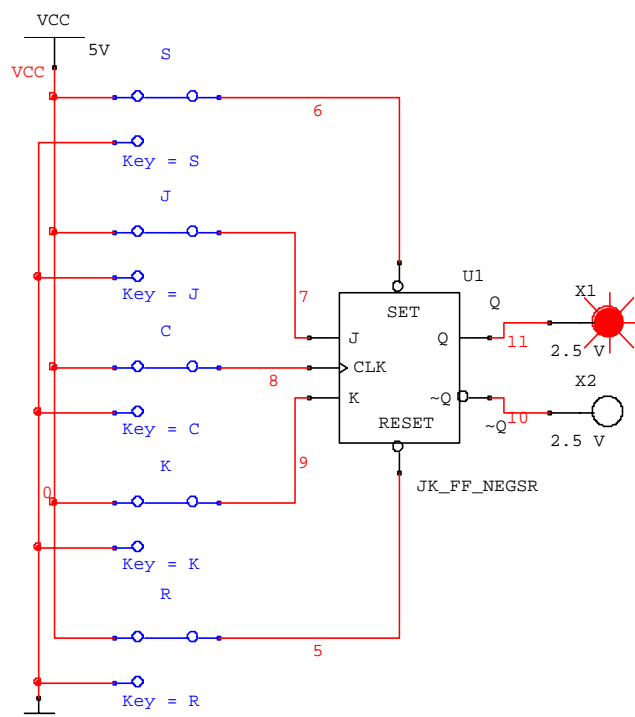


рис. 4.13

на схему наступні сигнали:  $S = 1, R = 0$ ;  $S = 1, R = 1$ ;  $S = 0, R = 1$ ;  $S = 1, R = 1$ .

Переконайтеся в тому, що:

- при  $S = 1, R = 0$  тригер встановлюється в стан  $Q = 0$ ;
- при переході до  $S = 1, R = 1$

- при переході до  $S = 1, R = 1$  тригер зберігає попередній стан  $Q = 1$ .

За результатами експерименту заповніть таблицю функцій збудження для схеми на рис. 4.12.

## 3. Дослідження JK-тригера.

Зберіть схему, зображену на рис. 4.13. Увімкніть схему.

Переконайтеся в тому, що:

- при  $S = 0, R = 1$  тригер встановлюється в стан  $Q = 1$

- при  $S = 1, R = 0$  тригер встановлюється в стан  $Q = 0$  незалежно від стану інших входів.

роботи Т-триггера.

Зберіть схему, наведену на рис. 4.14.

## 5. Дослідження JK-триггера, побудованого на базі логічних елементів.

The circuit diagram illustrates a 2-bit ripple-carry adder implemented using 7410 (3-input AND) and 7402 (NOR) ICs. The circuit is powered by a 5V VCC supply and a ground connection. The inputs are labeled 'C' (Carry-in) and 'Key = C' (Carry-in), both connected to the same signal source. The outputs are labeled 'Q1' and 'Q2', each connected to a 2.5V LED indicator.

The circuit components and their connections are as follows:

- ICs:**
  - U5, U6: 7410 (3-input AND)
  - U7, U8: 7402 (NOR)
  - U9, U10: 7410 (3-input AND)
  - U3, U4: 7402 (NOR)
- Power and Ground:**
  - VCC (5V) is connected to the top input of U5 and U6.
  - Ground is connected to the bottom input of U5 and U6.
- Inputs:**
  - The 'C' input is connected to the top input of U5 and U6.
  - The 'Key = C' input is connected to the bottom input of U5 and U6.
- Logic Connections:**
  - U5 (AND3) output (pin 6) is connected to the top input of U7 (NOT).
  - U6 (AND3) output (pin 5) is connected to the top input of U8 (NOT).
  - U7 (NOT) output (pin 1) is connected to the top input of U9 (AND2).
  - U8 (NOT) output (pin 9) is connected to the top input of U10 (AND2).
  - U9 (AND2) output (pin 12) is connected to the top input of U3 (NOR2).
  - U10 (AND2) output (pin 1) is connected to the top input of U4 (NOR2).
  - U3 (NOR2) output (pin 4) is connected to the top input of U2 (NOR2).
  - U4 (NOR2) output (pin 3) is connected to the top input of U1 (NOR2).
  - U2 (NOR2) output (pin 2) is connected to the top input of U10 (AND2).
  - U1 (NOR2) output (pin 11) is connected to the top input of U9 (AND2).
- Outputs:**
  - Q1 is connected to the top input of U9 (AND2).
  - Q2 is connected to the top input of U3 (NOR2).

рівня сигналу на вході  $C$  складіть часові діаграми сигналів на виходах  $Q_1$  та  $Q_2$  та намалюйте їх.

<sup>1</sup> Вказівка: початковий стан тригера встановлювати короткочасним імпульсом  $S = 0$  для отримання  $Q_t = 1$  та сигналу  $R = 0$  для отримання  $Q_t = 0$ . Перехід тригера в стан  $Q_{t+1}$  відбувається лише по спаду імпульсу на лічильному вході  $C$ , який формується відповідним перемикачем.

виходах  $Q_1$  та  $Q_2$  по відношенню до моментів зміни значення рівня сигналу на вході  $C$ .

## 6. Дослідження D-тригера.

Зберіть схему, зображену на рис. 4.16. Увімкніть схему.

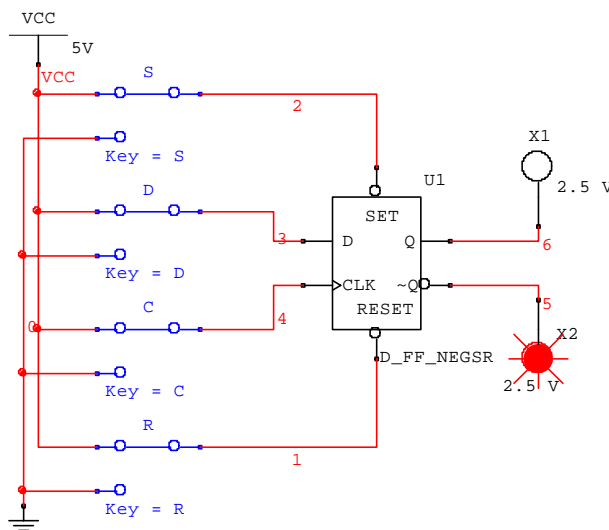


рис. 4.16

Переконайтеся в тому, що:

- при  $S = 0$ ,  $R = 1$  тригер встановлюється в стан  $Q = 1$  незалежно від стану інших входів;
- при  $S = 1$ ,  $R = 0$  тригер встановлюється в стан  $Q = 0$  незалежно від стану інших входів.

Встановіть  $S = 1$ ,  $R = 1$  та

перевірте справедливість таблиці функцій збудження (табл. 4.6) для схеми на рис. 4.16. Складіть часові діаграми роботи тригера для усіх можливих комбінацій  $D_t$ ,  $Q_t$  та намалюйте їх.

## 7. Дослідження роботи D-тригера в лічильному режимі.

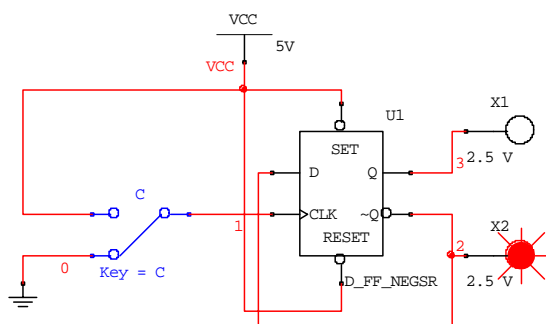


рис. 4.17

Зберіть схему, наведену на рис. 4.17.

Увімкніть схему. Подаючи на лічильний вхід  $C$  тактові імпульси за допомогою відповідного перемикача та визначаючи рівні логічних сигналів на виходах тригера за допомогою

логічних пробників, складіть часові діаграми роботи D-тригера в лічильному режимі та намалюйте їх.

### **Оформлення звіту по роботі.**

- Вказати назву роботи та її мету.
- Навести схеми для відповідних досліджень.
- Навести таблиці результатів вимірів по всім пунктам завдання та дати пояснення до них.
- Зробити висновки щодо результатів виконаної роботи.

### **Контрольні питання.**

- Чим відрізняється робота RS-тригера з прямими входами від роботи RS-тригера з інверсними входами?
- Чому комбінація рівнів логічних сигналів 11 на входах RS-тригера є “забороненою”?
- У чому відмінність між таблицею переходів тригера та таблицею функцій збудження?
- Як властивість запам’ятовувати відображається в характеристичних рівняннях тригерів?
- У чому принципова відмінність в роботі синхронних тригерів від асинхронних?
- Яка пріоритетність інформаційних та установчих входів у синхронних тригерах?
- Чому JK-тригер при  $J = K = 1$  не перетворюється в автогенератор?
- Чому T-тригер отримав назву лічильного? Яку кількість імпульсів він може порахувати?
- Як працює D-тригер, якщо  $D = Q$ ?