

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное бюджетное образовательное
учреждение
высшего образования

«Вятский государственный университет»

Факультет автоматики и вычислительной техники

Кафедра ЭВМ

Отчёт

Лабораторная работа № 3 по дисциплине

«Организация памяти ЭВМ»

Выполнил студент группы ИВТб-3301 _____ / Колесников Р.К./

Проверил преподаватель _____ /Мельцов В. Ю./

Киров 2023

1. Задание

Исследовать ОЗУ в режиме произвольного доступа при записи и чтении:

а) Выполнить запись данных во все ячейки ОЗУ в режимах:

- Записи одновременно по порту А и В;
- Раздельной записи по одному из портов А и В.

б) Выполнить сочетание процедур чтения и записи одновременно по портам А и В:

- Порт А чтение, порт В запись;
- Порт А запись, порт В чтение;
- Порт А чтение, порт В чтение;
- Раздельное чтение по порту А или В.

в) Выполнить попытку записи по портам А и В в одну и ту же ячейку и сделать выводы.

На основе ОЗУ организовать стек типа FIFO для очереди команд с возможностью параллельного пополнения очереди команд через каждые 4 считанные из очереди команды:

- Запись 8-и чисел;
- Запись 4-х чисел;
- Запись 4-х чисел с параллельным считыванием из очереди;
- Запись 4-х чисел с параллельным считыванием из очереди;
- Сброс очереди команд (команда БП).

2. Функциональная схема

Управляющие сигналы:

EWRA, EWRB - сигналы разрешения записи по входам D3-D0 RgA/CT;

UA, UB - сигналы задания режима работы счётчика (инкремент/декремент);

STA, STB - сигналы записи в регистры данных портов А и В;

CA, CB - сигналы синхронизации записи/счёта RgA/CT;

\sim EOA, \sim EOB - сигналы разрешения выходов регистров данных портов A и B;

\sim RA, \sim WA, \sim EA, \sim RB, \sim WB, \sim EB - интерфейсные сигналы чтения, записи, выбора канала портов A и B соответственно.

Функциональная схема представленная на рисунке 1.

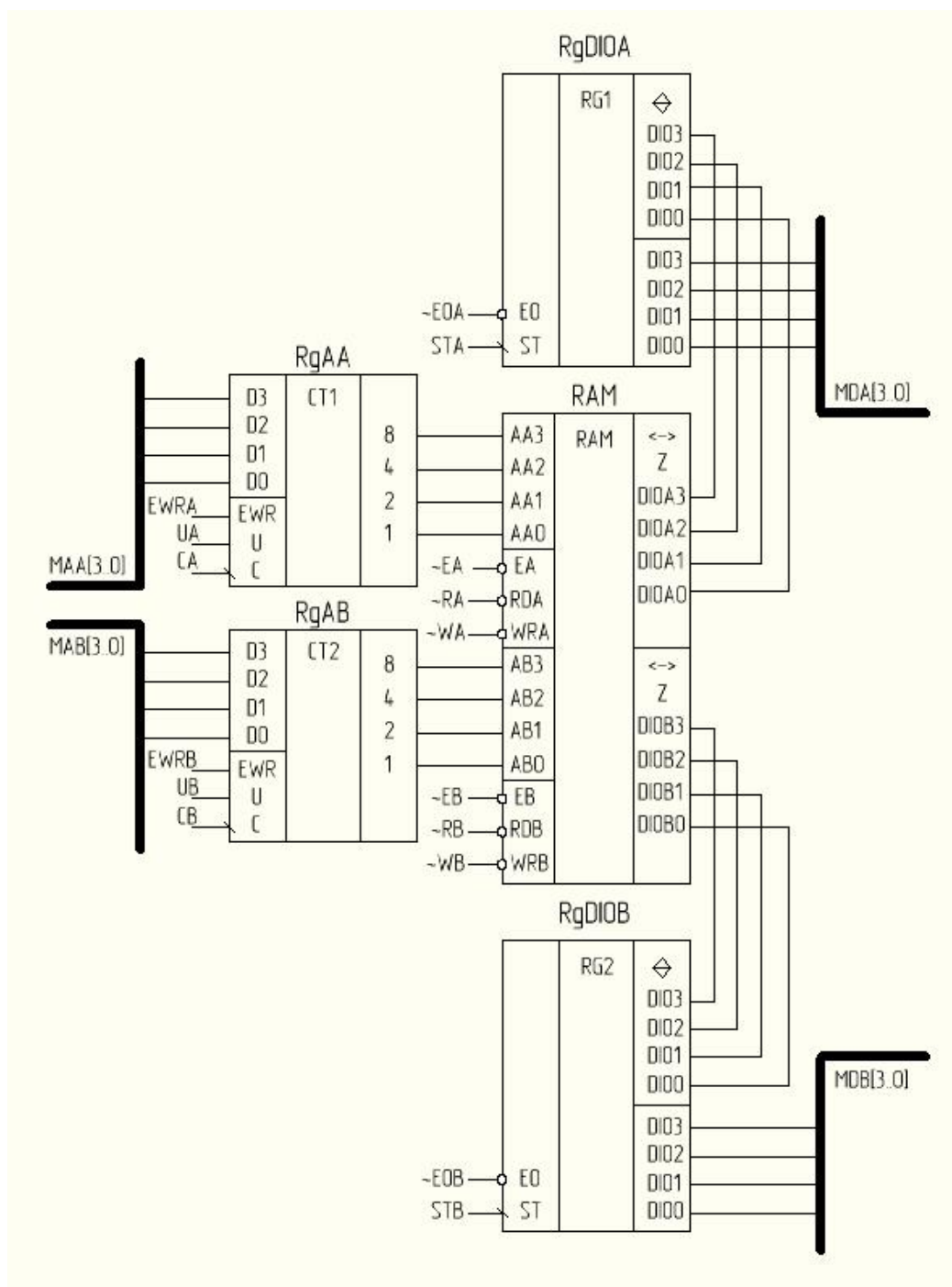


Рисунок 1 - Функциональная схема двухпортового ЗУ.

3. Граф-схема алгоритма

Граф-схема алгоритмов чтения из стека FIFO и записи в стек на основе двухпортового ЗУ представлены на рисунках 2-5.

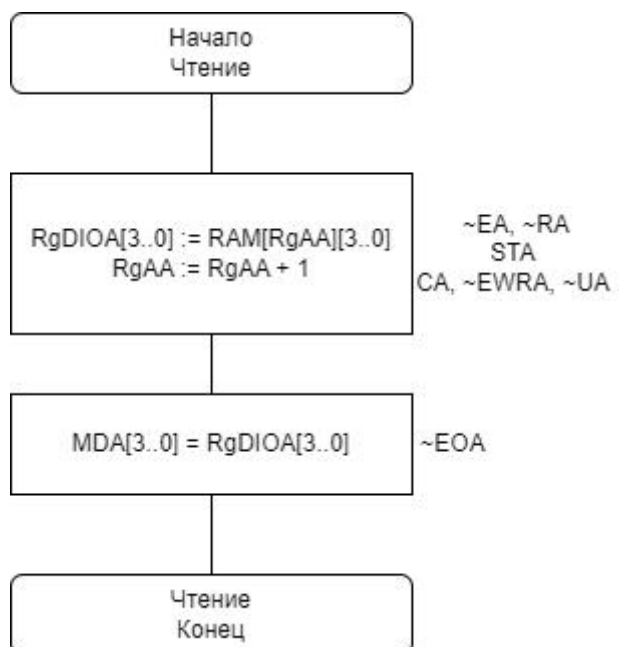


Рисунок 2 - ГСА чтения из стека по порту А

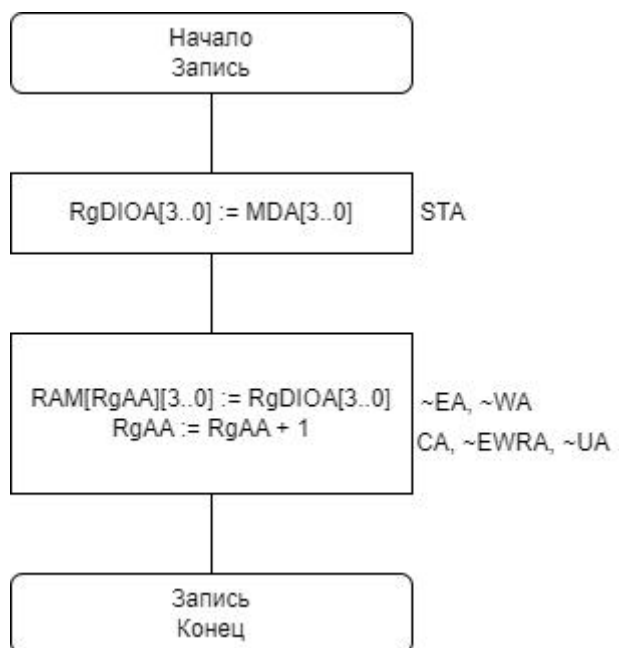


Рисунок 3 - ГСА записи в стек по порту А

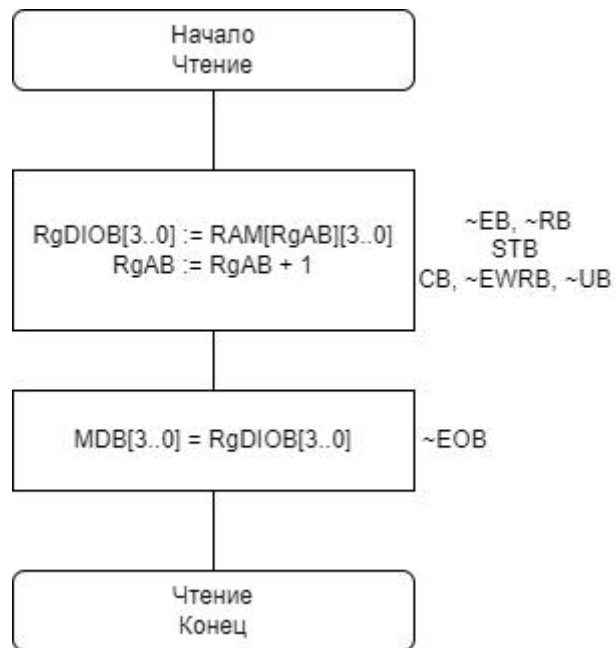


Рисунок 4 - ГСА чтения из стека по порту В

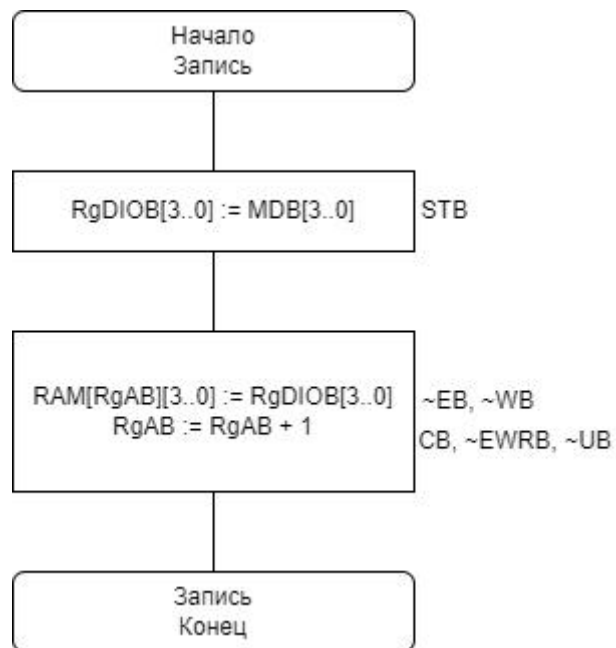


Рисунок 5 - ГСА записи в стек по порту В

4. Текст микропрограммы

Текст микропрограммы представлен на рисунке 6.

№	Адр.	DIOA	~EA~RA~WA	EW RUC	ST~EO	Адр.	DIOB	~EB~RB~WB	EW RUC	ST~EO
00	0000	11111010	1 1 1	1 0 1	1 1	0000	00000000	1 1 1	1 0 1	0 1
01	0000	11111111	0 1 0	0 0 0	0 0	0000	00010101	1 1 1	0 0 1	1 1
02	0011	00000000	1 1 1	1 0 1	0 1	0000	11111111	0 1 0	0 0 0	0 0
03	0000	10110011	1 1 1	0 0 0	1 1	0000	01100010	1 1 1	0 0 1	1 1
04	0000	11111111	0 1 0	0 0 0	0 0	0000	11111111	0 1 0	0 0 0	0 0
05	0000	10111111	1 1 1	0 0 1	1 1	0100	11100011	1 1 1	1 0 1	1 1
06	0000	11111111	0 1 0	0 0 0	0 0	0000	11111111	0 1 0	0 0 0	0 0
07	0110	01000000	1 1 1	1 0 1	1 1	0000	00001000	1 1 1	0 0 1	1 1
08	0000	11111111	0 1 0	0 0 0	0 0	0000	11111111	0 1 0	0 0 0	0 0
09	0000	00111101	1 1 1	0 0 1	1 1	0000	00000000	1 1 1	0 0 0	0 1
0A	0000	11111111	0 1 0	0 0 0	0 0	0000	00000000	1 1 1	0 0 0	0 1
0B	0000	11111111	0 0 1	0 0 0	1 1	0000	00000000	1 1 1	1 0 1	0 1
0C	0010	00000000	1 1 1	1 0 1	0 0	0000	11111111	0 0 1	0 0 0	1 1
0D	0000	00000000	1 1 1	0 0 0	0 1	0000	00000000	1 1 1	0 0 1	0 1
0E	0000	11111111	0 0 1	0 0 0	1 1	0000	11111111	0 0 1	0 0 0	1 1
0F	0000	00000000	1 1 1	0 0 1	0 0	0011	00000000	1 1 1	1 0 1	0 0
10	0000	11111111	0 0 1	0 0 0	1 1	0000	11111111	0 0 1	0 0 0	1 1
11	0111	00000000	1 1 1	1 0 1	0 0	0111	00000000	1 1 1	1 0 1	0 0
12	0000	00010000	1 1 1	0 0 0	1 1	0000	00000000	1 1 1	0 0 0	0 1
13	0000	11111111	0 1 0	0 0 0	0 0	0000	00000000	1 1 1	0 0 0	0 1
14	0000	00000000	1 1 1	0 0 0	0 1	0000	11111111	0 0 1	0 0 0	1 1
15	0000	11100011	1 1 1	0 0 1	1 1	0000	00000000	1 1 1	0 0 1	0 0
16	0000	11111111	0 1 0	0 0 0	0 0	0000	00000000	1 1 1	0 0 0	0 1
17	0000	00001011	1 1 1	0 0 1	1 1	0000	11111111	0 0 1	0 0 0	1 1
18	0000	11111111	0 1 0	0 0 0	0 0	0000	00000000	1 1 1	0 0 1	0 1
19	0000	10001101	1 1 1	0 0 1	1 1	0000	11111111	0 0 1	0 0 0	1 1
1A	0000	11111111	0 1 0	0 0 0	0 0	0000	00000000	1 1 1	0 0 1	0 0
1B	0000	00000000	1 1 1	0 0 1	0 1	0000	11111111	0 0 1	0 0 0	1 1
1C	0000	00000000	1 1 1	0 0 0	0 1	0000	00000000	1 1 1	0 0 1	0 0

Рисунок 6 - Микропрограмма работы со стеком FIFO на основе двухпортового ЗУ

5. Экранные формы

Экранные формы работы микропрограммы представлены на рисунках 7-13.

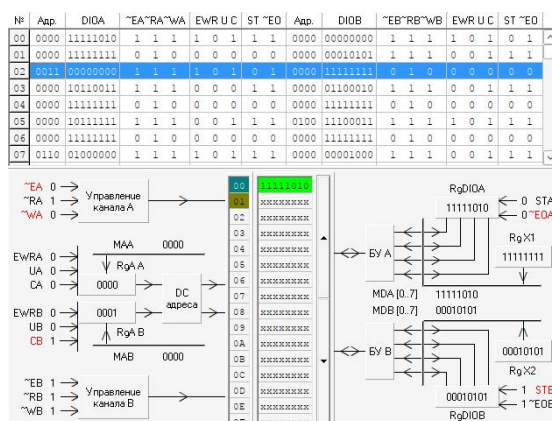


Рисунок 7 - Запись по порту А в стек

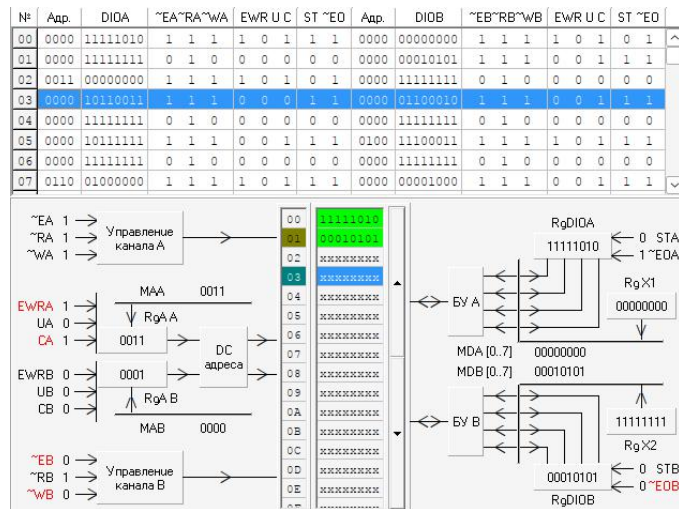


Рисунок 8 - Запись по порту В в стек

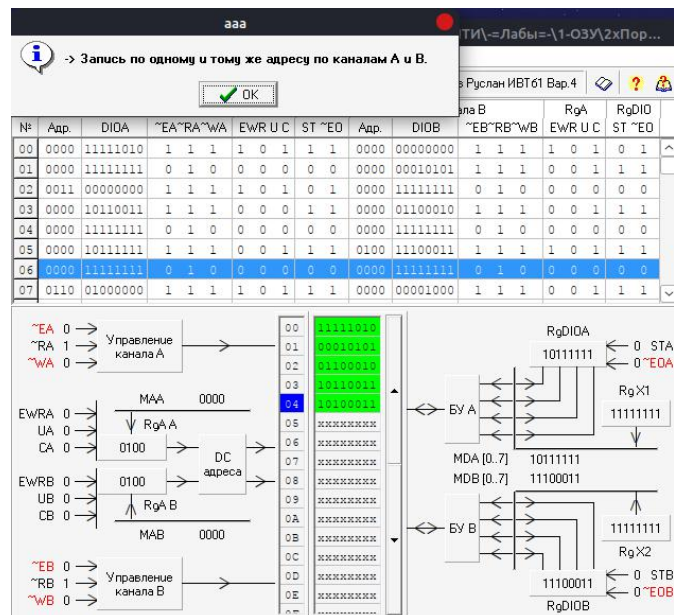


Рисунок 9 - Запись по порту А и В в одну ячейку

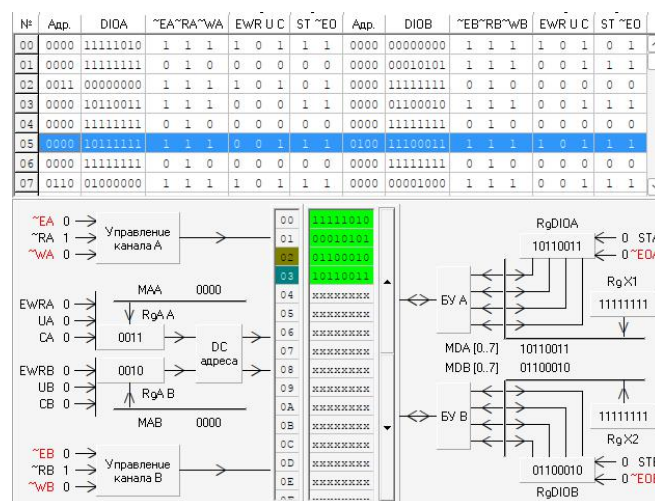


Рисунок 10 - Запись по порту А и В в разные ячейки

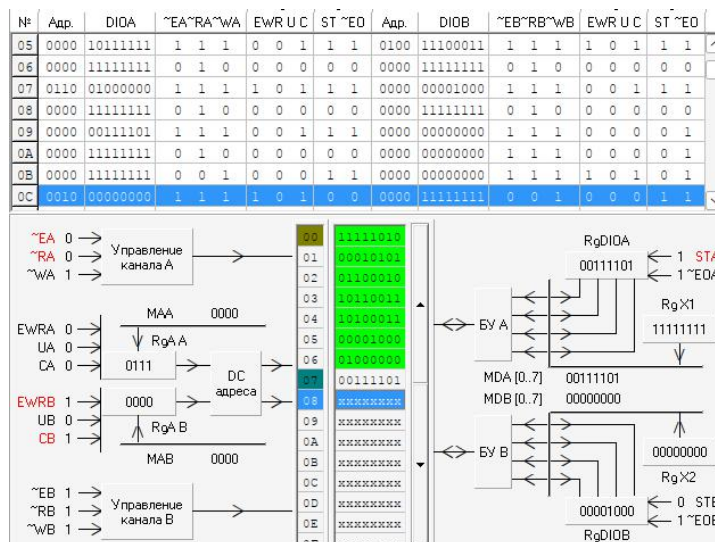


Рисунок 11 - Чтение по порту А

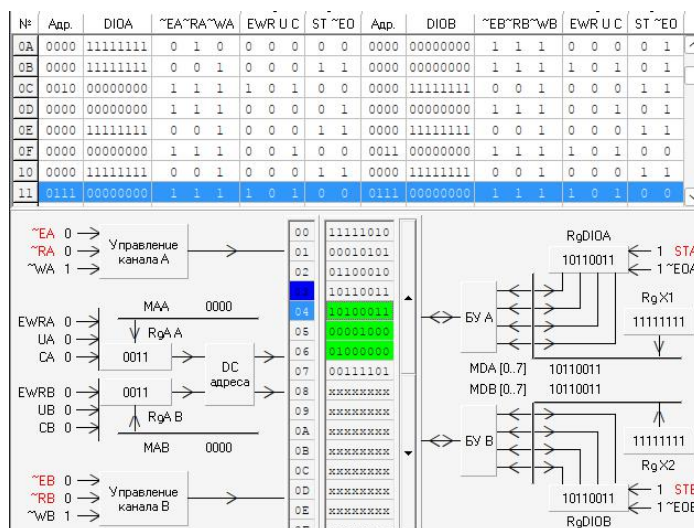


Рисунок 12 - Чтение по портам А и В из одной ячейки

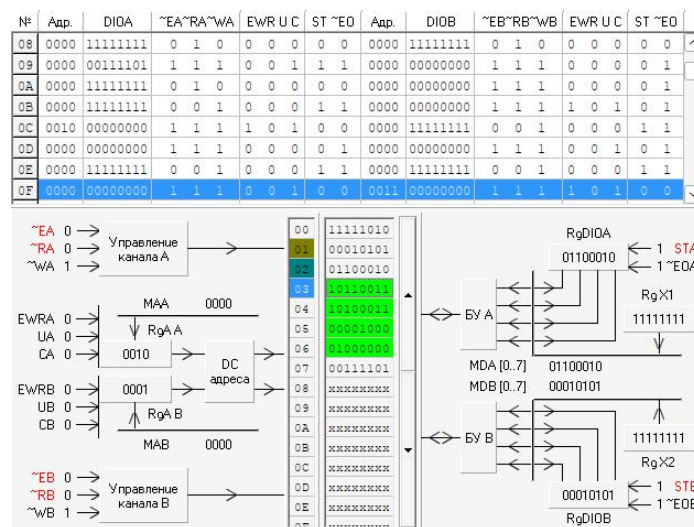


Рисунок 13 - Чтение по портам А и В из разных ячеек

Вывод: в процессе выполнения данной лабораторной работы были изучены основные принципы работы двухпортового запоминающего устройства. Была разработана микропрограмма для работы со стеком FIFO, построенном на основе двухпортового ЗУ, в которую входят подмикропрограммы записи данных в стек, а также считывание данных из стека разными вариациями по портам А и В. Знания, полученные в процессе выполнения данной лабораторной работы, будут полезны в будущем.