|  |
| --- |
| МИНОБРНАУКИ РОССИИ |
| Федеральное государственное бюджетное образовательное учреждение  высшего образования  **«МИРЭА – Российский технологический университет»**  **РТУ МИРЭА** |
| Институт искусственного интеллекта |
| Кафедра программного обеспечения систем радиоэлектронной аппаратуры |

Отчет по лабораторной работе №3

по «Системам автоматизированного проектирования»

на тему «Проектирование и моделирование семисегментного индикатора, 17-разрядного дешифратора, мультиплексора и стека»

|  |  |  |  |
| --- | --- | --- | --- |
| Обучающийся |  | Бредихин В.А. | |
| Группа | КМБО-02-21 |  |  |
|  |  |  |  |
| Преподаватель |  | Коновалова И.В. | |
|  |  |  | |

Москва 2025

Оглавление

[Введение 2](#_Toc192068914)

[Проектирование и моделирование семисегментного индикатора 3](#_Toc192068915)

[Проектирование и моделирование дешифратора 4](#_Toc192068916)

[Проектирование и моделирование мультиплексора 5](#_Toc192068917)

[Проектирование и моделирование стека 6](#_Toc192068918)

[Вывод 7](#_Toc192068919)

# Введение

Verilog – язык описания аппаратуры, используемый для описания и

моделирования электронных систем. Он позволяет проектировать цифровые системы на уровнях поведения, передачи данных между регистрами (RTL), логики и уровне переключателей (транзисторов). Особенностью языков описания аппаратуры является параллельное выполнение своих конструкций во время моделирования.

Конструкции языка Verilog HDL делятся на 2 класса:

• синтезируемые в железе: задают архитектуру модуля, особенности его поведения;

• несинтезируемые в железе: используются для симуляции работы устройства на компьютере.

Сумматор – узел арифметического устройства ЭВМ, осуществляющий операцию суммирования чисел. Выполняется на логических элементах, интегральных схемах.

Счетчик – это цифровое устройство, определяющее, сколько раз на его входе появился некоторый определенный логический уровень. При входном сигнале в форме положительных импульсов, счетчик считает количество этих импульсов.

Регистр – функциональный узел, основная задача которого – хранение многоразрядного двоичного числа. Каждому разряду соответствует свой элемент памяти, выполненный на основе триггеров.

# Проектирование и моделирование семисегментного индикатора

Создадим модуль семисегментный индикатор на языке Verilog (рис. 1).

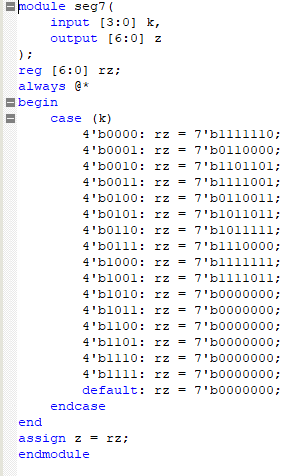


Рисунок 1 - модуль семисегментного индикатора на языке Verilog

Проведем симуляцию созданной модели (рис. 2). Из результатов симуляции видно, что модель была создана верно.

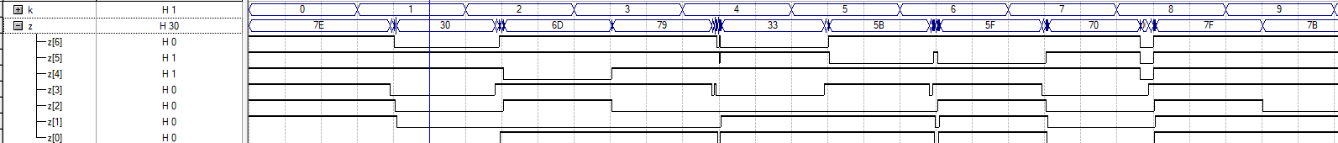


Рисунок 2 - результат симуляции

# Проектирование и моделирование дешифратора

Создадим модуль дешифратора на языке Verilog (рис. 1).

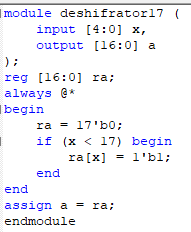


Рисунок 3 - модуль дешифратора на языке Verilog

Проведем симуляцию созданной модели (рис. 2). Из результатов симуляции видно, что модель была создана верно.

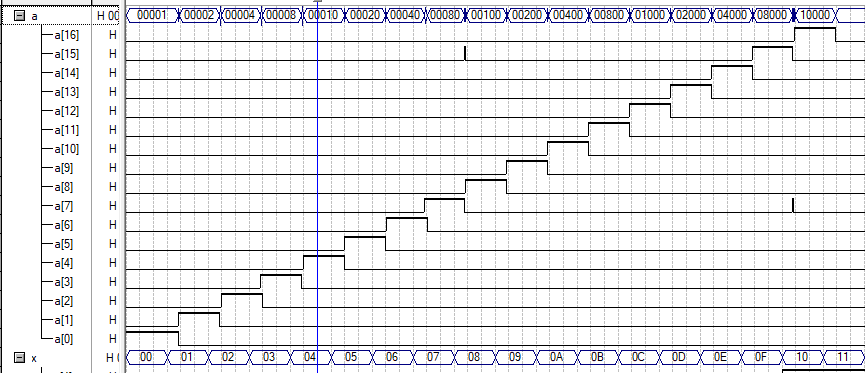


Рисунок 4 - результат симуляции

# Проектирование и моделирование мультиплексора

Создадим модуль мультиплексора на языке Verilog (рис. 1).

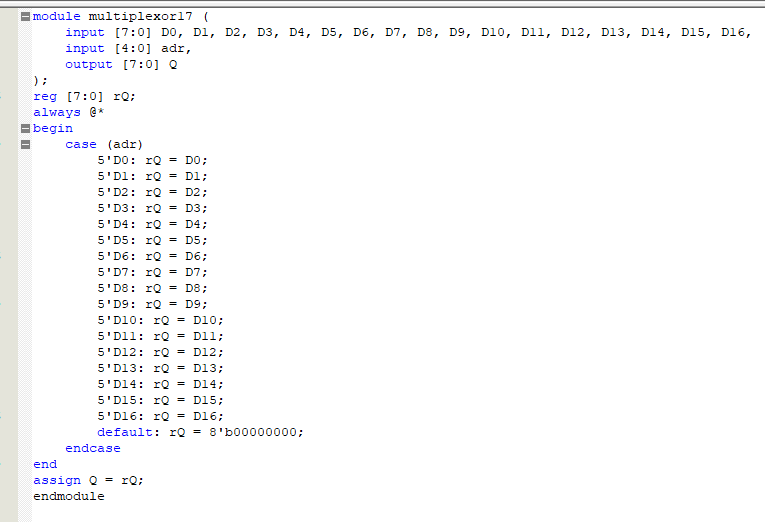


Рисунок 5 - модуль мультиплексора на языке Verilog

Проведем симуляцию созданной модели (рис. 2). Из результатов симуляции видно, что модель была создана верно.

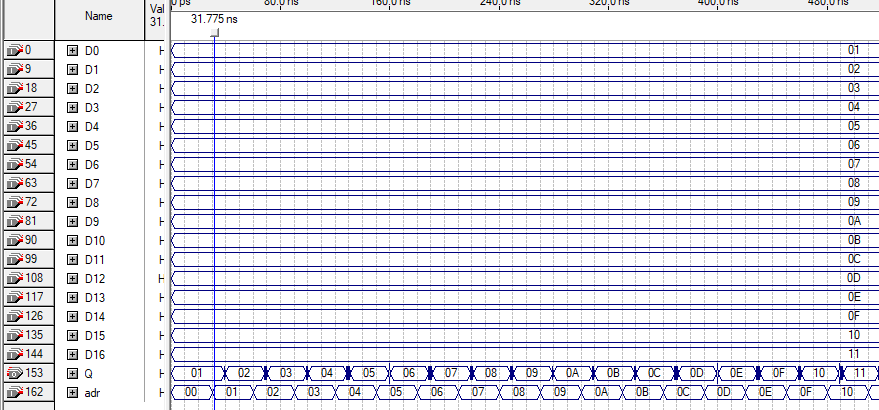


Рисунок 6 - результат симуляции

# Проектирование и моделирование стека

Создадим модуль стека на языке Verilog (рис. 1).

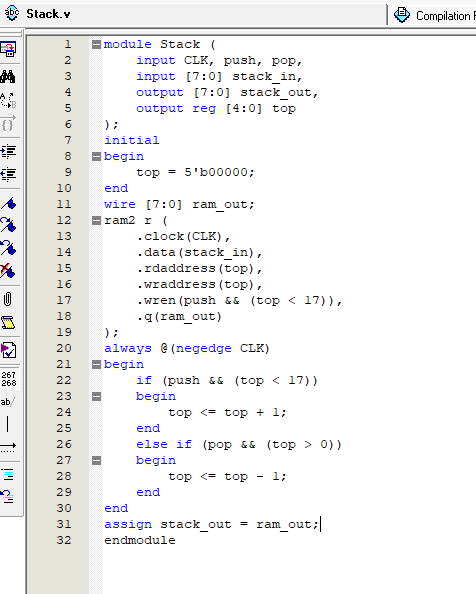


Рисунок 7 - модуль стека на языке Verilog

Проведем симуляцию созданной модели (рис. 2). Из результатов симуляции видно, что модель была создана верно.

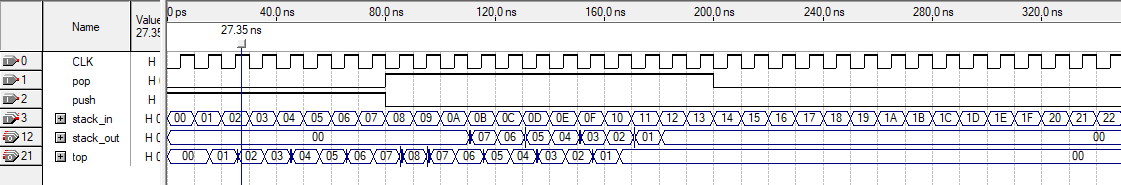


Рисунок 8 - результат симуляции

# Вывод

В результате удачного выполнения лабораторной работы был построен функционирующий двадцатиодноразрядный сумматор, счетчик и регистр на языке Verilog. Были проведены симуляции работы моделей, что позволило выявить и исправить ошибки, а также убедиться в правильности конечного решения.