|  |
| --- |
| МИНОБРНАУКИ РОССИИ |
| Федеральное государственное бюджетное образовательное учреждение  высшего образования  **«МИРЭА – Российский технологический университет»**  **РТУ МИРЭА** |
| Институт искусственного интеллекта |
| Кафедра программного обеспечения систем радиоэлектронной аппаратуры |

Отчет по лабораторной работе №2

по «Системам автоматизированного проектирования»

на тему «Проектирование и моделирование 17-разрядного сумматора, счетчика и сдвигового регистра с параллельной загрузкой»

|  |  |  |  |
| --- | --- | --- | --- |
| Обучающийся |  | Бредихин В.А. | |
| Группа | КМБО-02-21 |  |  |
|  |  |  |  |
| Преподаватель |  | Коновалова И.В. | |
|  |  |  | |

Москва 2025

**Оглавление**

[Введение 2](#_Toc191228583)

[Проектирование и моделирование сумматора 3](#_Toc191228584)

[Проектирование и моделирование счетчика 3](#_Toc191228585)

[Проектирование и моделирование регистра 4](#_Toc191228586)

[Вывод 5](#_Toc191228587)

# Введение

Сумматор – узел арифметического устройства ЭВМ, осуществляющий операцию суммирования чисел. Выполняется на логических элементах, интегральных схемах.

Счетчик – это цифровое устройство, определяющее, сколько раз на его входе появился некоторый определенный логический уровень. При входном сигнале в форме положительных импульсов, счетчик считает количество этих импульсов.

Регистр – функциональный узел, основная задача которого – хранение многоразрядного двоичного числа. Каждому разряду соответствует свой элемент памяти, выполненный на основе триггеров.

# Проектирование и моделирование сумматора

Создадим модуль сумматора на языке Verilog (рис. 1).

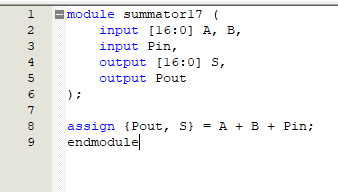


Рисунок 1 - модуль сумматора на языке Verilog

Проведем симуляцию созданной модели (рис. 2). Из результатов симуляции видно, что модель была создана верно.

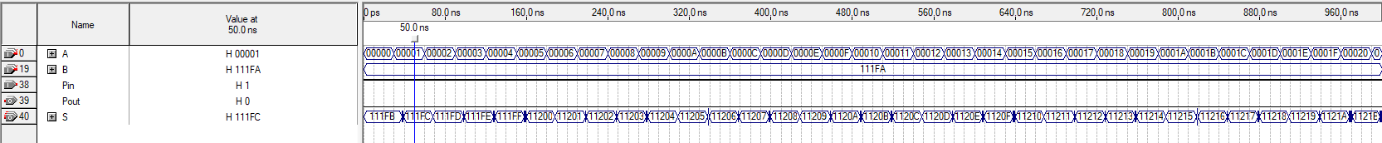


Рисунок 2 - результат симуляции

# Проектирование и моделирование счетчика

Создадим модуль счетчика на языке Verilog (рис. 3). Параметр en ответственен за доступность счетчика. Если его значение 0, то счетчик не меняет своего значения. При выставлении параметра mode в 1, значение счетчика возрастает, иначе убывает. Параметр res сбрасывает счетчик при значении 1.

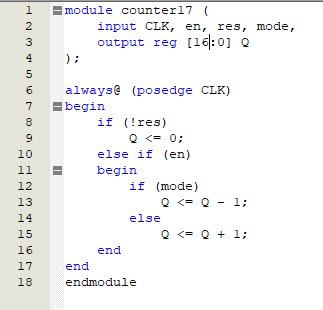


Рисунок 3 - модуль счетчика на языке Verilog

Проведем симуляцию созданной модели (рис. 4). Из результатов симуляции видно, что модель была создана верно.

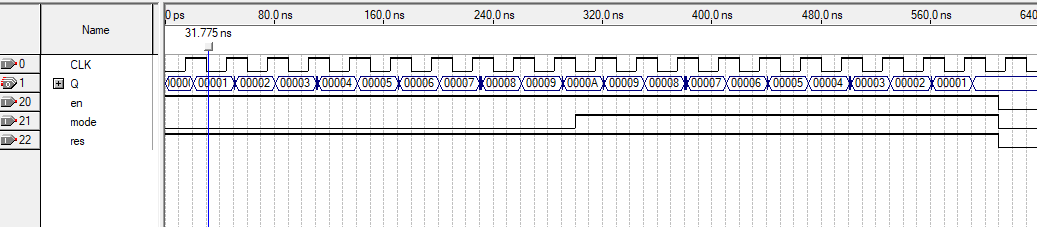


Рисунок 4 - результат симуляции

# Проектирование и моделирование регистра

Создадим модуль регистра на языке Verilog (рис. 5). По значению параметра load происходит переключение режима регистра.

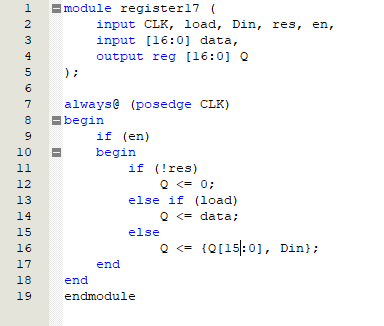


Рисунок 5 - модуль регистра на языке Verilog

Проведем симуляцию созданной модели (рис. 6). Из результатов симуляции видно, что модель была создана верно.

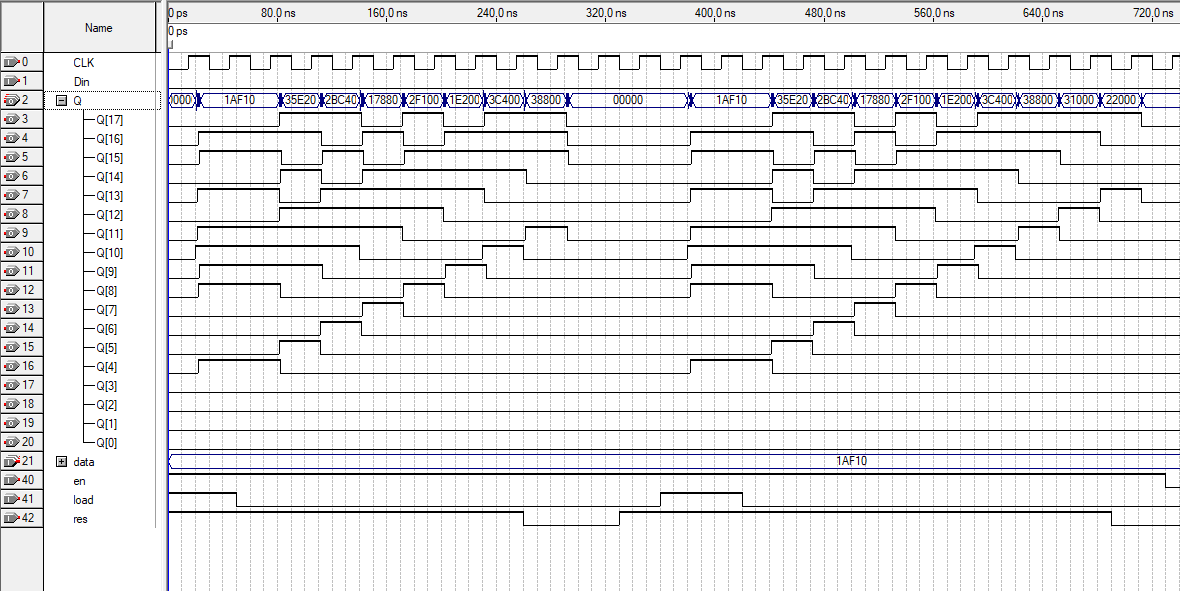


Рисунок 6 - результат симуляции

# Вывод

В результате удачного выполнения лабораторной работы был построен функционирующий семнадцатиразрядный сумматор, счетчик и регистр на языке Verilog. Были проведены симуляции работы моделей, что позволило выявить и исправить ошибки, а также убедиться в правильности конечного решения.