

TL d'ELAN

Conception d'un AO

Binôme A11
SIMON Léo, LEVY-FALK Hugo

Table des matières

I	Étage 1	3
1	Amplificateur différentiel et miroir de courant	3
1.1	Prédéterminations	3
1.1.1	Montage différentiel	3
1.1.2	Miroir de courant	3
1.1.3	Carte des potentiels	4
1.2	Validation par simulation	4
2	Source de courant de polarisation	4
2.1	Prédéterminations	4
2.2	Validation par simulation	5
3	Comportement en régime transitoire	7
II	Amplificateur opérationnel	9
4	Construction du schéma	9
5	Prédéterminations	9
6	Caractérisation en simulation	9

Table des figures

1	La variation de V_3 décale la courbe.	2
2	Schéma de l'amplificateur SCV \rightarrow I.	3
3	Montage avec le level 1	4
4	Montage avec le level 2	5
5	Variations de I_{d1} I_{d2} et I_R en fonction de V_d	5
6	Source de courant	6
7	Source de courant avec une résistance	6
8	Source de courant avec un PMOS	7
9	I_{D1} , I_{D2} et I_S en fonction de V_e	7
10	Régime transitoire	8
11	Régime transitoire en multipliant R_u par 1000	8
12	Régime transitoire en multipliant R_u par 1000	8
13	Schéma de l'amplificateur	9
14	Courant de sortie en fonction de la tension d'entrée	10

Introduction

Le but de ce TL est de concevoir un amplificateur opérationnel possédant les spécifications suivantes :

- Décalage statique de courant nul ;
- Transconductance minimale de 10mS ;
- Excursion de sortie sur $+$ ou -1V sur une résistance de charge de $10\text{k}\Omega$;
- Tensions d'alimentation $V_{DD} = 2.5\text{V}$ et $V_{SS} = -2.5\text{V}$.

Avec :

- Pour les NMOS : $V_{TN} = 0.74\text{V}$ et $\mu_N C_{oxN} = 75\mu\text{A/V}$;
- Pour les PMOS : $V_{TP} = -0.75\text{V}$ et $\mu_P C_{oxP} = 25\mu\text{A/V}$.

On étudie en premier lieu le modèle du NMOS en vérifiant que faire varier le potentiel du substrat revient à faire varier le V_T du transistor, comme le montre la figure 1.

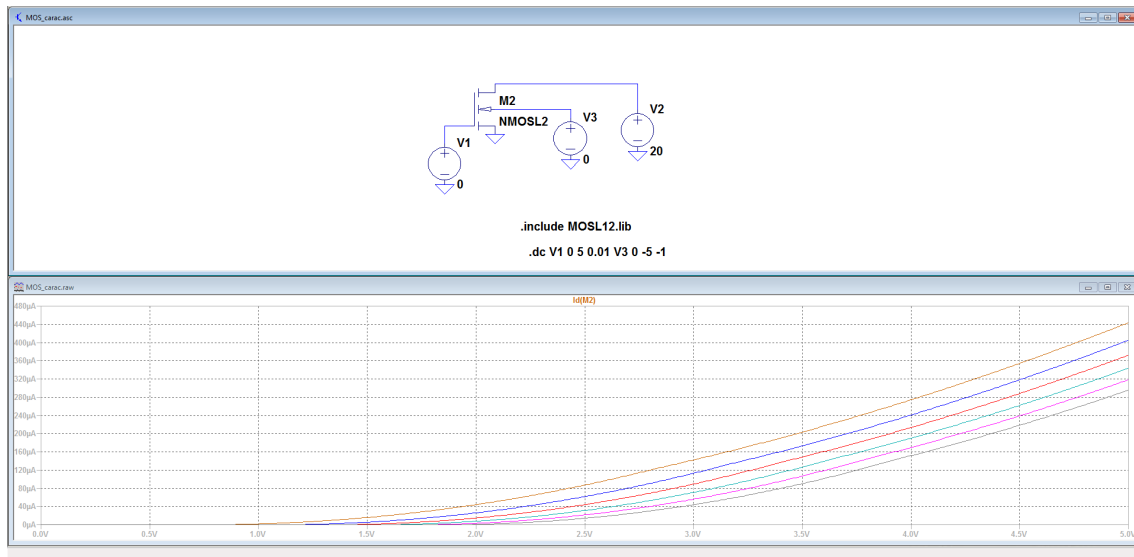


FIGURE 1 – La variation de V_3 décale la courbe.

Première partie

Étage 1

Le premier étage constitue un amplificateur $SCV \rightarrow I$ dont on trouvera le schéma sur la figure 2. Il est constitué d'un montage différentiel, d'un miroir de courant et d'une source de courant. Il faut dimensionner les transistors qui composent l'amplificateur.

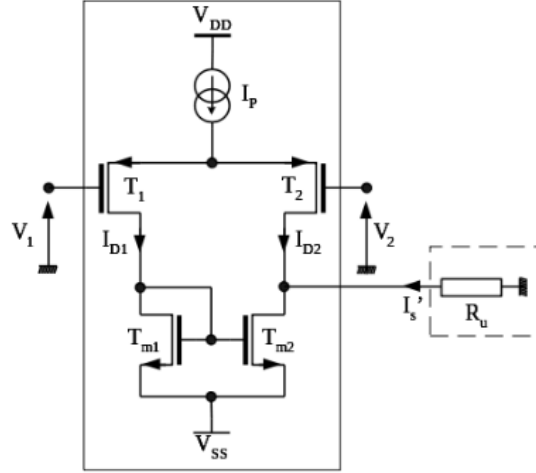


FIGURE 2 – Schéma de l'amplificateur $SCV \rightarrow I$

1 Amplificateur différentiel et miroir de courant

1.1 Prédéterminations

1.1.1 Montage différentiel

On a un montage différentiel avec miroir de courant. Le gain G d'un tel montage vérifie $G = -g_m$. En développant autour du point de fonctionnement $V_{10} = V_{20} = 0V$ avec $I_p = 20\mu A$, on a alors :

$$-G = g_m = k' \frac{W}{L} (V_{GS} - V_T) = \sqrt{I_p k' \frac{W}{P}} \quad (1)$$

Or on souhaite :

- $g_m = 140\mu S$;
- $I_p = 20\mu A$;
- $L = 20\mu m$;
- $k' = 25\mu A.V^{-2}$.

On peut alors déterminer la largeur des MOS en résolvant l'équation 1 :

$$W_{T1} = W_{T2} = 7.84 \times 10^{-5} m$$

1.1.2 Miroir de courant

Il y a un miroir de courant couplé avec le montage différentiel. Pour dimensionner les transistors T_{m1} et T_{m2} , on les polarise autour de $V_{GS0} = 1.2V$. On a alors :

$$\frac{I_p}{2} = I_D = \frac{1}{2} k' \frac{W}{L} (V_{GS} - V_T)^2 \quad (2)$$

En résolvant l'équation 2, on a alors :

$$W_{T_{m1}} = W_{T_{m2}} = 2.52 \times 10^{-6} m$$

1.1.3 Carte des potentiels

On souhaite déterminer le potentiel des points non connus. On a facilement le potentiel des grilles des T_{mi} :

$$V_{G_{T_m}} = V_{SS} + 1.2V = -1.3V$$

Sur le transistor T_1 , on a $V_{GS} = V_T + \sqrt{\frac{I_P \times L}{k' \times W}} = 8.93 \times 10^{-1}V$. Il s'agit là du potentiel de la source des transistors T_1 et T_2 .

1.2 Validation par simulation

On souhaite maintenant valider les calculs avec une simulation. La figure 3 montre la simulation du montage en utilisant le level 1. On retrouve bien les valeurs de la prédétermination.

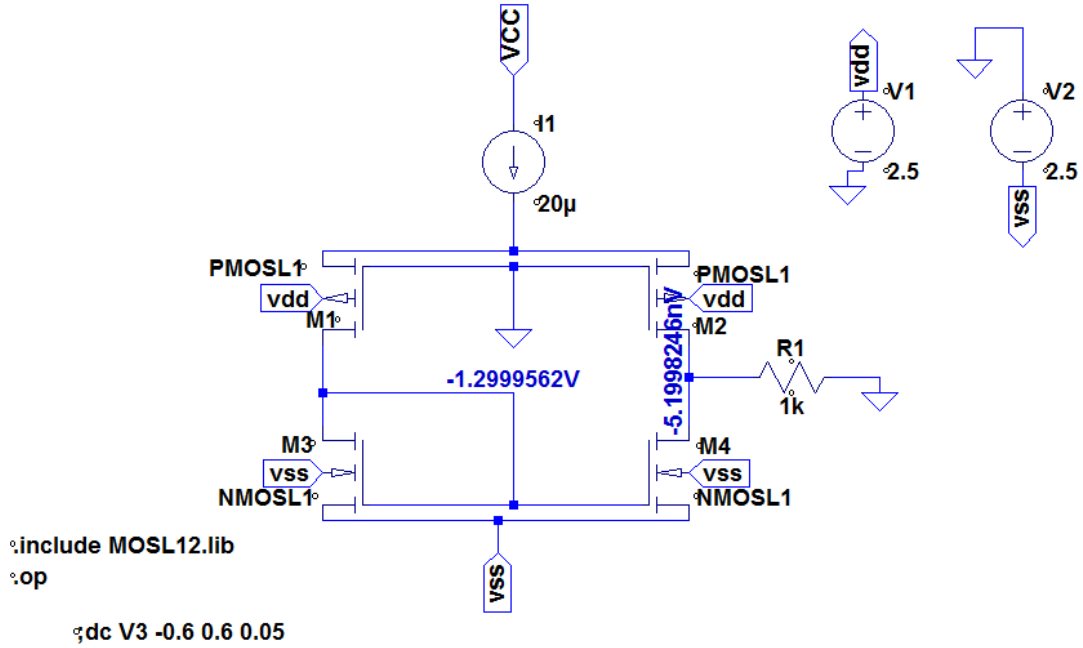


FIGURE 3 – Montage avec le level 1

On réalise ensuite la simulation avec le level 2. La figure 4 montre que ce modèle diffère des résultats de la prédétermination. On a notamment un offset en sortie.

On fait ensuite varier la différence de tension en entrée pour mesurer la transconductance de l'étage 1. La figure 5 donne les résultats obtenus. On mesure la pente de la tangente en 0 de I_D pour avoir la transconductance. On obtient avec le level 1 $140\mu S$ et pour le level 2 $125\mu S$. Ceci est encore dû au fait que le level 2 prend en compte plus de paramètres que le level 1. On voit aussi que la plage de fonctionnement linéaire est comprise entre $0.1V$ et $-0.1V$.

2 Source de courant de polarisation

Le schéma de l'étage 1 (représenté par la figure 2) fait appel à une source de courant. On se propose de la réaliser en suivant le modèle de la figure 6.

2.1 Prédéterminations

On souhaite déterminer les valeurs associées aux composants de la source de courant. On sait que la résistance R est traversée par un courant de $10\mu A$. D'autre part puisque pour T_4 on a $V_{GS} = 1.25V$, la tension aux bornes de la résistance vaut $3.75V$. Ainsi

$$R = 3.75 \times 10^5 \Omega$$

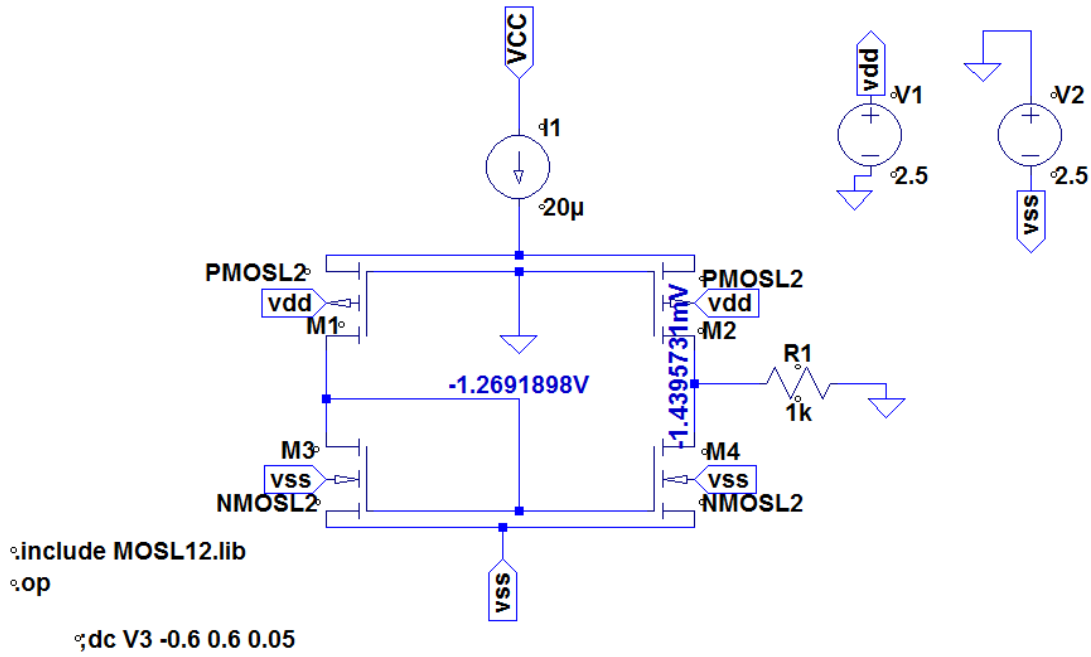
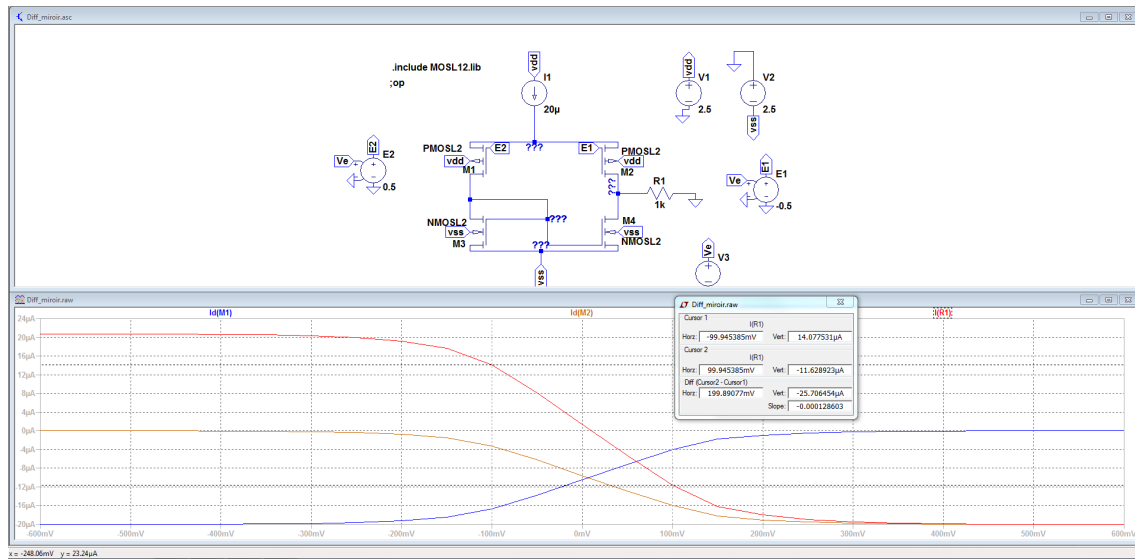


FIGURE 4 – Montage avec le level 2

FIGURE 5 – Variations de I_{d1} , I_{d2} et I_R en fonction de V_d

Pour T_4 on a $I_D = 10 \mu A = \frac{1}{2} k' \frac{W}{L} (V_{GS} - V_T)^2$. On a donc, puisque le sujet fixe $L = 5 \mu m$:

$$W_{T_4} = 1.6 \times 10^{-5} m$$

De même :

$$W_{T_3} = 3.2 \times 10^{-5} m$$

On peut remplacer la résistance R par un PMOS dont la grille et le drain sont connectés. Avec la formule de la diode quadratique ($I_D = \frac{1}{2} k' \frac{W}{L} (V_{GS} - V_T)^2$), on a $W = 0.44 \mu A$. Le montage obtenu peut être retrouvé dans la figure 8.

2.2 Validation par simulation

On simule dans un premier temps le montage avec une résistance, comme montré dans la figure 7.

On pourrait augmenter le W pour avoir pile $20 \mu A$ en sortie.

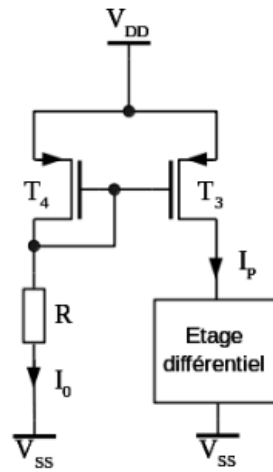


FIGURE 6 – Source de courant

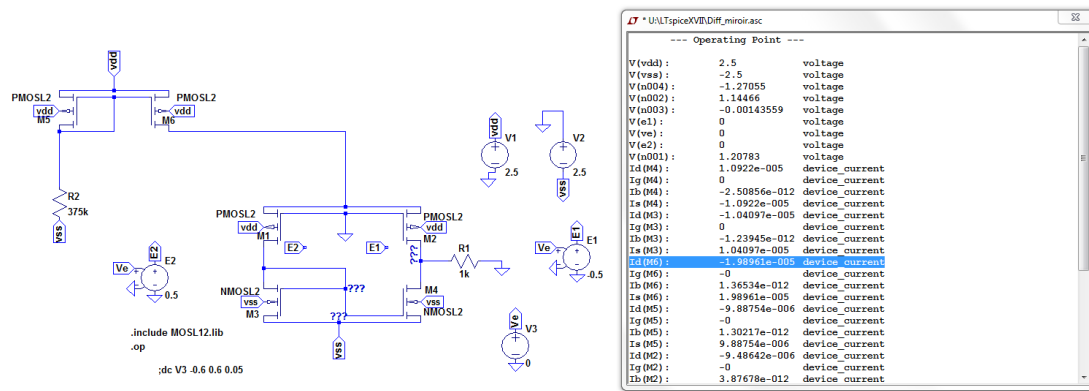


FIGURE 7 – Source de courant avec une résistance

On simule ensuite avec notre solution constitué d'un PMOS (branché de manière à former une diode quadratique), comme montré dans la figure 8. On ajustera la valeur du W afin d'avoir $20\mu A$. On obtient alors :

$$W = 0.8\mu m$$

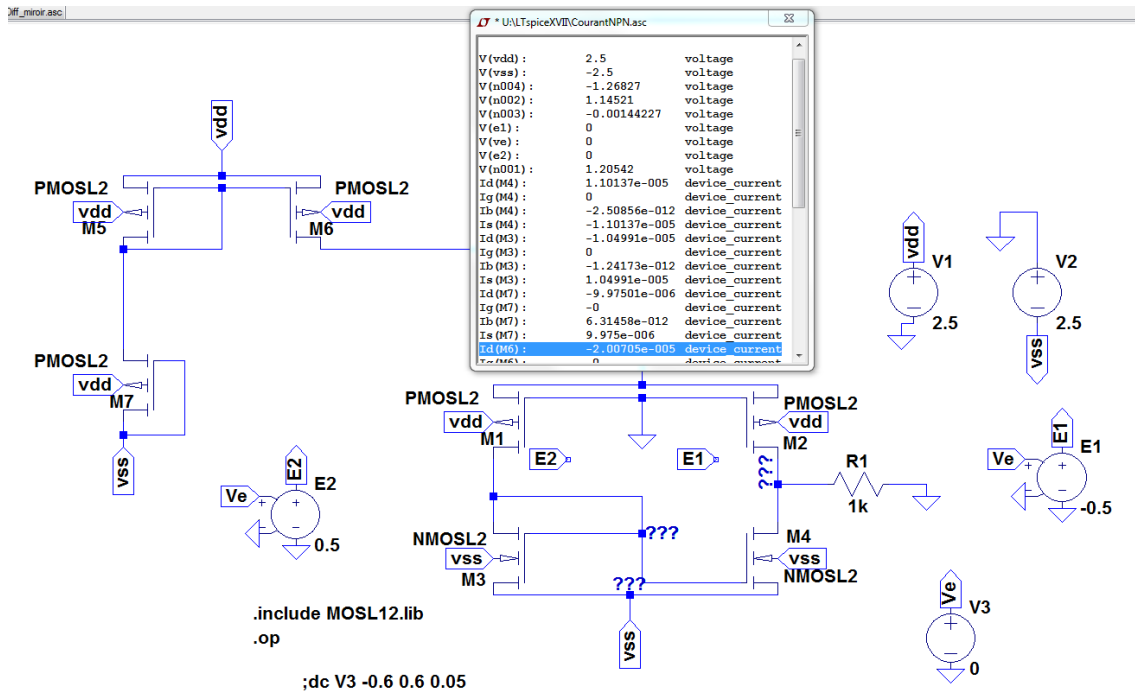
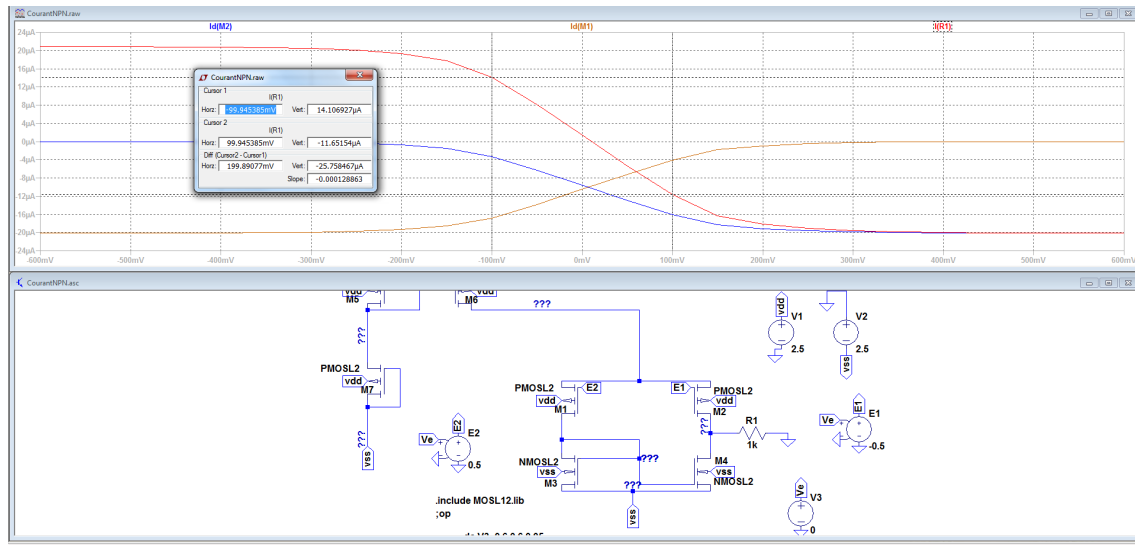


FIGURE 8 – Source de courant avec un PMOS

Dans la figure 9, on réalise comme précédemment un tracé en faisant varier la différence de tension en entrée entre $-0.3V$ et $0.3V$. On calcule la transconductance de l'étage avec la pente de la tangente en 0. On trouve une transconductance d'environ $128\mu S$, ce qui constitue une variation faible par rapport à ce que la source de courant parfaite offrait.

FIGURE 9 – I_{D1} , I_{D2} et I_S en fonction de V_e

3 Comportement en régime transitoire

On veut étudier le comportement du montage en régime transitoire. Pour cela, on impose $V_1 = 0$ et on prends un signal sinusoïdal de fréquence $10kHz$. La figure 9 montre que la plage de fonctionnement linéaire se trouve entre $-0.1V$ et $0.1V$. Le résultat obtenu par simulation est donné par la figure 10. On obtient alors une transconductance de $140\mu S$

En multipliant R_u par 1000, on obtient le chronogramme de la figure 11. On observe qu'on sort de la zone linéaire, on sature.

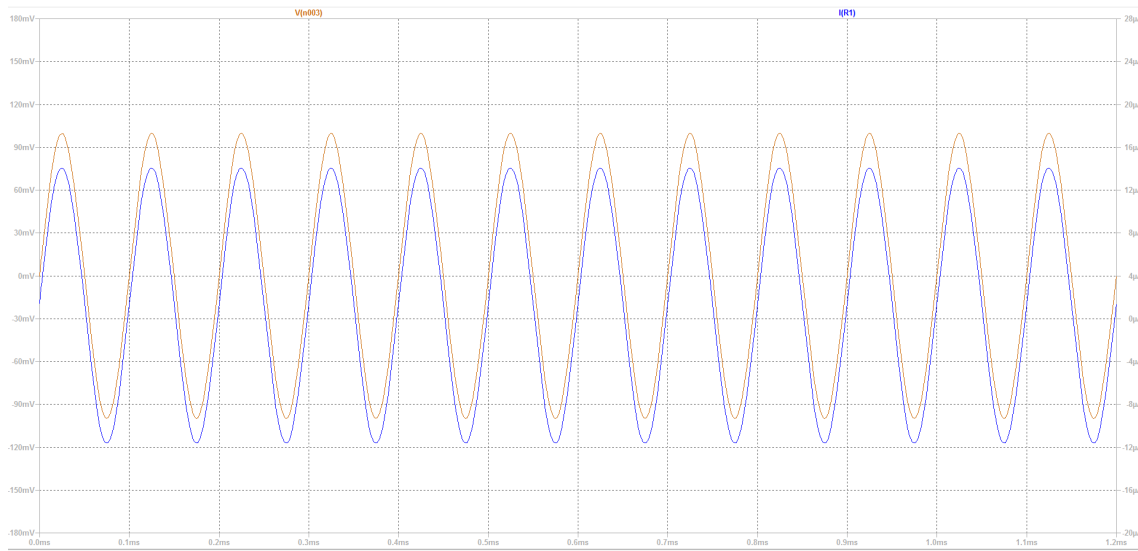
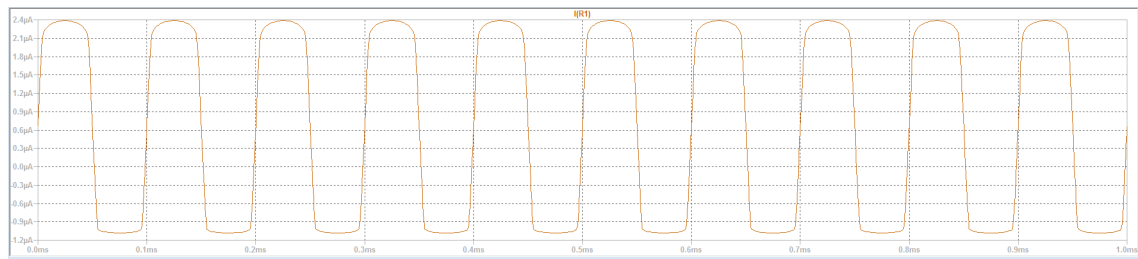
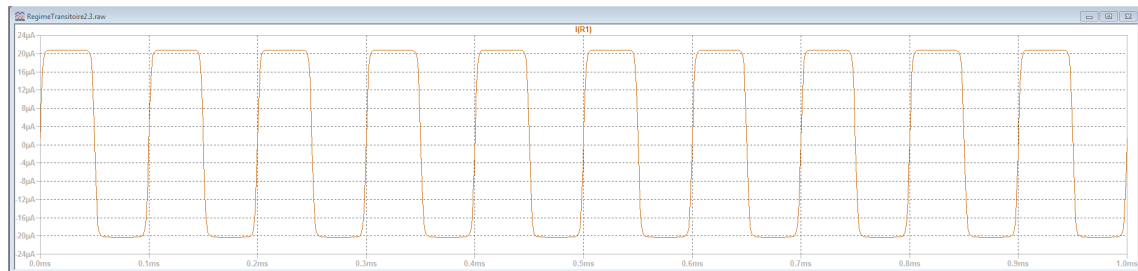


FIGURE 10 – Régime transitoire

FIGURE 11 – Régime transitoire en multipliant R_u par 1000

Enfin avec $R_u = 1\text{ k}\Omega$ et en augmentant l'amplitude du signal d'entrée, on obtient le chronogramme de la figure 12. Là encore on sature.

FIGURE 12 – Régime transitoire en multipliant R_u par 1000

En conclusion pour rester dans la zone linéaire du montage, il faut une résistance de sortie peu élevée et une tension d'entrée qui permette de garder les MOS en régime de pincement.

Deuxième partie

Amplificateur opérationnel

4 Construction du schéma

On complète le montage différentiel de la partie I avec une SCV \rightarrow I afin d'obtenir un gain important. Le schéma obtenu est donné à la figure 13.

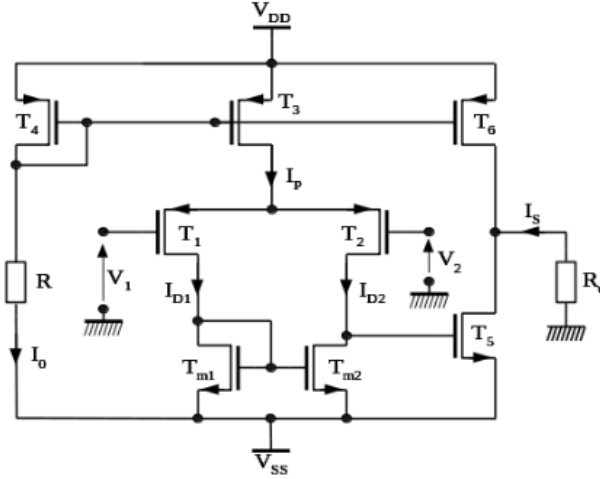


FIGURE 13 – Schéma de l'amplificateur

5 Prédéterminations

On souhaite dimensionner l'étage de sortie afin d'annuler le décalage statique en courant et d'obtenir une excursion minimale de $\pm 0.1 \text{ mA}$.

La source de courant du l'étage 2 doit donc générer 0.1 mA . Pour T_6 on a donc :

$$I_D = 0.1 \text{ mA} = \frac{1}{2} k' \frac{W}{L} (V_{GS} - V_T)^2 \quad (3)$$

En résolvant 3, on a :

$$W = 1.6 \times 10^{-4} \text{ m}$$

On souhaite ensuite éliminer le décalage statique en sortie. Au repos le potentiel de la grille de T_5 est de -1.3 V . Il faudrait donc que le courant dans la source de T_5 pour un tel V_{GS} soit de 0.1 mA . On a alors :

$$0.1 \text{ mA} = \frac{1}{2} k' \frac{W}{L} (1.2 \text{ V} - V_T)^2 \quad (4)$$

Avec $L = 5 \mu\text{m}$, on a alors :

$$W = 65.8 \times 10^{-6} \text{ m}$$

6 Caractérisation en simulation

On vérifie que les tensions des drains de T_{m1} et T_{m2} sont identiques. On ajuste les W des transistors T_5 et T_6 pour avoir un décalage de sortie nul. On obtient alors $W_{T_5} = 71.5 \mu\text{m}$ et

$$W_{T_6} = 156.5 \mu\text{m}.$$

La figure 14 donne le courant de sortie en fonction de la tension d'entrée. On mesure une plage de fonctionnement linéaire comprise entre -1 mV et 3 mV . De plus, on mesure une transconductance de 64 mS , ce qui est bien supérieur aux 10 mS initialement recherchés. On remarque également qu'il y a dissymétrie dans la courbe obtenue. Ceci devra être corrigé en cas de poursuite de l'étude.

On mesure également le taux de réjection du mode commun $\tau = \frac{G_d}{G_c} = \frac{64 \text{ mS}}{39 \text{ mS}} = 1641$.

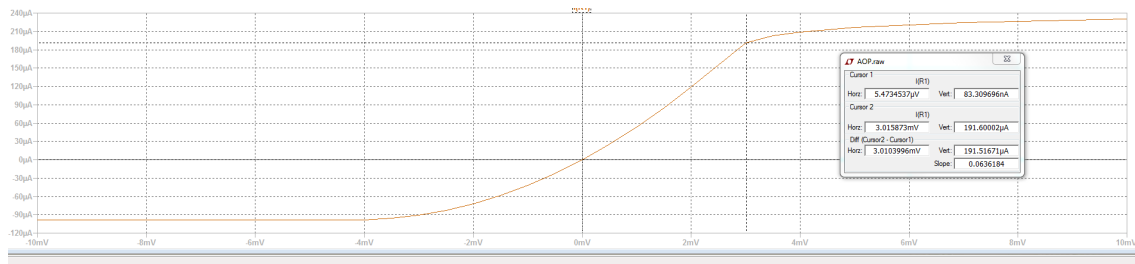


FIGURE 14 – Courant de sortie en fonction de la tension d'entrée

Conclusion

Ces deux séances de travaux de laboratoires nous ont permis de nous initier à la conception d'amplificateurs opérationnels. L'idée principale étant de réaliser un montage permettant de mesurer la différence de tension en entrée, ce qui est réalisé par l'étage 1, et d'amplifier fortement le signal obtenu grâce à l'étage 2.

Le montage obtenu est encore très largement perfectible, comme le montre la figure 14.