

HSC – Hardware/Software Codesign

Vestavěný systém pro filtraci a segmentaci obrazu

Jméno a příjmení: Klára Nečasová

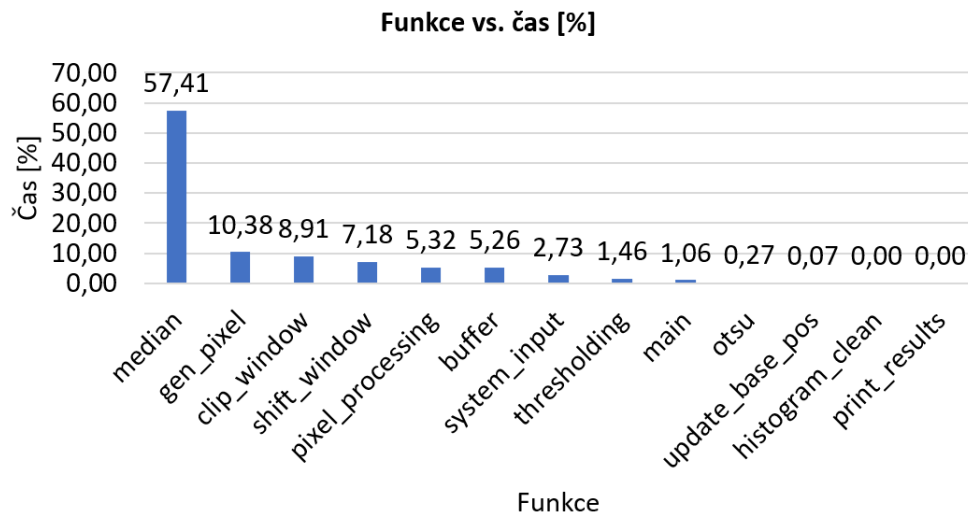
Login: xnecas24

Školní rok: 2017/2018

Výsledky analýzy algoritmu z programu gprof

Tabulka pro jednotlivé funkce udávající, kolik procent času strávil procesor ve funkci z celkové doby výpočtu.

Funkce	Čas [%]
median	57.41
gen_pixel	10.38
clip_window	8.91
shift_window	7.18
pixel_processing	5.32
buffer	5.26
system_input	2.73
thresholding	1.46
main	1.06
otsu	0.27
update_base_pos	0.07
histogram_clean	0.00
print_results	0.00



Vlastnosti obvodu uvnitř FPGA

Komponenta pro filtraci a segmentaci obrazu:

Latency Cycles	Latency Time [ns]	Throughput Cycles	Throughput Time [ns]	Slack [ns]	Initiation Interval
4	160.00	4	160.00	12.14	4

Množství spotřebovaných zdrojů FPGA čipu:

Flip Flops	LUTs	Slices
441 z 1536 (28 %)	1206 z 1536 (78 %)	766 z 768 (99 %)

Porovnání vlastností implementací

	Průměrná doba pro zpracování jednoho pixelu [ns]	Počet bodů zpracovaných za vteřinu [px/s]	Zrychlení
SW	183 000	5464	1
HW/SW	160	6 250 000	1143

Shrnutí

Díky rozdělení implementace systému mezi software (MCU) a hardware (FPGA) se výpočet oproti čistě softwarové implementaci zrychlil 1143 krát. Za úzké místo navrženého systému považují čtení ze sdílené paměti a zápis do sdílené paměti, skrze kterou si FPGA a MCU předávají všechna data. Systém by bylo možné urychlit přesunutím výpočtů do FPGA, čímž by se však zvýšily nároky na počet zdrojů. Tím pádem by byla potřeba větší velikost čipu a cena obvodu by se zvýšila. Dalšího zrychlení systému by šlo dosáhnout zvýšením frekvence, čímž by se však zvýšila spotřeba energie.