

[illegible]

[illegible]

Instruction (condition f=#)	Total AVR cycles used	AVR ns @ 16MHz	NMOS 6502 ns @ 2MHz negative=AVR slower positive=AVR faster	NMOS 6502 cycles	page cross add	ns if page crossed	individual cycles	op_decode **	op_decode_single **	adgen_a	adgen_x, adgen_y	adgen_zxi	adgen_ziy	adgen_zx, adgen_zy	adgen_z	op_fetch	reg_fetch	flags_gen_nz	IRQ_restore	adgen_s_zx, adgen_s_zy	adgen_s_z	store_modify *	store_reg * (label STR_o)	store_reg (label STR_m)
								13	9	7	10	15	15	7	6	5	5	3	4	6	5	8	10	6
ADC abs,y D=0	36	2250,0	-250,0	4	1	250,0	8 13				10					5								
ADC (zp,x) D=0	41	2562,5	437,5	6		437,5	8 13					15				5								
ADC (zp),y D=0	41	2562,5	-62,5	5	1	437,5	8 13						15			5								
ADC zp,x D=0	28	1750,0	250,0	4		250,0	8 13							7										
ADC zp D=0	27	1687,5	-187,5	3		-187,5	8 13								6									
ADC # D=0	21	1312,5	-312,5	2		-312,5	8 13																	
ADC abs D=1	40	2500,0	-500,0	4		-500,0	15 13			7						5								
ADC abs,x D=1	43	2687,5	-687,5	4	1	-187,5	15 13				10					5								
ADC abs,y D=1	43	2687,5	-687,5	4	1	-187,5	15 13				10					5								
ADC (zp,x) D=1	48	3000,0	0,0	6		0,0	15 13					15				5								
ADC (zp),y D=1	48	3000,0	-500,0	5	1	0,0	15 13						15			5								
ADC zp,x D=1	35	2187,5	-187,5	4		-187,5	15 13							7										
ADC zp D=1	34	2125,0	-625,0	3		-625,0	15 13								6									
ADC # D=1	28	1750,0	-750,0	2		-750,0	15 13																	
SBC abs D=0	35	2187,5	-187,5	4		-187,5	10 13			7						5								
SBC abs,x D=0	38	2375,0	-375,0	4	1	125,0	10 13				10					5								
SBC abs,y D=0	38	2375,0	-375,0	4	1	125,0	10 13				10					5								
SBC (zp,x) D=0	43	2687,5	312,5	6		312,5	10 13					15				5								
SBC (zp),y D=0	43	2687,5	-187,5	5	1	312,5	10 13						15			5								
SBC zp,x D=0	30	1875,0	125,0	4		125,0	10 13							7										
SBC zp D=0	29	1812,5	-312,5	3		-312,5	10 13								6									
SBC # D=0	23	1437,5	-437,5	2		-437,5	10 13																	
SBC abs D=1	39	2437,5	-437,5	4		-437,5	14 13			7						5								
SBC abs,x D=1	42	2625,0	-625,0	4	1	-125,0	14 13				10					5								
SBC abs,y D=1	42	2625,0	-625,0	4	1	-125,0	14 13				10					5								
SBC (zp,x) D=1	47	2937,5	62,5	6		62,5	14 13					15				5								

Instruction (condition f=#)	Total AVR cycles used	AVR ns @ 16MHz	NMOS 6502 ns @ 2MHz negative=AVR slower positive=AVR faster										ns if page crossed	page cross add	NMOS 6502 cycles	individual cycles	op_decode **	op_decode_single **	adgen_a	adgen_x, adgen_y	adgen_zxi	adgen_ziy	adgen_zx, adgen_zy	adgen_z	op_fetch	reg_fetch	flags_gen_nz	IRQ_restore	adgen_s_zx, adgen_s_zy	adgen_s_z	store_modify *	store_reg * (label STR_o)	store_reg (label STR_m)
																	13	9	7	10	15	15	7	6	5	5	3	4	6	5	8	10	6
ORA zp	23	1437,5	62,5	3		62,5	4	13					6																				
ORA #	17	1062,5	-62,5	2		-62,5	4	13																									
CMP abs	29	1812,5	187,5	4		187,5	4	13	7					5										5									
CMP abs,x	32	2000,0	0,0	4	1	500,0	4	13		10			5											5									
CMP abs,y	32	2000,0	0,0	4	1	500,0	4	13		10			5											5									
CMP (zp,x)	37	2312,5	687,5	6		687,5	4	13			15		5											5									
CMP (zp),y	37	2312,5	187,5	5	1	687,5	4	13				15	5											5									
CMP zp,x	24	1500,0	500,0	4		500,0	4	13				7																					
CMP zp	23	1437,5	62,5	3		62,5	4	13					6																				
CMP #	17	1062,5	-62,5	2		-62,5	4	13																									
BIT abs	34	2125,0	-125,0	4		-125,0	9	13	7				5																				
BIT zp	28	1750,0	-250,0	3		-250,0	9	13					6																				
CPX abs	29	1812,5	187,5	4		187,5	4	13	7				5																				
CPX zp	23	1437,5	62,5	3		62,5	4	13					6																				
CPX #	17	1062,5	-62,5	2		-62,5	4	13																									
CPY abs	29	1812,5	187,5	4		187,5	4	13	7				5																				
CPY zp	23	1437,5	62,5	3		62,5	4	13					6																				
CPY #	17	1062,5	-62,5	2		-62,5	4	13																									
LDA abs	29	1812,5	187,5	4		187,5	1	13	7				5												5	3							
LDA abs,x	32	2000,0	0,0	4	1	500,0	1	13		10			5												5	3							
LDA abs,y	32	2000,0	0,0	4	1	500,0	1	13		10			5												5	3							
LDA (zp,x)	37	2312,5	687,5	6		687,5	1	13			15		5												5	3							
LDA (zp),y	37	2312,5	187,5	5	1	687,5	1	13				15	5												5	3							
LDA zp,x	24	1500,0	500,0	4		500,0	1	13				7														3							
LDA zp	23	1437,5	62,5	3		62,5	1	13					6													3							
LDA #	17	1062,5	-62,5	2		-62,5	1	13																		3							

Instruction (condition f=#)	Total AVR cycles used	AVR ns @ 16MHz	NMOS 6502 ns @ 2MHz negative=AVR slower positive=AVR faster	NMOS 6502 cycles	page cross add	ns if page crossed	individual cycles	op_decode **	op_decode_single **	adgen_a	adgen_x, adgen_y	adgen_zxi	adgen_ziy	adgen_zx, adgen_zy	adgen_z	op_fetch	reg_fetch	flags_gen_nz	IRQ_restore	adgen_s_zx, adgen_s_zy	adgen_s_z	store_modify *	store_reg * (label STR_o)	store_reg (label STR_m)
								13	9	7	10	15	15	7	6	5	5	3	4	6	5	8	10	6
LDX abs	29	1812,5	187,5	4		187,5	1 13			7						5		3						
LDX abs,y	32	2000,0	0,0	4	1	500,0	1 13				10					5		3						
LDX zp,y	24	1500,0	500,0	4		500,0	1 13							7				3						
LDX zp	23	1437,5	62,5	3		62,5	1 13								6			3						
LDX #	17	1062,5	-62,5	2		-62,5	1 13											3						
LDY abs	29	1812,5	187,5	4		187,5	1 13			7						5		3						
LDY abs,x	32	2000,0	0,0	4	1	500,0	1 13				10					5		3						
LDY zp,x	24	1500,0	500,0	4		500,0	1 13							7				3						
LDY zp	23	1437,5	62,5	3		62,5	1 13								6			3						
LDY #	17	1062,5	-62,5	2		-62,5	1 13											3						
STA abs	30	1875,0	125,0	4		125,0	0 13			7													10	
STA abs,x	33	2062,5	437,5	5		437,5	0 13				10												10	
STA abs,y	33	2062,5	437,5	5		437,5	0 13				10												10	
STA (zp,x)	38	2375,0	625,0	6		625,0	0 13					15											10	
STA (zp),y	38	2375,0	625,0	6		625,0	0 13						15										10	
STA zp,x	25	1562,5	437,5	4		437,5	0 13													6				6
STA zp	24	1500,0	0,0	3		0,0	0 13														5			6
STX abs	30	1875,0	125,0	4		125,0	0 13			7													10	
STX zp,y	25	1562,5	437,5	4		437,5	0 13													6				6
STX zp	24	1500,0	0,0	3		0,0	0 13														5			6
STY abs	30	1875,0	125,0	4		125,0	0 13			7													10	
STY zp,x	25	1562,5	437,5	4		437,5	0 13													6				6
STY zp	24	1500,0	0,0	3		0,0	0 13														5			6
ASL abs	36	2250,0	750,0	6		750,0	3 13			7						5						8		
ASL abs,x	39	2437,5	1062,5	7		1062,5	3 13				10					5						8		
ASL zp,x	31	1937,5	1062,5	6		1062,5	3 13							7								8		

store_reg (label Str_m)	6																							
store_reg * (label Str_o)	10																							
store_modify *	8																							
adgen_s_z	5																							
adgen_s_zx, adgen_s_zy	6																							
IRQ_restore	4																							
flags_gen_nz	3																							
reg_fetch	5																							
op_fetch	5																							
adgen_z	6														6									
adgen_zx, adgen_zy	7													7										
adgen_ziy	15																							
adgen_zxi	15																							
adgen_x, adgen_y	10																							
adgen_a	7																							
op_decode_single **	9																							
op_decode **	13																							
individual cycles																								
ns if page crossed																								
page cross add																								
NMOS 6502 cycles																								
NMOS 6502 ns @ 2MHz negative=AVR slower positive=AVR faster																								
AVR ns @ 16MHz																								
Total AVR cycles used																								
Instruction (condition f=#)																								
ASL zp	30	1875,0	625,0	5		625,0	3	13							6							8		
LSR abs	36	2250,0	750,0	6		750,0	3	13		7						5						8		
LSR abs,x	39	2437,5	1062,5	7		1062,5	3	13			10					5						8		
LSR zp,x	31	1937,5	1062,5	6		1062,5	3	13						7								8		
LSR zp	30	1875,0	625,0	5		625,0	3	13							6							8		
ROL abs	37	2312,5	687,5	6		687,5	4	13		7						5						8		
ROL abs,x	40	2500,0	1000,0	7		1000,0	4	13			10					5						8		
ROL zp,x	32	2000,0	1000,0	6		1000,0	4	13						7								8		
ROL zp	31	1937,5	562,5	5		562,5	4	13							6							8		
ROR abs	37	2312,5	687,5	6		687,5	4	13		7						5						8		
ROR abs,x	40	2500,0	1000,0	7		1000,0	4	13			10					5						8		
ROR zp,x	32	2000,0	1000,0	6		1000,0	4	13						7								8		
ROR zp	31	1937,5	562,5	5		562,5	4	13							6							8		
DEC abs	37	2312,5	687,5	6		687,5	4	13		7						5						8		
DEC abs,x	40	2500,0	1000,0	7		1000,0	4	13			10					5						8		
DEC zp,x	32	2000,0	1000,0	6		1000,0	4	13						7								8		
DEC zp	31	1937,5	562,5	5		562,5	4	13							6							8		
INC abs	37	2312,5	687,5	6		687,5	4	13		7						5						8		
INC abs,x	40	2500,0	1000,0	7		1000,0	4	13			10					5						8		
INC zp,x	32	2000,0	1000,0	6		1000,0	4	13						7								8		
INC zp	31	1937,5	562,5	5		562,5	4	13							6							8		
average			200,6			305,1		**	**													*	*	
							** add 1 cycle if IRQ_DIS_REAL is defined (force atomic instruction timing if interrupts disabled)							* add 2 cycles if ROMMAP is defined (write protected RAM)										