

Projekt Universal Actuator Drive

Dokumentation

Diplomingeniør Elektronik
Bachelorprojekt efterår 2017

Ingeniørhøjskolen Aarhus Universitet
Vejleder: Arne Justesen

19. december 2017

Nicolai H. Fransen
Studienr. 201404672

Jesper Kloster
Studienr. 201404571

Indhold

Indhold	2
1 Kravspecifikation	5
1.1 Load beskrivelse	6
1.1.1 Thermal Knife load	6
1.1.2 Pyro load	6
1.2 Flow diagram	7
1.3 Ikke-funktionelle krav	9
2 Accepttest	10
2.1 Test af ikke-funktionelle krav	10
3 Systemarkitektur	14
3.1 Block Definitions Diagram	14
3.2 Internal Block Diagram	15
3.2.1 Signalbeskrivelse	15
4 Første Iteration	16
4.1 Switch Mode Power-Supply	16
4.2 Buck Converter	17
4.3 Flyback Converter	18
4.3.1 Continuous Conduction Mode	19
4.3.2 Discontinuous Conduction Mode	20
4.4 Ideel transformator	20
4.4.1 CCM	20
4.4.2 DCM	21
4.5 Udgangskondensator	22
4.6 Simulering	22
4.7 Opsummering/Delkonklusion	25
5 Anden Iteration	26
5.1 Transformator	26
5.1.1 Design	27
5.1.2 Simulering	28
5.1.3 Vikling af transformator	31
5.1.4 Realisering	32
5.1.5 Test af transformator	33
5.2 PWM-controller	36
5.2.1 Under Voltage LockOut	38
5.2.2 Switch-frekvens	38
5.2.3 Current sense kredsløb	39
5.2.4 Spændingsregulering	41

5.3	MOSFET	46
5.3.1	Switch-tid	47
5.4	Diode	48
5.5	Udgangskondensator	49
5.5.1	Test af kondensator	49
5.6	Indgangsfilter	51
5.7	Tab	53
5.7.1	Transformator tab	53
5.7.2	MOSFET	56
5.7.3	Diode	57
5.7.4	Oversigt over analyseret tab	58
5.8	Simulering	58
5.8.1	Constant load	59
5.8.2	PWM-controller	61
5.8.3	Spændingsdeler	64
5.8.4	Gain-fase	65
5.8.5	Load step	68
5.8.6	Tab	69
5.9	Realisering	74
5.9.1	Constant load	75
5.9.2	PWM-controller	79
5.9.3	Spændingsdeler	82
5.9.4	Gain-fase måling	83
5.10	Opsummering/del konklusion	87
5.10.1	Transformator	87
5.10.2	Constant load	87
5.10.3	PWM controller	87
5.10.4	Gain-fase	88
5.10.5	Load step	88
5.10.6	Tab	88
6	Tredje Iteration	89
6.1	Switch-tid	89
6.2	Current-sense filter	89
6.3	Snubber-kredsløb	90
6.4	UdgangsfILTER	93
6.5	Gain-fase	94
6.6	Tab	97
6.6.1	MOSFET	97
6.6.2	Snubber-kredsløb	97
6.6.3	Oversigt over simuleret tab	98
6.7	Simulering	99
6.7.1	Switch-tid	99
6.7.2	Current-sense filter	100
6.7.3	Snubber-kredsløb	101
6.7.4	UdgangsfILTER	102

6.7.5	Gain-fase	104
6.7.6	Load step	105
6.7.7	Tab	106
6.8	Realisering	109
6.8.1	Switch-tid	109
6.8.2	Current-sense filter	109
6.8.3	Snubber-kredsløb	110
6.8.4	UdgangsfILTER	111
6.8.5	Gain-fase	112
6.8.6	Load step	113
6.8.7	Tab	115
6.9	Opsummering/Delkonklusion	116
6.9.1	Switch-tid	116
6.9.2	Current-sense filter	116
6.9.3	Snubber-kredsløb	116
6.9.4	UdgangsfILTER	116
6.9.5	Regulering	116
6.9.6	Tab	117
6.9.7	Videreudvikling	117
7	Udført accepttest	118
7.1	Test af ikke-funktionelle krav	118
	Litteraturliste	122

1 Kravspecifikation

Produktets krav er prioriteret ved brug af MoSCoW metoden. Her er kravene inddelt i fire overordnede kategorier, hvor de vigtigste elementer er prioriteret højest. **Must** benævner de krav som skal opfyldes, og som er essentielle for produktets funktionalitet. **Should** er de krav produktet bør opfylde, men udvikling af disse bør først begyndes, når de vigtigere krav er opfyldt. **Could** er krav som produktet evt. skal opfylde, hvis projektets tidsramme tillader det. Dette kan indebære ekstra features, eller optimering af brugervenlighed. **Won't** er krav som ikke vil blive opfyldt, men evt. kan tages med i en videreudvikling af produktet.

Følgende liste viser kravene for projektet:

- | | |
|---------------|---|
| Must | <ul style="list-style-type: none">– Have et funktionsdygtigt power-modul– Have stabil regulering– Underbygges med en P-Spice model |
| Should | <ul style="list-style-type: none">– Have et termisk design, kompatibelt med vakuum– Have overstrømsbeskyttelse på udgangen– Have overspændingsbeskyttelse på udgangen– Ikke påvirke andre moduler ved fejl |
| Could | <ul style="list-style-type: none">– Have programmerbar udgangsstrøm og -spænding– Konstrueres med EEE komponenter |
| Won't | <ul style="list-style-type: none">– Have mulighed for brug til mere end to forskellige typer loads– Have feedback til brugerens når valgt load er aktiveret– Have galvanisk adskillelse |

1.1 Load beskrivelse

I det følgende afsnit beskrives systemets to loads. Hver beskrivelse indeholder en kort beskrivelse af aktørens funktionalitet.

1.1.1 Thermal Knife load

Beskrivelse:

Thermal Knife load er en load type, hvor et varmelegeme opvarmes langsomt. Denne type bruges til at skære reb over, og derved udløse diverse bevægelige dele.

1.1.2 Pyro load

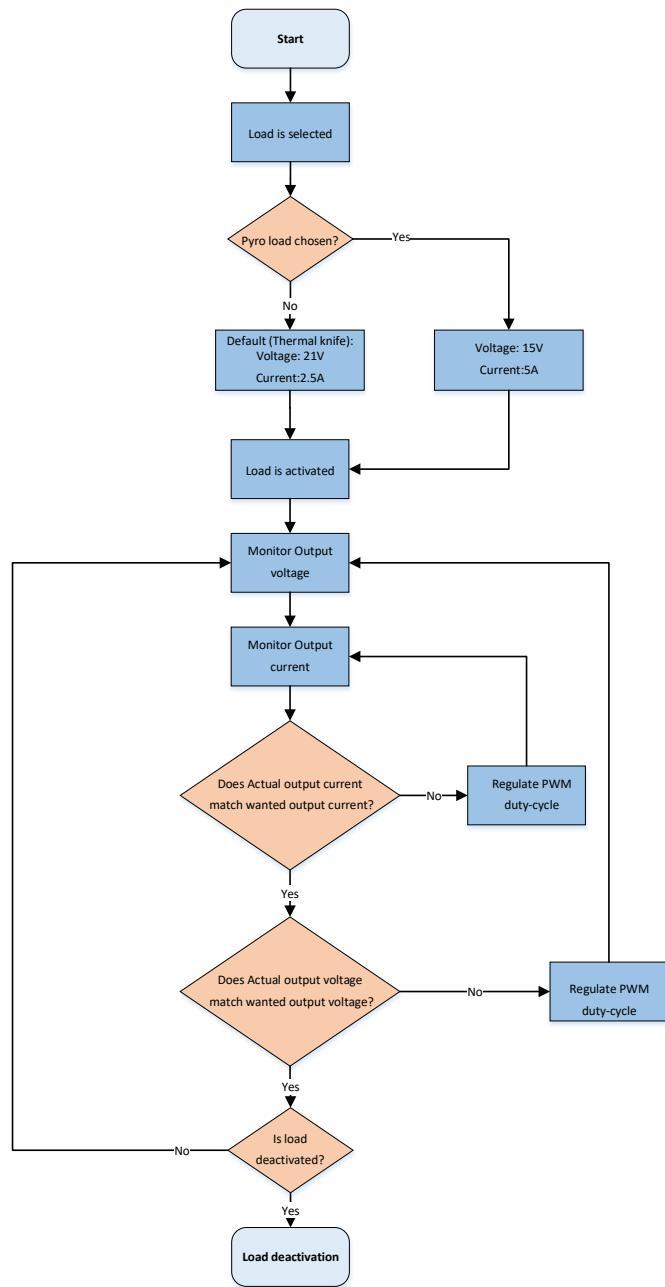
Beskrivelse:

Pyro load er en load type, hvor en glødetråd opvarmes hurtigt. Denne type bruges til at detonere en krudtladning, og derved sprænge en bolt af, som frigør diverse bevægelige dele.

1.2 Flow diagram

I dette afsnit beskrives flowet i systemet vha. et flow diagram. Det opstilles for at give et overblik over systemets flow, og hvilke scenarier, der kan påvirke det.

Starten initieres ved der vælges load type. Som udgangspunkt vælges der mellem Pyro load og Thermal Knife load, som begge er beskrevet i afsnit 1.1. Her kan der tilføjes flere loads, hvis systemet ønskes tilpasset til flere typer. Hvis der ikke vælges en load type, skal systemet, som default, indstilles til Thermal Knife load. Nu bliver systemet initieret, ved at aktivere loaden. Dette starter de to reguleringssløjfer - spændingsreguleringen og strømreguleringen. Begge sløjfer tilpasser PWM-signalets duty-cycle, hvis det faktiske output ikke er lig det ønskede. Til sidst kontrolleres det om loaden skal deaktiveres, eller reguleringen skal fortsætte.



Figur 1.1: Flow diagram over systemet

1.3 Ikke-funktionelle krav

I dette afsnit beskrives produktets ikke-funktionelle krav. Her opstilles f.eks. krav om præcision, effektivitet samt produktets dimensioner.

- Converteren skal kunne operere med en inputspænding mellem 26-50V
- Converteren skal opretholde en outputspænding på 21V, $\pm 2\%$ ved 2,5A $\pm 5\%$
- Converteren skal opretholde en outputstrøm på 5A $\pm 5\%$, ved 15V $\pm 2\%$
- Converteren må maksimalt have en output ripple-spænding på 50mV pk-pk
- Converteren må maksimalt have switching spikes på 100mV pk-pk
- Converteren skal kunne omsætte op til 75W
- Converteren skal operere med et tab på maksimalt 5W
- Converteren skal implementeres i et volumen mindre end 17x75x100mm på forsiden af PCB'et, samt 3x75x100mm på bagsiden af PCB'et
- Converteren skal kunne operere med en omgivelsestemperatur mellem -35°C og 65°C
- Converteren skal have stabil regulering med minimum 10dB gain margin og 50 graders fasemargin ved:
 - 21V/2,5A ved 26V og 50V inputspænding
 - 5A/3Ω ved 26V og 50V indgangsspænding
- Reguleringen skal have en risetime på maksimalt 0,5ms
- Reguleringen skal have et overshoot på maksimalt 5%

2 Accepttest

2.1 Test af ikke-funktionelle krav

Krav	Test	Forventet resultat	Resultat	Vurdering
Converteren skal kunne operere med en inputspænding mellem 26-50V	Indgangsspændingen måles med et voltmeter med en load på 8.4Ω . Der indsættes voltmeter og amperemeter på udgangen	Indgangsspændingen er mellem 26-50V og outputspænding ligger på 21V med en strøm på 2.5A		
Converteren skal oprettholde en outputspænding på 21V $\pm 2\%$ ved 2,5A $\pm 5\%$	Der indsættes en load på 8.4Ω og udgangsstrøm og -spænding måles med oscilloskop	Spændingen ligger på 21V $\pm 2\%$ og strømmen på 2,5A $\pm 5\%$		
Converteren skal oprettholde en outputstrøm op til 5A $\pm 5\%$ ved 15V $\pm 2\%$	Der indsættes en load på 3Ω og udgangsstrøm og -spænding måles med oscilloskop	Spændingen ligger på 15V $\pm 2\%$ og strømmen på 3A $\pm 5\%$		
Converteren må maksimalt have en output ripple-spænding på 50mV pk-pk	Der indsættes en load på 8.4Ω og pk-pk ripple spænding aflæses med oscilloskop over udgangsloaden	Ripple-spændingen på udgangen er under 50mV pk-pk		

Krav	Test	Forventet resultat	Resultat	Vurdering
Converteren må maksimalt have switching spikes på 100mV pk-pk	Der indsættes en load på 8.4Ω og pk-pk switching spikes aflæses med oscilloskop over udgangsloa-den	Switching spikes aflæses til maksimum 100mV pk-pk		
Converteren skal kunne omsætte op til 75W	Der indsættes en load på 3Ω og der måles på osciloskopet om der holdes en spænding på $15V \pm 2\%$ samt en strøm på $5A \pm 5\%$	Der måles en spænding på $15V \pm 2\%$ samt en strøm på $5A \pm 5\%$ hvilket giver 75W		
Converteren skal operere med et tab på maksimalt 5W	Der ind-sættes en load på 8.4Ω Indgangs-spænding og strøm måles og omregnes til effekt. Det samme gøres for udgangs-spænding og -strøm.	De 2 effekter trukket fra hinanden gi-ver maksimalt 5W		
Converteren skal implementeres i et volumen mindre end $17x75x100mm$ på forsiden af PCB'et, samt $3x75x100mm$ på bagsiden af PCB'et	Med målebånd måles dimensionerne af PCB'et først på forsiden og derefter på bagsiden.	Dimensionerne overskri-der ikke $17x75x100mm$ på forsiden af PCB'et og $3x75x100mm$ på bagsiden af PCB'et		

Krav	Test	Forventet resultat	Resultat	Vurdering
Converteren skal kunne operere med en omgivelsestemperatur mellem -35°C og 65°C	Der indsættes en load på 3Ω og der måles på oscilloskopet om der holdes en spænding på 15V ±2% samt en strøm på 5A ±5%. Først testes ved -35°C og derefter ved 65°C	Der måles en spænding på 15V ±2% samt en strøm på 5A ±5% hvilket giver 75W ved begge temperature		
Converteren skal have stabil regulering med minimum 10dB gain og 50 graders fasesmargin ved 21V/2,5A ved en indgangsspænding på 26V	Indgangsspændingen indstilles til 26V og vha. en network analyser genereres et bodeplot ved at måle over loaden.	På bode plottet ses en stabil regulering med 10dB gain og 50 graders fase margin for 26V		
Converteren skal have stabil regulering med minimum 10dB gain og 50 graders fasesmargin ved 21V/2,5A ved en indgangsspænding på 50V	Indgangsspændingen indstilles til 50V og vha. en network analyser genereres et bode plot ved at måle over loaden.	På bode plottet ses en stabil regulering med 10dB gain og 50 graders fase margin for 50V		
Converteren skal have stabil regulering med minimum 10dB gain og 50 graders fasesmargin ved 5A/3Ω ved en indgangsspænding på 26V	Indgangsspændingen indstilles til 26V og vha. en network analyser genereres et bodeplot ved at måle over loaden.	På bode plottet ses en stabil regulering med 10dB gain og 50 graders fase margin for 26V		

Krav	Test	Forventet resultat	Resultat	Vurdering
Converteren skal have stabil regulering med minimum 10dB gain og 50 graders fasesmargin ved 5A/3Ω ved en indgangsspænding på 50V	Indgangsspændingen indstilles til 50V og vha. en network analyser genereres et bodeplot ved at måle over loaden.	På bode plottet ses en stabil regulering med 10dB gain og 50 graders fase margin for 50V		
Reguleringen skal have en risetime på maksimalt 0,5ms	Ved en load på 8.4Ω, udgangsstrøm på 2.5A $\pm 5\%$ og udgangsspænding på 21V $\pm 2\%$ måles risetime med et oscilloskop på udgangen ved et step på indgangen	Der måles en risetime på maksimalt 0,5ms		
Reguleringen skal have et overshoot på maksimalt 5%	Ved en load på 8.4Ω, udgangsstrøm på 2.5A $\pm 5\%$ og udgangsspænding på 21V $\pm 2\%$ måles overshoot med et oscilloskop på udgangen ved et step på indgangen	Der måles et overshoot på maksimalt 5%		

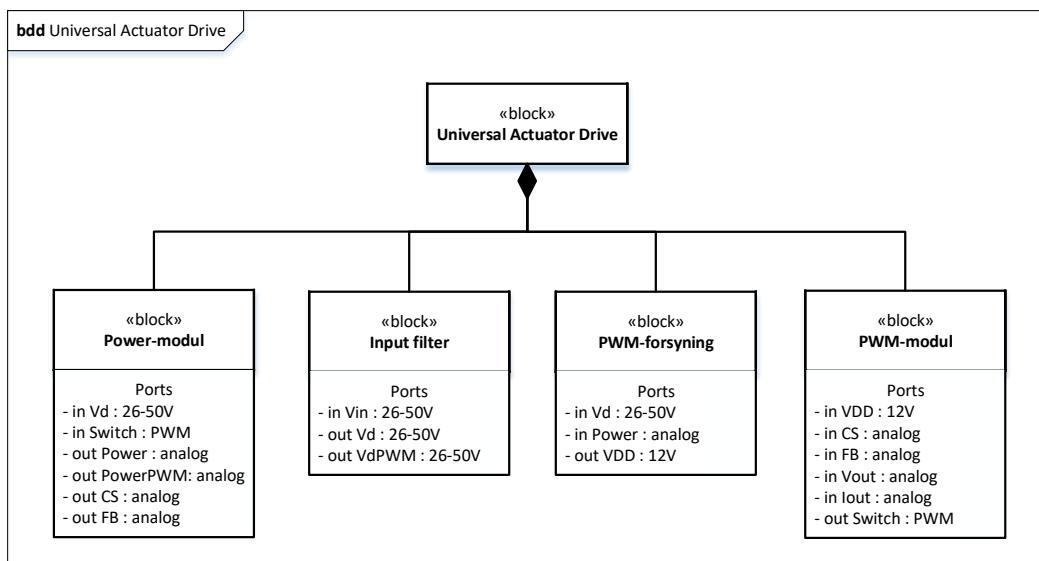
3 Systemarkitektur

Følgende afsnit indeholder SysML BDD og IBD. BDD'et giver overblik over systemets hardwareblokke samt hvilke inputs og outputs hver blok indeholder. IBD'et viser forbindelserne mellem hardwareblokkene samt hvilken vej kommunikationen foregår.

3.1 Block Definitions Diagram

Figur 3.1 viser et Block Definitions Diagram (BDD) over systemet. Det er med for, at give det første overblik over systemet – altså hvad systemet består af.

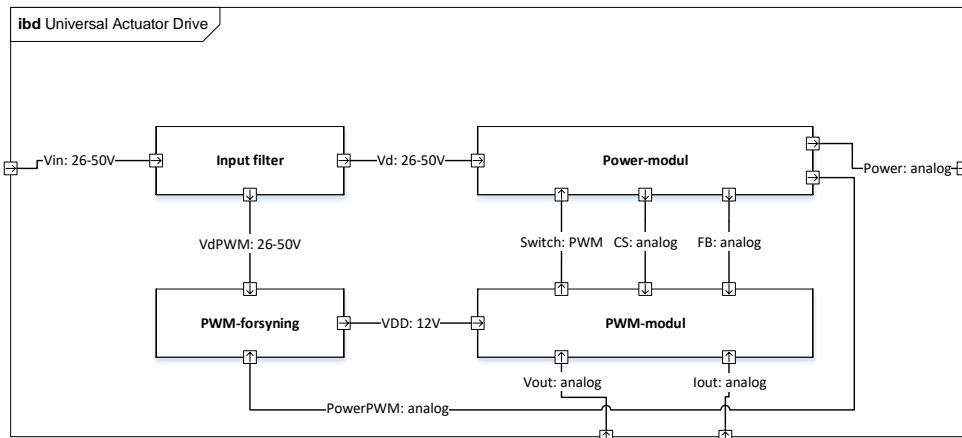
Systemet består af fire hardware blokke – et Inputfilter, et Power-modul, en PWM-forsyning samt et PWM-modul. Inputfilteret bruges til at filtrere støj, der kommer fra inputkilden, og sikrer dermed en stabil inputspænding. Derudover skal det også filtrere støjsignaler, der kan løbe tilbage til kilden. Power-modulet består af selve convertertrinet. Det er i denne blok inputspændingen bliver konverteret om til den korrekte udgangsspænding. PWM-forsyningen står for at forsyne PWM-modulet. Under opstart vil blokken regulere converterens inputspænding ned til den korrekte spænding på 12V. Converterens output vil bruges, når outputspændingen er tilstrækkelig. PWM-modulet står for selve reguleringen af converterens output. Dette sker ved at overvåge både outputspændingen samt peak-strøm i power-modulet, og tilpasse PWM-signalets duty-cycle herefter.



Figur 3.1: BDD

3.2 Internal Block Diagram

Figur 3.2 viser et Internal Block Diagram (IBD) over systemet. Dette er skridtet efter BDD'et, og viser hvordan systemets blokke er forbundet.



Figur 3.2: IBD

3.2.1 Signalbeskrivelse

Tabel 3.1 viser en signalbeskrivelse for systemet. Tabellen indeholder signalets type, navn, og en beskrivelse af signalet.

Signal type	Navn	Beskrivelse
26-50V	Vin	Ufiltreret inputspænding på 26-50V
26-50V	Vd	filtreret inputspænding på 26-50V
26-50V	VdPWM	Input til convertering af PWM-controllerens VDD (under opstart)
15-21V	PowerPWM	Input til convertering af PWM-controllerens VDD (efter opstart)
12V	VDD	12V forsyning til PWM-controller
15-21V	Power	Converterens outputspænding
PWM	Switch	PWM signal til regulering af outputspænding
analog	CS	Analogt signal til monitorering af peak-strøm
analog	FB	Analogt signal til monitorering af outputspænding
Vout	analog	0-5V signal, som sætter ønsket udgangsspænding
Iout	analog	0-5V signal, som sætter ønsket udgangsstrøm

Tabel 3.1: Signalbeskrivelse

4 Første Iteration

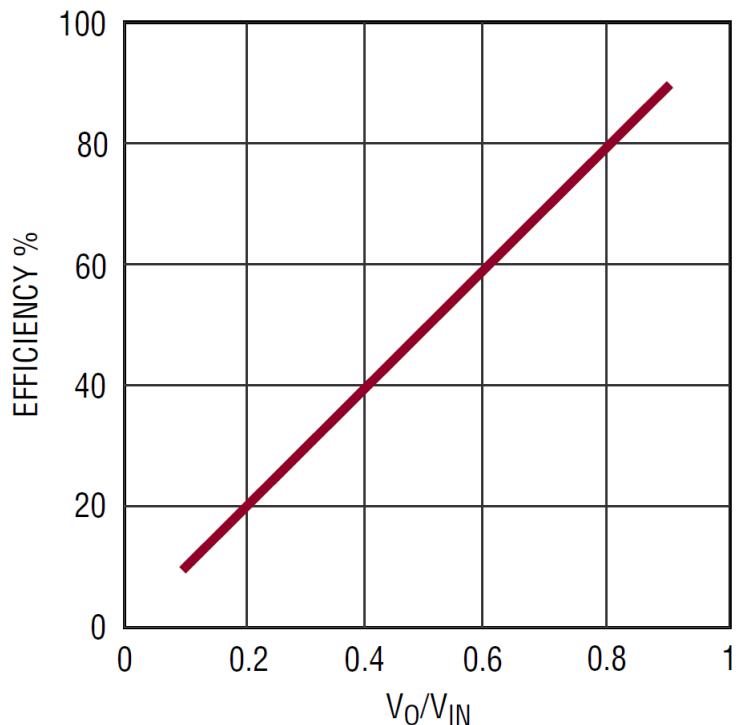
I dette afsnit beskrives den indledende og første iteration af designfasen. Den indebærer valg af converter topologi, samt simulering af en ideel converter.

4.1 Switch Mode Power-Supply

I dette projekt vælges der at tage udgangspunkt i Switch Mode Power-Supply (SMPS). Da der er stillet et krav om et maksimalt tab på 5W, betyder det, ved en maksimal udgangseffekt på 75W, at converteren skal have en effektivitet på:

$$\eta = \frac{75W}{75W + 5W} \cdot 100 = 93.75\% \quad (4.1)$$

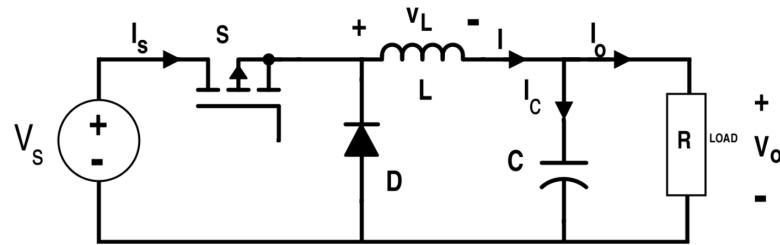
I en lineær converter vil effektiviteten falde hvis udgangsspænding i forhold til indgangsspænding er lav. Med udgangsspænding på 15V ud og 50V ind vil forholdet være 0.3. Det kan aflæses til en effektivitet på maksimum 30% på 4.1. Da dette ikke vil kunne efterleve kravet på 93.75%, udelukkes de lineære convertere. Dette kan til gengæld tilnærmes ved brug af en SMPS. Ved optimering af tabene i converteren, kan man opnå en effektivitet på mere end 90%[1].



Figur 4.1: Maksimal effektivitet fo lineære regulatorer

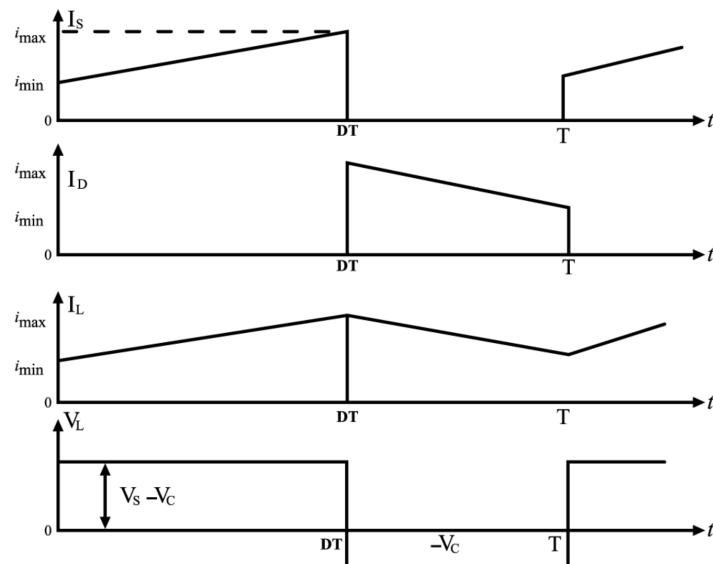
4.2 Buck Converter

En simpel converter der bruges til nedregulering af en spænding, er buck converteren. Den består af en transistor, der er placeret i serie med et lavpas filter, i form af et LC-filter. Derudover er der placeret en diode før filteret, således strømmen i spolen har en løbevej, når transistoren går OFF. Det overordnede kredsløb for en buck converter er vist på figur 4.2.



Figur 4.2: Ideelt diagram af buck converteren [2]

I transistorens ON tid, vil strømmen i spolen, og dermed også strømmen i transistoren, rampe op. Det gør den, da der er en positiv spænding over spolen. Den spænding er $V_L = V_s - V_o$. Når der er et positivt spændingsfald over spolen, vil dioden være forspændt i spærretretningen, og dermed ikke lede en strøm. Når transistoren går OFF, vil strømmen begynde at løbe gennem dioden, da strømmen i en spole ikke kan skifte momentant. Hvis dioden antages ideel, vil spændingen over spolen være lig $V_L = 0 - V_o$. Da dette giver et negativt spændingsfald over spolen, vil strømmen begynde at aflade i den. Strømmene er skitseret på figur 4.3. Her ses det, at der altid løber en strøm i spolen, mens den skiftes til at løbe i transistoren og dioden, afhængig af ON og OFF perioderne.



Figur 4.3: Buck converter strømme [2]

Da strømmen i spolen aldrig når 0A, kaldes denne form for operation Continuous

Conduction Mode, eller CCM. Overføringsfunktionen for en buck converter i CCM er[3]:

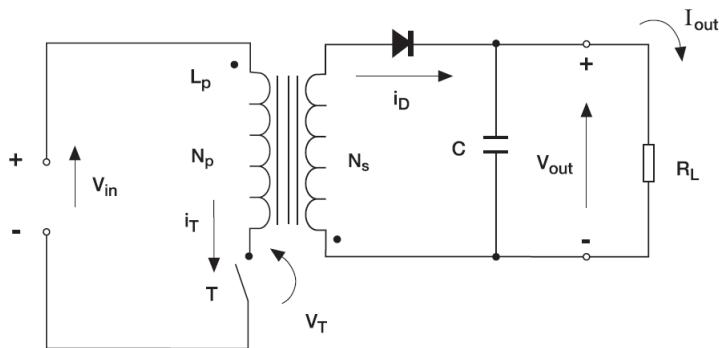
$$V_{\text{out}} = D \cdot V_{\text{in}} \quad (4.2)$$

Converteren skal kunne opretholde en outputspænding på 21V, ved en inputspænding på 26V. Ved at bruge overføringsfunktionen, regnes den maksimale duty-cycle til ca. 80%.

En af fordelene ved buck converteren, er at der altid løber en strøm i spolen. Dette gør, at der kan opnås en lille ripple-strøm i filteret, og derved også et mindre tab, både i spolen og kondensatoren. En af ulempene, er at transistoren sidder i den positive forsyningslinje. Dette kan give komplikationer ved switching af transistoren. Hvis der vælges en p-kanals MOSFET, skal der vælges en PWM-controller der kan håndtere switching af denne. Hvis der vælges en n-kanals MOSFET, skal gate signalet være større end forsyningen, før MOSFET'en er helt ON. Dette kræver flere komponenter, og vil derfor helst undgås. På grund af dette problem undersøges der en converter topologi, hvor MOSFET'en ikke sidder i den positive forsyningslinje.

4.3 Flyback Converter

Flyback converteren, er en transformator baseret topologi. Man deler converteren op i to dele: Primær- og sekundærsiden. Primærsiden består af primærviklingen af transformatoren og en transistor, hvor transistoren fungerer som en switch. Sekundærsiden består af sekundærviklingen, en diode, en udgangskondensator og belastningen. Dette er vist på figur 4.4. En af fordelene ved, at bruge flyback converteren, er at der kan opnås galvanisk adskillelse mellem primær- og sekundærsiden af transformatoren, samt MOSFET'ens source er forbundet til GND. Derudover bruges der det samme antal komponenter, som ved buck converteren. Ved andre transformator baserede topologier vil antallet af komponenter være højere.



Figur 4.4: Ideelt diagram af flyback converteren [4]

Flyback converteren bruges til, at konvertere en indgangsspænding, ned til en mindre udgangsspænding. Dette gøres ved at styre transistoren med et PWM-signal, med en variabel duty-cycle. Når den er ON, vil der være en positiv spænding ved prik-enden af viklingen ift. den anden ende. Ud fra formlen $V = L \cdot \frac{di}{dt}$ kan det ses, at når der ligger en spænding over viklingen, vil strømmen i transformatoren stige lineært, over den

tid transistoren er ON. Når transistoren går OFF, vil den magnetiske strøm i transformatoren inducere en spænding over sekundærviklingen. Dette vil vende polariteten i transformatoren, således der er en prik ved henholdsvis transistoren og dioden. Nu er dioden forspændt i lederetningen, hvilket vil lade energien i transformatoren aflade ud i sekundærviklingen. Da spændingen over sekundærviklingen er positiv ved prikken, og dermed modsat af primærviklingen, vil strømmen falde lineært ud fra samme forhold, som nævnt tidligere. Dette vil over tid skabe en trekantet kurveform af den samlede strøm i transformatoren.

Et eksempel på dette kan ses på figur 4.5. Da strømmen i hver vikling er diskontinuert, vil det give anledning til større peak-strømme. Det er maksimalt 50% af tiden der løber en strøm i viklingen. Det giver en større peak-strøm, i forhold til buck converteren, for at kunne opretholde den samme middelstrøm.

Flyback converteren kan overordnet drives på to forskellige måder, Continuous Conduction Mode (CCM) og Discontinuous Conduction Mode (DCM). Disse to måder har forskellige fordele og ulemper, som skal tages højde for, inden der vælges hvordan converteren skal drives.

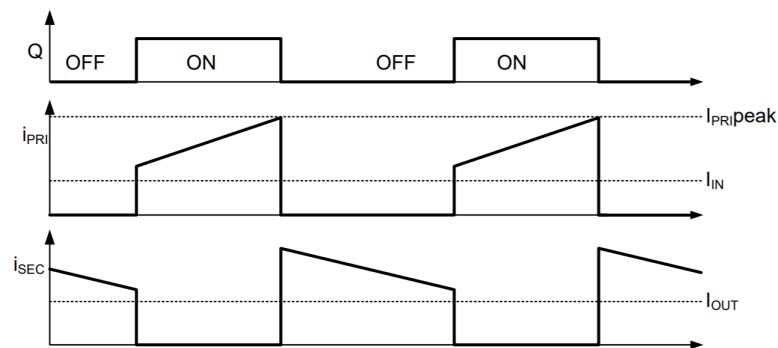
4.3.1 Continuous Conduction Mode

Forkellen ved CCM og DCM ligger i hvordan strømmen løber i transformatoren. Ved CCM vil der altid løbe en strøm i transformatoren, som der også ligger i navnet. Dog vil strømmene individuelt i viklingerne være diskontinuerte. Strømmen er skitseret på figur 4.5. Skal man have den samlede strøm i transformatoren, skal de to kurver for primær- og sekundærviklingen samles. Dette er fordi der kun løber en strøm i primærviklingen når transistoren er ON, og en strøm i sekundærviklingen når transistoren er OFF.

Overføringsfunktionen for en flyback converter i CCM er[3]:

$$V_{\text{out}} = \frac{N_S}{N_P} \cdot \frac{D}{1-D} \cdot V_{\text{in}} \quad (4.3)$$

Ud fra overføringsfunktionen ses det, at udgangsspændingen både afhænger af duty-cyclen, og af omsætningsforholdet i transformatoren.



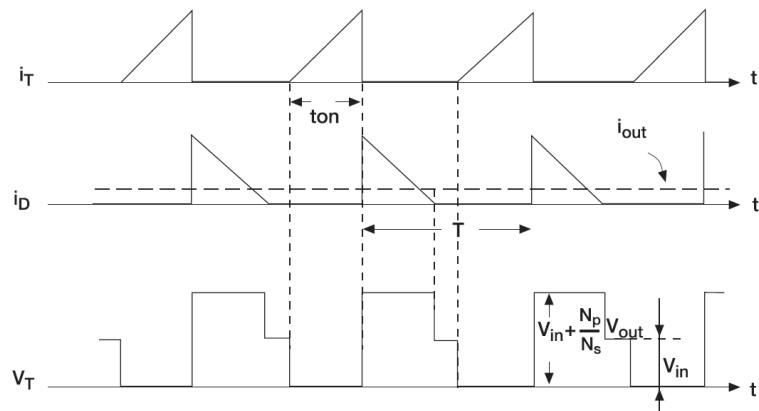
Figur 4.5: CCM transformator strømme

En af fordelene ved CCM er, at strømmen i transformatoren ikke når at aflade helt, inden transistoren går ON igen. Dette giver lavere ripple-strømme, og dermed også peak-

strømme, hvilket giver anledning til et mindre effekttab. På grund af den mindre ripplestrøm i transformatoren, opnås der også en mindre ripplespænding på udgangen, hvilket sætter et mindre krav til udgangskondensatoren.

4.3.2 Discontinuous Conduction Mode

Den anden måde at drive converteren på er DCM. Ved denne metode vil der være en død tid i hver periode, hvor der ikke løber en strøm i transformatoren. Dette betyder at transformatoren når at aflade helt, inden switch-perioden er ovre. Til forskel fra CCM, vil dette give nogle trekantede strømkurver i transformatoren, som ses på figur 4.6. På grund af død tiden, vil peak-strømmene blive større, da arealet under kurven skal være det samme som ved CCM, for at kunne opretholde den samme udgangsstrøm. Fordelen ved at di bliver større, er at induktansen i viklingerne bliver mindre. Tilgengæld giver det anledning til større tab, da både peak- og ripple-strømmene bliver større.



Figur 4.6: DCM transformator strømme [4]

4.4 Ideel transformator

Der vælges at arbejde videre med en flyback converteren, pga. komplikationerne ifm. switchingen af MOSFET'en ved buck converteren. Der regnes strømme i transformatoren for både CCM og DCM, for derefter, at vurdere forskellene mellem de to metoder.

Der tages udgangspunkt i en converter der, ved en input spænding på 26V – 50V, skal kunne opretholde en udgang på 21V og 2.5A. Derudover antages det, at transformatoren har et omsætningsforhold på 1.

4.4.1 CCM

Først beregnes den maksimale og minimale duty-cycle:

$$D_{\max} = \frac{V_{out}}{V_{in\min} + V_{out}} = 0.447 \quad (4.4)$$

$$D_{\min} = \frac{V_{out}}{V_{in\max} + V_{out}} = 0.296 \quad (4.5)$$

Herefter findes ripplestrømmen, som skal løbe i transformatoren. Her er der taget udgangspunkt i, at designe den efter 60% af udgangsstrømmen[5]. Dette er et tradeoff mellem størrelsen på ripplen og hvor høj en induktans der fås i viklingerne. Større induktans kræver flere vindinger og giver dermed mere tab.

$$I_{\text{ripple}} = 0.6 \cdot \frac{V_{\text{out}} \cdot I_{\text{out}}}{V_{\text{in maks}} \cdot D_{\text{min}}} = 2.13A \quad (4.6)$$

Den nødvendige induktans det kræver for at transformatoren kan rampe op til den nødvendige strøm inden for dutycyclen, udregnes herunder[5]. Med i udregningen er switchfrekvensen, som her er valgt til 100kHz. Da omsætningsforholdet i transformatoren er sat til 1, betyder det at $L_p = L_s$.

$$L = \frac{V_{\text{in min}} \cdot D_{\text{min}}}{I_{\text{ripple}} \cdot f_s} = 69.43\mu H \quad (4.7)$$

Med induktansen kan ripplestrømmen for minimum indgangsspænding og maksimum dutycycle findes. Det er ved denne indgangsspænding og dutycycle de maksimale peak- og RMS-strømme estimeres.

$$I_{\text{ripple}} = \frac{V_{\text{in min}} \cdot D_{\text{max}}}{L \cdot f_s} = 1.67A \quad (4.8)$$

Ved peak average strømmen ses strømmen i primærviklingen som en middelværdi og dermed en konstant værdi over en periode. Det er altså en estimering hvor det forventes, at der rampes lineært fra minimum strøm til peak strøm i løbet af en periode.

$$I_{\text{pkavg}} = \frac{I_{\text{out}}}{1 - D_{\text{maks}}} = 4.52A \quad (4.9)$$

Da ripplen er kendt, må peaken kunne findes ved at den halve ripple bliver lagt oveni den netop beregnede peak average strøm.

$$I_{\text{pk}} = I_{\text{pkavg}} + \frac{I_{\text{ripple}}}{2} = 5.58A \quad (4.10)$$

Nu beregnes RMS-strømmene i både primær- og sekundærviklingerne. Her bruges peak average strømmen i anden ganget med dutycyclen[6].

$$I_{\text{RMSp}} = \sqrt{D_{\text{maks}} \cdot (I_{\text{pkavg}})^2} = 3.02A \quad (4.11)$$

$$I_{\text{RMSS}} = \sqrt{(1 - D_{\text{maks}}) \cdot (I_{\text{pkavg}})^2} = 3.36A \quad (4.12)$$

4.4.2 DCM

Nu foretages strømberegninger for en flyback converter i DCM. Kigges der ved boundary, hvilket er det punkt hvor transformatoren lige præcis når at aflade i en switch periode, så er overføringsfunktionen for CCM og DCM den samme. Det vil sige de samme D_{maks} og D_{min} benyttes. Ved denne boundary kan peak-strømmen udregnes. Udregning af strømmen ved boundary kan estimeres til at regne i lige store trekantede. Her vil

peaken være højden af trekanten og $1 - D_{maks}$ er længden af trekanten på sekundær siden. Ganges dette med en halv fås arealet af trekanten, som skal give de 2.5A. Isoleres peak strømmen istedet i den udregning fås den til:

$$I_{pk} = I_o \cdot \frac{2}{1 - D_{maks}} = 9.04A \quad (4.13)$$

Da transformatoren når at aflade ved DCM, er ripple-strømmen lig peak-strømmen:

$$I_{ripple} = I_{pk} = 9.04A \quad (4.14)$$

Induktansen i primærviklingen beregnes igen ud fra ligning 4.15. Da peak-strømmen, og dermed også ripple-strømmen er regnet ved boundary, betyder det, at der regnes en maksimal induktans, for hvor converteren stadig opererer i DCM.

$$L = \frac{V_{in\min} \cdot D_{\min}}{I_{ripple} \cdot f_s} = 12.85\mu H \quad (4.15)$$

Da induktansen er en maksimal værdi, skal man ligge med en vis margin til denne, for at sikre, at converteren opererer i DCM. Hvis induktansen i viklingerne mindskes, vil man opnå en endnu større peak-strøm i transformatoren. Med en ripple-strøm på minimum 9.04A, vurderes det at effektabene ved at operere i DCM, vil blive for store. Derfor vil der fremadrettet arbejdes videre med en flyback converter i CCM.

4.5 Udgangskondensator

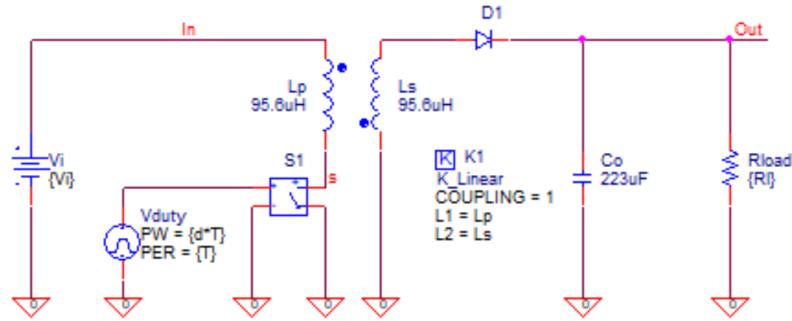
I en flyback converter bruges udgangskondensatoren primært til at mindske ripplespændingen på load'en. Formlen for at beregne minimumskapaciteten ses nedenfor. Her bruges kravet til 50mV pk-pk som output spændingsripple[5].

$$C_{out} \geq \frac{I_{out} \cdot D_{maks}}{V_{ripple} \cdot f_s} \geq 223.4\mu F \quad (4.16)$$

Udover at mindske ripplespændingen påvirker kondensatoren hvordan converteren reagerer på en ændring af load strømmen. Når MOSFET'en er on, vil der ikke løbe en strøm i dioden, og det er derfor kondensatoren, der skal leverere strømmen til loaden. Når MOSFET'en er off, leverer kommer strømmen til loaden gennem dioden, mens den også oplader kondensatoren igen. Derudover er den, sammen med load modstanden, en del af den dominérende pol i convertertrinet. Disse egenskaber vil blive uddybet nærmere i de følgende iterationer.

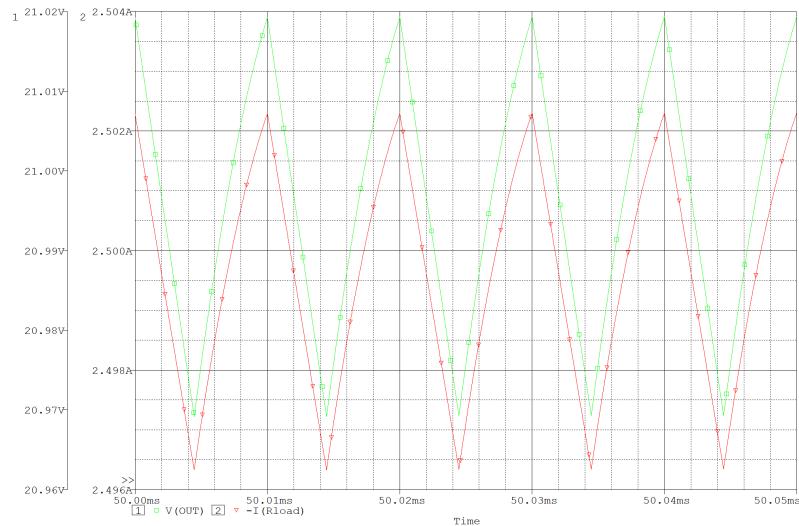
4.6 Simulering

Med udgangspunkt i figur 4.4 opsættes en ideel flyback converter i p-spice. Dette er gjort på figur 4.7. Converteren er sat op med en ideel transformatorkobling, et ideelt switching element, samt en ideel diode, for at få et indblik i flyback converterens virkemåde.



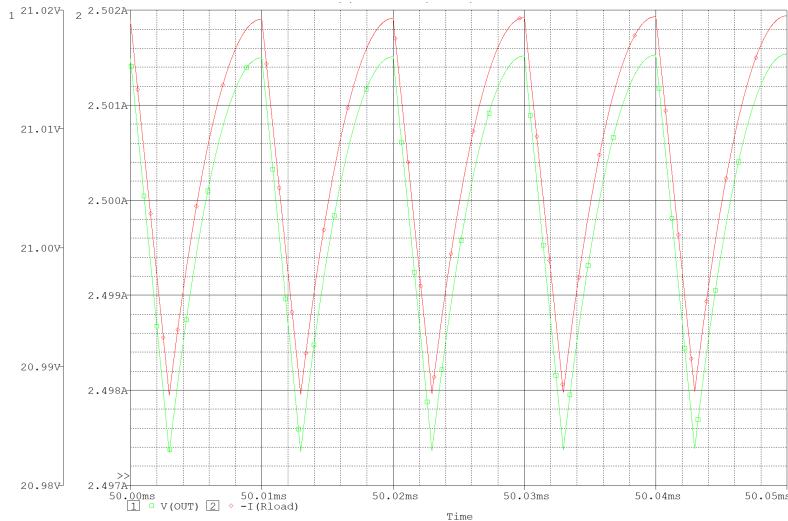
Figur 4.7: Ideelt flyback kredsløb

Der er to scenarier, der er relevante at kigge på, ved en indgangsspænding på 26V samt en indgangsspænding på 50V. Først kigges der på udgangen af converteren, for at kontrollere udgangsstrømmen og -spændingen. På figur 4.8 ses både outputstrømmen (rød) og -spændingen (grøn), med en inputspænding på 26V. Her ses det, at spændingen ligger sig omkring 21V og strømmen ligger sig omkring 2.5A, hvilket var kravet til converteren. Derudover aflæses ripplespændingen til ca. 50mV, hvilket overholder kravet for ripplespændingen.



Figur 4.8: Converter output - ved 26V input

På figur 4.9 ses det samme billede, ved 50V inputspænding. Da converterens duty-cycle er faldet, falder ripple-spændingen også. Den aflæses til ca. 33mV.

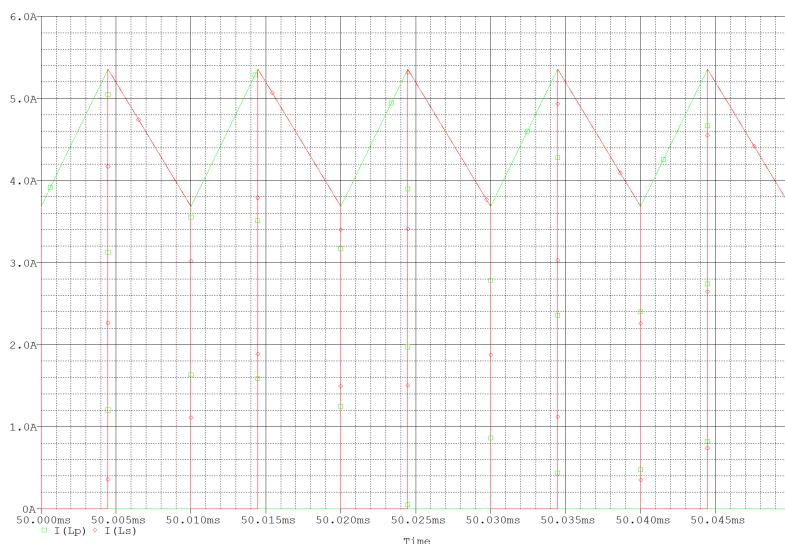


Figur 4.9: Converter output - ved 50V input

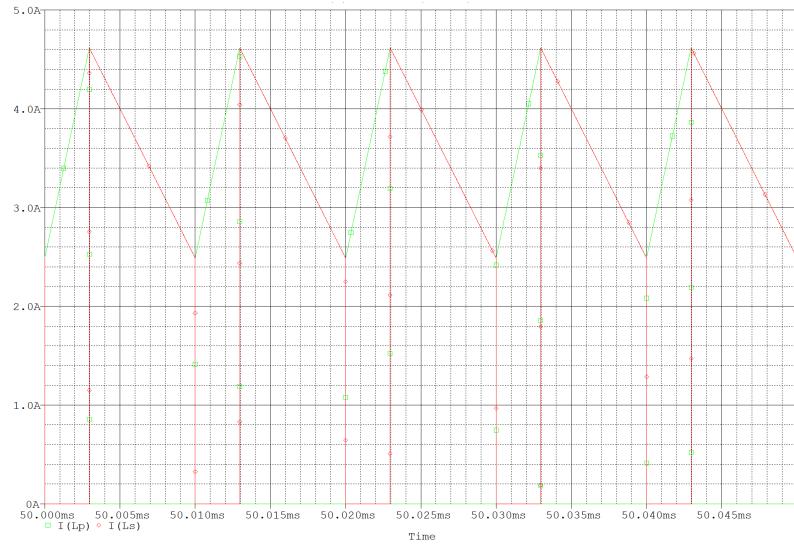
I tabel 4.1 ses resultaterne for analyse(A) og simulering(S) af den ideelle converter. Ripple- og peak-strømmene er aflæst ud fra figur 4.10 og 4.11. RMS-strømmene findes ved, at bruge RMS-funktionen i p-spice. Derudover kan det konstateres, at converteren opererer i CCM, da transformatorstrømmen ikke når at aflade helt. Se figur 4.5.

Indgangs-spænding	Ripple-strøm		Peak-strøm		RMS-strøm i primær		RMS-strøm i sekundær	
	A	S	A	S	A	S	A	S
26V	1.67A	1.66A	5.36A	5.35A	3.02A	3.08A	3.36A	3.33A
50V	2.13A	2.11A	4.62A	4.61A	1.93A	1.98A	2.98A	3.01A

Tabel 4.1: Resultater for analyse og simulering af ideel flyback converter



Figur 4.10: Transformator strømme - ved 26V input



Figur 4.11: Transformator strømme - ved 50V input

4.7 Opsummering/Delkonklusion

Under første iteration er der undersøgt forskellige slags converter-typologier og set på fordele og ulemper for dem. Til dette projekt, er der valgt at arbejde videre med en flyback converter. Desuden er det bestemt, at converteren skal køres i CCM, da tabene mindskes grundet den mindre peak-strøm. Desuden er det beregnet og simuleret, at converteren ideelt set fungerer som forventet.

5 Anden Iteration

I dette afsnit beskrives 2. iteration af design- og implementeringsfasen. Den indebærer design og vikling af transformator samt valg af resterende komponenter i kredsløbet. Yderligere realiseres og testes hele kredsløbet for første gang i 2. iteration.

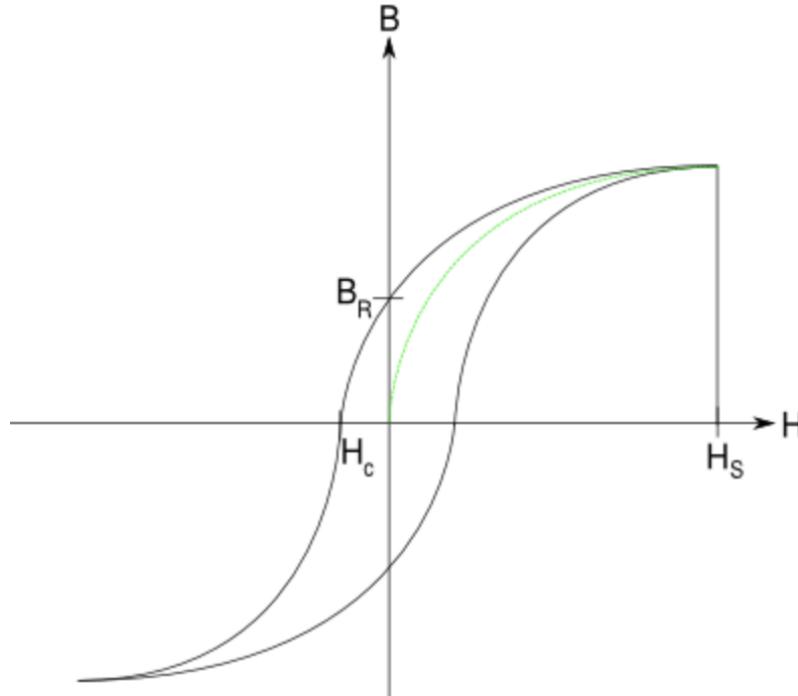
5.1 Transformator

Transformeren fungerer anderledes ved en flyback end ved de fleste andre SMPS, hvor der løber en strøm i de primære og sekundære viklinger på samme tid. Det er ikke tilfældet ved en flyback konstruktion. Her løber strømmen kun i en vikling af gangen. Når MOSFET'en er ON, vil strømmen igennem den primære vikling rampe op i forhold til indgangsspændingen og induktansen i viklingen. Pga. dioden og polariteten af den sekundære vikling, vil der på dette tidspunkt, ikke løbe en strøm i viklingen. Når transistoren går OFF falder strømmen i den primære vikling til 0, som får spændingerne over viklingerne til at skifte polaritet. Med en modsat polaritet på sekundærsiden, kan der nu løbe en strøm gennem dioden[6].

Normalt kan energien fra den primære vikling transformeres direkte over i den sekundære vikling, da der løber en strøm på samme tid. Da det ikke er tilfældet ved flyback, kræver konstruktionen, at transformatoren kan opbevare energien fra den primære vikling, indtil det kan transformeres over i den sekundære vikling. Det gør, at der i transformatoren er behov for et luftgab i kernen, for transformatoren ikke skal gå i mætning. Luftgabet vil generere en større magnetisk modstand i kernen. Når den magnetiske modstand stiger, vil det blive muligt at opbevare en større energi i kernen, uden den går i mætning.

Det er flux-ændringen i kernen, der sørger for, at der induceres en spænding over i den sekundære vikling. Det vil sige, at der er behov for at fluxen i kernen ændrer sig forholdsvis lineært, hvilket sker når der ligger en konstant spænding over viklingen. Kernen siges at have fået mætning, når en ændring i H-feltet ikke længere ændrer lineært på fluxen.

For at sikre transformatoren ikke går i mætning, bruges hysteresekurven (ses på figur 5.1) som plotter H-feltet på x-aksen og B-feltet op ad y-aksen. Her skal det undgås at transformatoren kommer til at blive vandret i top og/eller bund, da det er her, at transformatoren går i mætning. Yderligere fås et overblik over selve transformatortabet ud fra samme kurve. Det areal, som kurven indeholder, er nemlig tabet i transformatoren per switch-periode. Det betyder ligeledes, at kernetabet bliver større, jo højere switch frekvens der benyttes.



Figur 5.1: Hysteresekurve

Effektiviteten i transformatoren betegnes, ved koblingen mellem primær- og sekundærviklingerne. Den manglende kobling skyldes, det ikke er hele magnetfeltet der vil blive induceret i kernen. Det vil i stedet blive spredt ud i luften, og bliver derfor betegnet som spredningsselvinduktionen i transformatoren. Spredningsselvinduktionen er unik for transformatoren, og afhænger meget af hvordan den vikles.

5.1.1 Design

Først og fremmest skal ripplestrømmen, som der løber i transformatoren bestemmes. Dette er gjort i 1. iteration, hvor ripplestrømmen blev bestemt til $I_{\text{ripple}} = 2.13A$.

Dernæst skal den nødvendige induktion det kræver for, at transformatoren kan rampe op til den nødvendige strøm, inden for duty-cyclen udregnes. Dette er også gjort i 1. iteration hvor $L = 69.43\mu H$.

Som beskrevet tidligere skal kernen kunne opbevare den energi som kommer fra primær viklingen, når transistoren er on, for at undgå mætning. Mængden af energi i primærviklingen udregnes ved:

$$E = \frac{1}{2} \cdot L \cdot I_{pk}^2 = 1.083mJ \quad (5.1)$$

For at beregne den tilladelige mængde energi der kan oplagres i transformatoren, skal kernen og kernematerialet kendes. Valget er her faldet på en RM8 kerne[7] og materialet 3f3[8]. RM8 kernens mål gør, at den lige akkurat kan være på printet højdemæssigt. Derudover har Terma tidligere brugt RM8 kerner med 3f3 og har nogle mere præcise mål på A_L og luftgab, end det oplyste i datasheets'ne. Det er essentielt for præcisionen af en fremtidig simulering, at det korrekte luftgab bruges, for at kunne sammenholde simulering og realisering.

Den effektive volumen, V_e , aflæses for RM8. På databladet for 3f3 aflæses et maks peak af B-feltet til lidt over 300mT. Hvis der designes efter, at transformatoren vil opnå med et højere B-felt, vil det risikeres at kernen går i mætning. Derfor vælges det, at designe med en $B_{maks} = 250$ mT, da det vil sikre en god margin til mætning. Yderligere findes permeabiliteten for 3f3 materialet uden luftgab. Med disse oplysninger vil transformatoren kunne opbevare følgende energi:

$$E_{kern} = \frac{1}{2} \cdot \frac{1}{\mu_e} \cdot B^2 \cdot V_e = 53\text{pJ} \quad (5.2)$$

Det er tydeligt at den nødvendige energi på ingen måde kan opbevares i kernen. Da ferrit kan opbevare så lidt energi som det er tilfældet, kan det estimeres at al energien vil blive opbevaret i det luftgap, der designes. Derfor kan permeabiliteten ses som μ_0 i den nye beregning. Den effektive volumen deles op i luftgab og A_L , så luftgabet kan isoleres. Med dette kan luftgabet beregnes:

$$l_g = \frac{L \cdot I_{pk}^2 \cdot \mu_0}{B^2 \cdot A_0} = 690.98\mu\text{m} \quad (5.3)$$

Med den ripplestrøm der i første omgang er benyttet, skal der bruges et luftgab på ca. 691μm. Den nærmeste luftgab værdi for 3f3 ligger på 488μm hvilket giver en A_L på 160nH. (Dette er ikke databladets værdi, men en værdi der er blevet givet fra Terma, som har testet databladets værdier til ikke at være korrekte.) Med det udregnede luftgab, beregnes den tilhørende induktion i transformatoren.

$$L_1 = \frac{l_g \cdot B^2 \cdot A_0}{I_{pk}^2 \cdot \mu_0} = 49.035\mu\text{H} \quad (5.4)$$

Med kendt A_L og induktion kan vindingstallet beregnes. Da der i 2. iteration bruges en 1:1 transformator er dette både for primær- og sekundærvikling:

$$N = \sqrt{\frac{L_1}{A_L}} = 17.5 \approx 18 \quad (5.5)$$

Det passer fint med 18 viklinger på hver side, hvor induktansen igen bliver lidt anderledes når vindingstallet rundes op.

$$L_2 = N^2 \cdot A_L = 51.84\mu\text{H} \quad (5.6)$$

Med fastlagt induktans kan ny ripple- og peak strøm beregnes.

$$I_{ripple} = \frac{V_{in,min} \cdot D_{max}}{L_2 \cdot f_s} = 2.24\text{A} \quad (5.7)$$

$$I_{pk} = \frac{V_{out} \cdot I_{out}}{V_{in,min} \cdot D_{maks}} + \frac{I_{ripple}}{2} = 5.64\text{A} \quad (5.8)$$

5.1.2 Simulering

I Pspice er kernen og materialet simuleret, hvor resten af kredsløbet har været med ideelle komponenter, for at kontrollere strømme og B-H kurve. Her ses den pspice-model af kernematerialet som bruges:

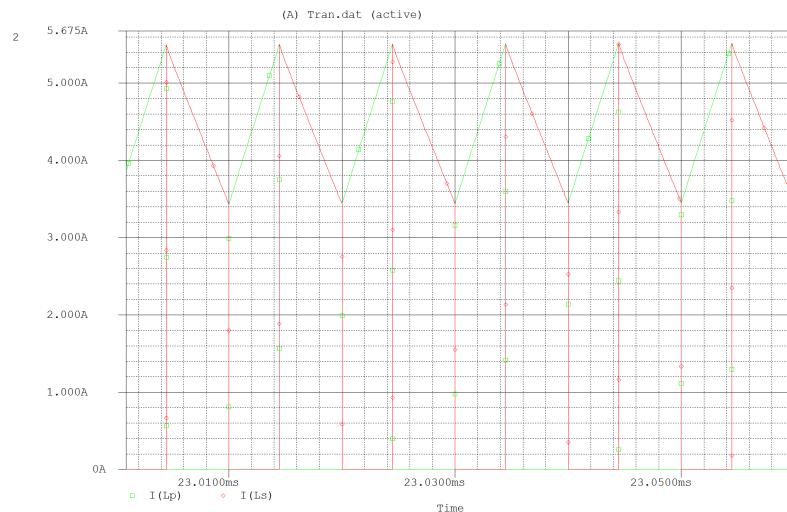
```

* RM8_3D3 CORE model
* updated using Model Editor release 9.1 on 07/29/99 at 11:38
* Model Editor is a Cadence Design Systems product.
.MODEL RM8_3D3 CORE
+ GAP=0.0488
+ MS=390.89E3
+ A=29.666
+ C=.17883
+ K=19.204
+ AREA=.630
+ PATH=3.84

```

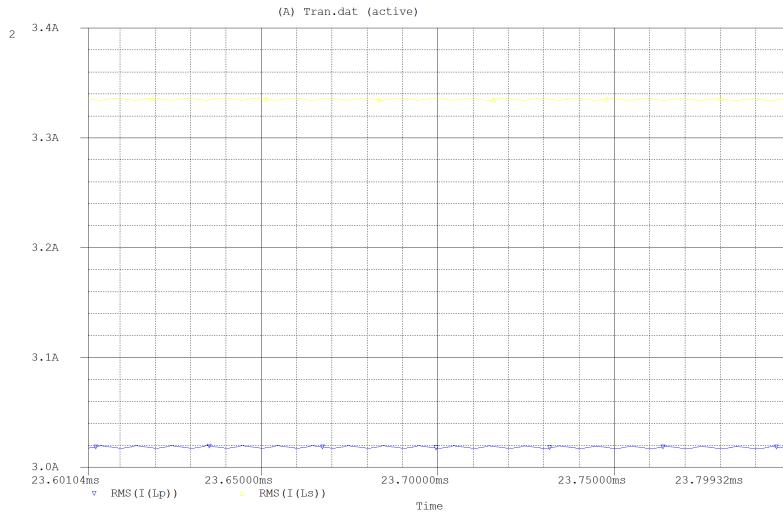
Figur 5.2: Kernemodel for RM8 3f3

Kernemodellen for en 3f3 kerne er indsat, hvor det udregnede luftgab også er indtastet. Derudover er der 18 vindinger på primær og sekundærspole. Ellers ingen ændringer i forhold til den rent ideelle simulering. Først ses simuleringen af strømmene i transformatoren på primær og sekundær side.



Figur 5.3: Strøm i primær- og sekundærvikling

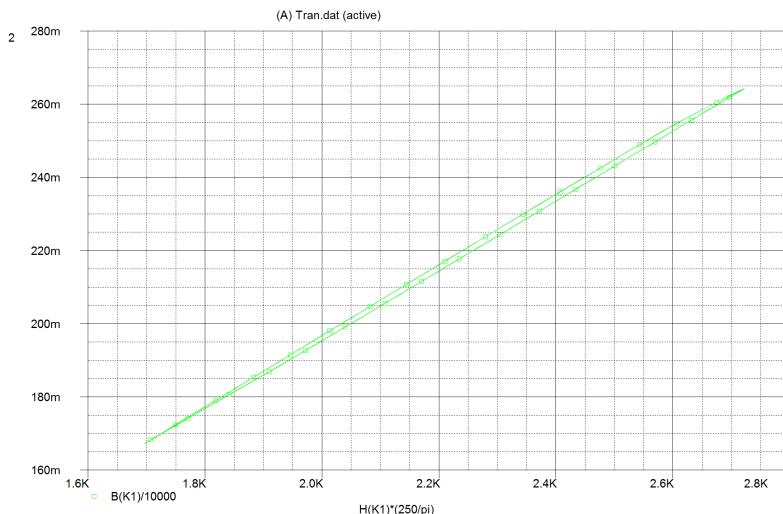
Det ses tydeligt, at der som ventes køres i CCM, da ripplestrømmene ikke når ned til 0. Ripple- og peak strøm er, som det ses, ens for primær og sekundær, og aflæses til hhv. 2.1A og 5.5A. Det passer fint med det udregnede på 2.24A og 5.64A. På figur 5.4 ses RMS strømmene:



Figur 5.4: RMS strømme i transformator (blå=primær og gul=sekundær)

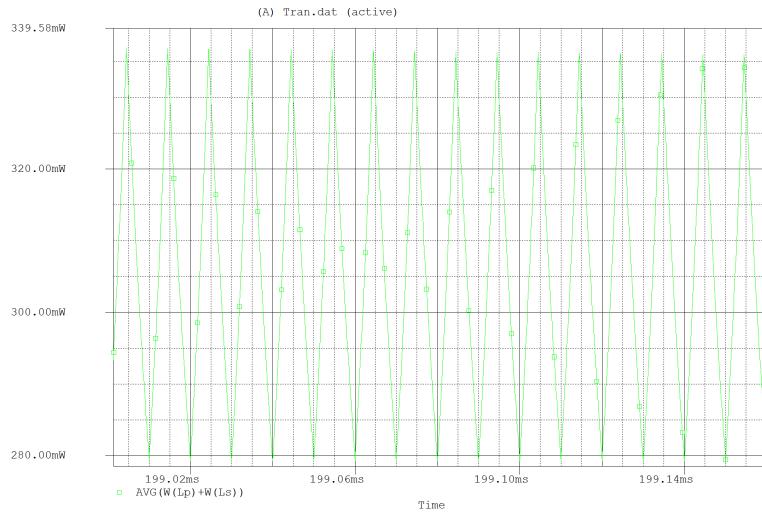
Her aflæses den RMS-strømmen i primærviklingen til 3.01A og i sekundærviklingen til 3.33A, hvilket igen stemmer godt overens med det beregnede på 3.02A og 3.36A.

Herefter kigges på hysteresekurven, og sikres at den ikke kommer langt over de 250mT, som der er designet efter:



Figur 5.5: Hysteresekurve for transformatoren

Peak fluxen ligger på ca. 265mT hvilket igen passer fint med det der er designet efter. Da induktansen er blevet rundet ned ved valg af luftgap, vil peak-fluxen stige en smule. Yderligere ville det kunne ses i toppen og bunden af kurven, hvis den gik i mætning, hvilket den ikke gør her. Tabet i selve kernen er simuleret ved at tage effekten ved den primære vikling i forhold til den sekundære vikling. Tages der i pspice en average af dette fås nedenstående kurve:



Figur 5.6: Simuleret kernetab i transformator

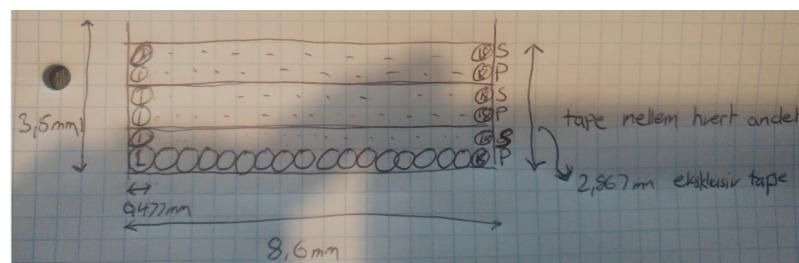
Tabet er simuleret til at ligge ved ca. 310mW

5.1.3 Vikling af transformator

Det er vigtigt, at udnytte kernens mål fuldt ud når vindingerne vikles. Med RM8 kernen er der en bredde på 8.6mm og en højde på 3.475mm. Ved 2. iteration forsøges de mål udnyttet bedst muligt. Først udregnes den nødvendige diameter af tråden, når der skal ligge 18 vindinger per lag.

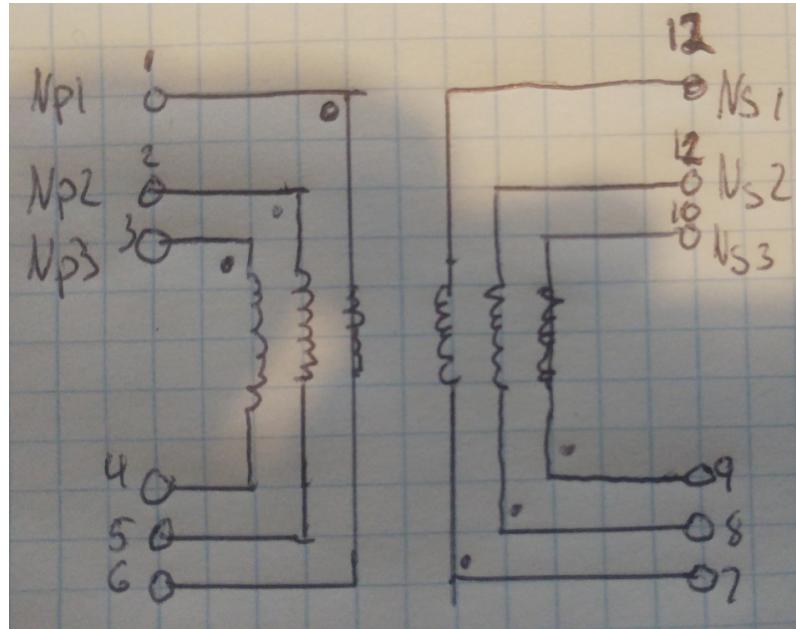
$$d_{tråd} = \frac{8.6\text{mm}}{18} = 0.478\text{mm} \quad (5.9)$$

Dette er dog den samlede diameter, altså inklusiv isolering. Der benyttes en isolering med grade 2, som giver en diameter på ledningen eksklusiv isolering på 0.425mm[9]. Transformeren er 1:1, så både primær og sekundær vikles med 18 vindinger per lag. Et lag af hver giver en højde på 0.956mm. Altså ikke i nærheden af de 3.475mm i højden. Derfor vikles 2 ekstra viklinger i parallel for både primær- og sekundærsiden og får dermed den tredobbelte højde. Der indsættes tape mellem hver af de parallelle viklinger, for at sikre vindingerne ikke rykker sig under viklingen af transformatoren. Det giver samlet en højde på 2.867mm eksklusiv tape. Det giver i alt 6 lag, 3 for primær og 3 for sekundær. Overblikket over viklingen kan ses på figur 5.7:



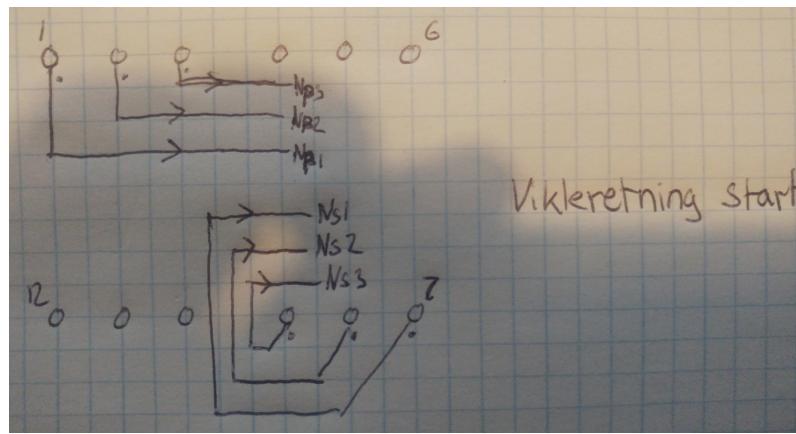
Figur 5.7: Overblik over viklingsantal og tykkelse

Tegnes bunden af transformatoren fås der et overblik over, hvordan viklingerne vikles. Det ses, at primær begynder og slutter i samme side af transformatoren, mens sekundær vikles fra den anden side. Ved at trække viklingerne ud på samme side, sikres det der altid vikles med hele vindinger.



Figur 5.8: Overblik over hvordan viklingerne vikles

Sidste billede viser hvilken retning der vikles. Her vil primær og sekundær vikles modsatte vej af hinanden, for at få den modsatte polaritet som ønsket.

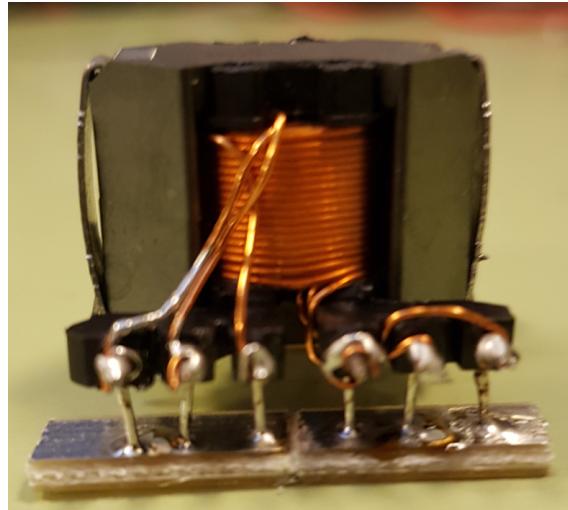


Figur 5.9: Begyndelses retning for primær og sekundær

5.1.4 Realisering

På figur 5.10 ses den viklede transformator. Ved viklingen måtte det erkendes, at der ikke kunne realiseres 18 vindinger ind, med en ledningstykke på 0.450mm, som ellers i forvejen var mindre end den udregnede tykkelse på 0.478mm. I stedet benyttes en tykkelse

på 0.425mm og der tilføjes en ekstra vikling, så det totale antal vindinger ender på 19 per vikling.



Figur 5.10: Viklet transformator

5.1.4.1 Endelig induktans

Da vindingstallet blev korrigteret til 19, er induktansen lidt højere end beregnet i første omgang. Den endelige induktans i den viklede transformator beregnes til:

$$L_2 = N^2 \cdot A_L = 57.76 \mu\text{H} \quad (5.10)$$

Det ændrer igen en smule på ripple- og peak strømmen i transformatoren:

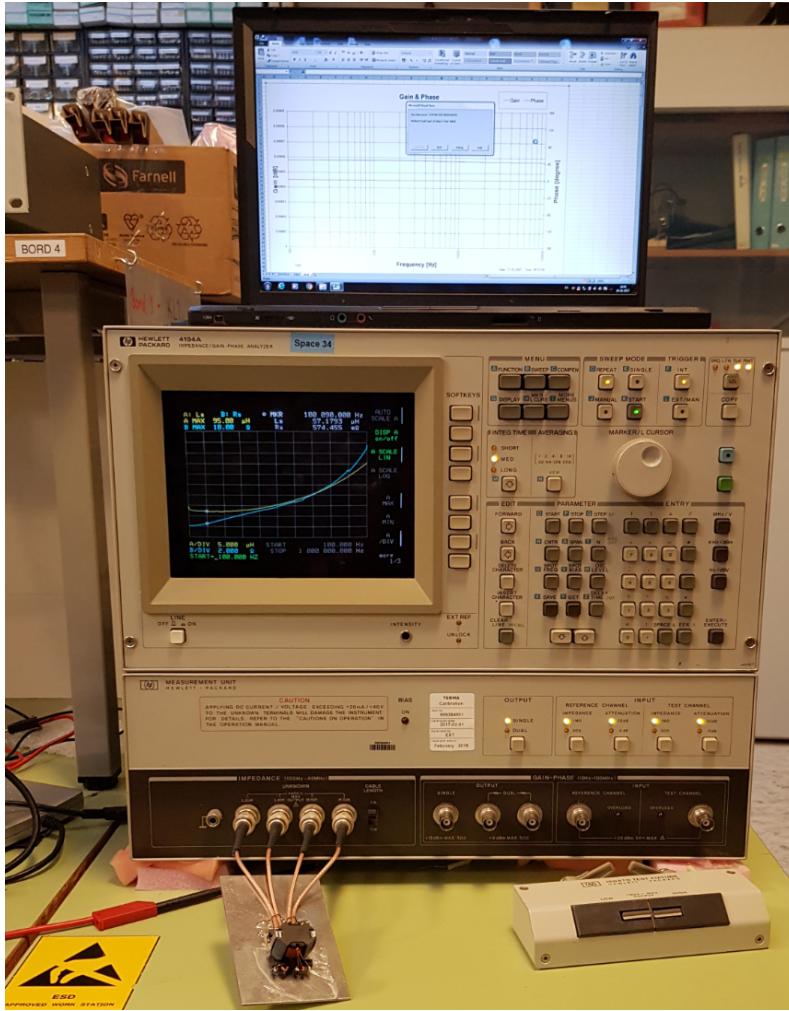
$$I_{\text{ripple}} = \frac{V_{\text{in min}} \cdot D_{\text{max}}}{L_2 \cdot f_s} = 2.01 \text{A} \quad (5.11)$$

$$I_{\text{pk}} = \frac{V_{\text{out}} \cdot I_{\text{out}}}{V_{\text{in min}} \cdot D_{\text{maks}}} + \frac{I_{\text{ripple}}}{2} = 5.53 \text{A} \quad (5.12)$$

5.1.5 Test af transformator

Transformatoren er testet ved at måle både selvinduktionen i primær- og sekundærviklingerne samt spredningsselvinduktionen. Til dette blev en impedansmåler brugt.

Til sådan en måling er det vigtigt, at gøre ledningerne så korte som muligt, da der vil skabes yderligere induktans i dem. Derfor ses ved opstillingen på figur 5.11 de meget korte ledninger samt at der bliver brugt en 4-wire teknik. Det vil sige to ledninger på hver side af det der måles på. Det gør at strømmen kan sendes igennem det ene sæt ledninger, mens der måles med det andet sæt. Da der ikke løber en strøm i måleledningerne, undgås der en fejlmåling, der ellers vil komme fra ledningerne.

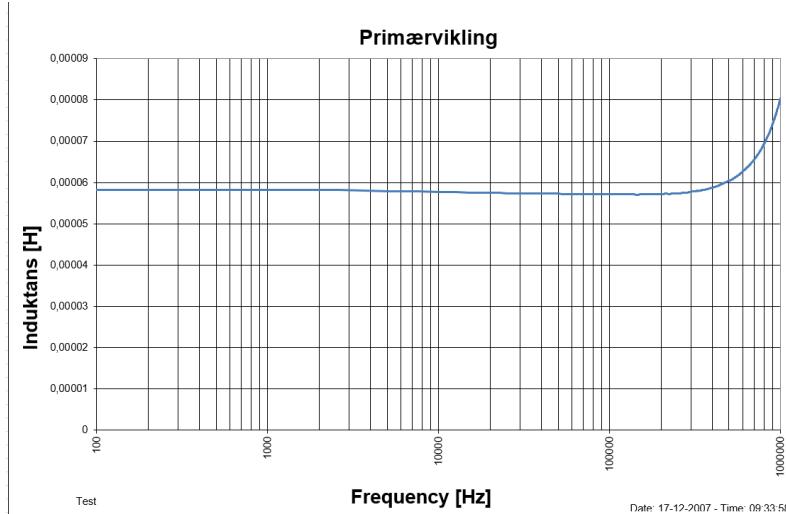


Figur 5.11: Samlet transformatortest opstilling

Måleresultaterne tages med USB ud af impedansmåleren og indsættes i et Excel ark.

Selve impedansmåleren havde et lille offset på målingerne. Derfor blev der først lavet en kalibreringsmåling, hvor ledningerne alle mælte samme sted. Offsettet herfra er i Excel trukket fra de efterfølgende målinger.

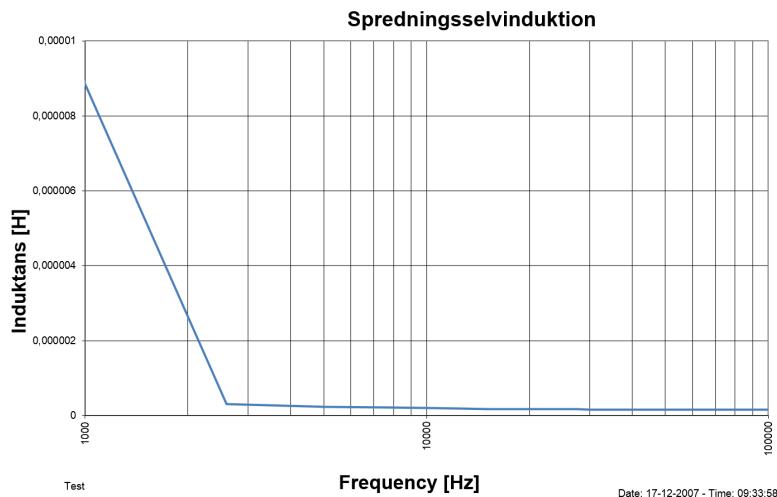
Herefter måles der på de 2 sider af primærviklingen, mens sekundærsiden holdes åben. På denne måde fås induktansen i den primære vikling. Da transformatoren er 1:1, er det også induktansen i den sekundære vikling.



Figur 5.12: Målt induktans i primær vikling

Her er målingen plottet med et frekvenssweep fra 100Hz til 1MHz. Ved de meget høje frekvenser ses det, at kapacitive parasitter tager over. Den skal benyttes ved en switch-frekvens omkring 100kHz og her fås værdien i Excel til $57.7\mu\text{H}$, hvilket er præcis den induktans der skulle opnås. Målingerne kan ses i Excel dokumentet "Inductance primærvikling" i bilagsmappen.

Spredningsselvinduktionen fås ved, at kortslutte den sekundære vikling, mens der igen måles over den primære vikling. I en ideel transformator bør der her måles 0. Derfor vil induktansen målt her, svare til spredningsselvinduktionen. På samme måde som før er måleresultaterne sendt til Excel hvorudfra en graf kan tegnes. De præcise målinger kan ses i Excel dokumentet "Spredningsselvinduktion" i bilagsmappen:



Figur 5.13: Målt spredningsselvinduktion i transformator

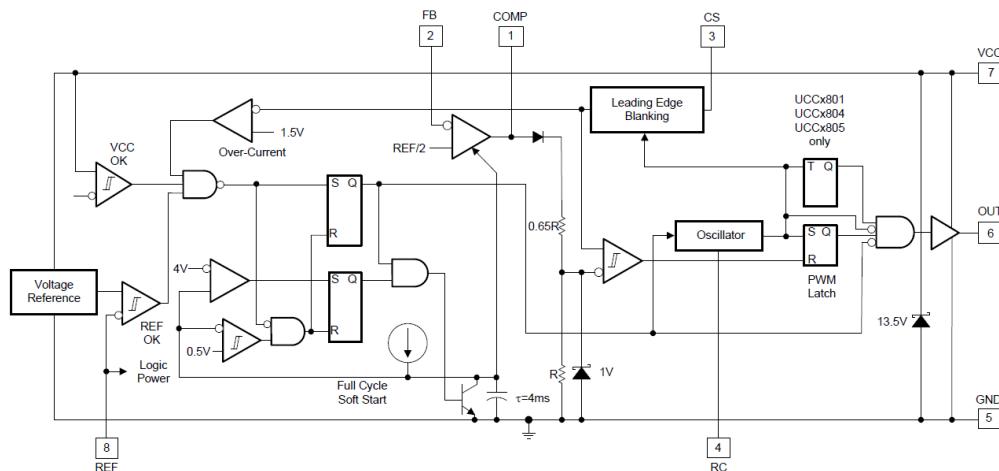
Denne graf er fået ud fra et frekvens-sweep fra 1kHz til 100kHz. Ved de 100kHz er spredningsselvinduktionen på 152nH , hvilket er den værdi der bruges.

5.2 PWM-controller

PWM-controlleren er en vigtig del af en SMPS. Det er den der står for tilpasningen af switch-signalens duty-cycle, således udgangen holdes stabilt, når inputtet påvirkes eller ændres. Det er vigtigt at vælge PWM-controller ud fra kravene til converteren. PWM-controllere er ofte begrænset til en maksimal duty-cycle på enten 50% eller 100%. Derudover skal der vælges, hvilken form for regulering af converterens udgangstrin der ønskes, da controlleren skal understøtte dette.

Ud fra beregningerne af den maksimale duty-cycle i afsnit 4.4.1, vælges det at PWM-controlleren maksimalt skal have en duty-cycle på 50%. For at kunne opnå en mere præcis regulering, vælges det at bruge peak-current regulering. Denne form for regulering, regulerer efter peak-strømmen i transformatorens primærvikling. Da den regulerer efter dette, opnås der også en strømbegrænsning i regulerings-loopet. Ud fra disse krav vælges en PWM-controller af typen UCC1801[10]. Det er en controller Terma har erfaring med, og derfor også nemt kan udskiftes med en space-godkendt controller.

På figur 5.14 ses et funktionelt block diagram over UCC1801. Det indeholder controllerens overordnede komponenter, og giver et overblik over dens funktionalitet.



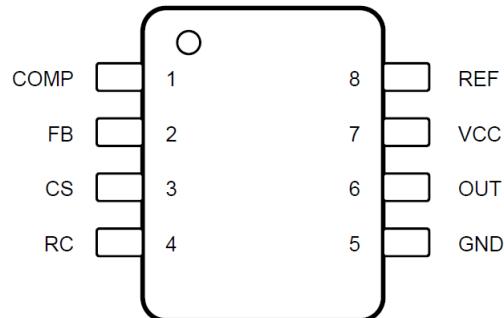
Figur 5.14: UCC1801 - Funktionelt Block Diagram

Tabel 5.1 viser de mest essentielle specifikationer for UCC1801, i forhold til en flyback converter. Disse er udvalgte specifikationer fra databladet.

Specifikation	Min	Typ	Max
V _{CC}			12V
I _{out}			1A
V _{Reference}	4.925V	5V	5.075V
D _{max}	48%	49%	50%
V _{on,th}	8.6V	9.4V	10.2V
V _{off,th}	6.8V	7.4V	8V
Temperature Range	-55°C		125°C
f _{osc}			1MHz

Tabel 5.1: Relevante specifikationer for UCC1801

Der tages udgangspunkt i en UCC1801, med en PDIP pakke type. Figur 5.15 viser en oversigt over ben konfigurationen for en sådan pakke. Det er en 8-bens IC, hvor samtlige ben bliver brugt. Benenes funktionalitet er overordnet beskrevet i tabel 5.2, og vil blive uddybet i de følgende afsnit.



Figur 5.15: Ben konfiguration for UCC1801

Navn	Ben	I/O	Beskrivelse
COMP	1	O	COMP er outputtet fra den indbyggede fejlförstærker. Dette ben bruges til at lave et feedback til FB benet i reguleringssløjen.
FB	2	I	FB er inputtet til den indbyggede fejlförstærker. Den er forbundet til den inverterende indgang af förstärkeren. Den bruges sammen med COMP, som en del af reguleringssløjen.
CS	3	I	CS er inputtet til current sense komparatoren. UCC1801 har to komparatorerne til current sense: PWM komparatoren og overströms komparatoren. PWM-komparatoren bruges til, at trække udgangssignalet lavt, når CS-signalet overstiger 1V. Overströms komparatoren er en indbygget overströmsbeskyttelse. Den tvinger udgangen lav, så længe CS-signalet er over 1.5V
RC	4	I	RC er inputtet til oscillatorn. Oscillatorfrekvensen, og dermed også switch-frekvensen, sættes ud fra tidskonstanten mellem en modstand og en kondensator.
GND	5	-	GND er ground for IC'ens komponenter.
OUT	6	O	OUT er IC'ens output. Det er et PWM-signal, hvis duty-cycle afhænger af PWM-komparatoren. Outputtet skiftes mellem GND og VCC, hvilket betyder at VCC skal være høj nok, til at drive MOSFET'en.
VCC	7	I	VCC er forsyning til IC'ens komponenter. Det foreslås at vælge en høj VCC, for at mindske støj på virkninger. For at mindske støj på forsyningen anbefales det, at bypassse VCC med en kondensator på minimum $1\mu F$, tæt på IC'en.
REF	8	O	REF er outputtet for IC'ens interne spændingsreference. Den bruges bl.a. som reference til fejlförstærkeren. Derudover forsyner den IC'ens logiske komponenter. For at mindske støj på referencen, anbefales det at bypassse REF med en kondensator på minimum $1\mu F$, tæt på IC'en.

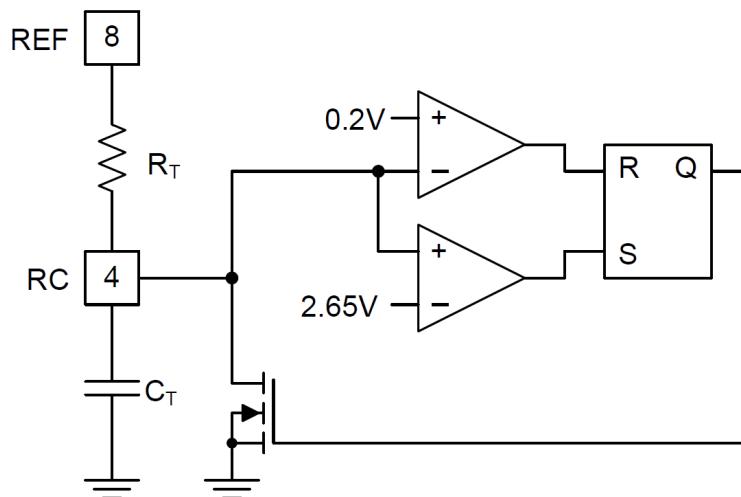
Tabel 5.2: Ben funktionalitet for UCC1801

5.2.1 Under Voltage LockOut

UCC1801 indeholder en Under Voltage LockOut (UVLO) beskyttelse. Dette betyder, at forsyningsspændingen skal være et bestemt niveau, før controlleren starter. Som en konsekvens af dette vil både output og referencespændingen holdes lav, indtil grænseværdien er nået. For at have en hysteresemargin, har den både et turn ON og et turn OFF niveau. Ved UCC1801 er disse niveauer $V_{on,th} = 9.4V$ og $V_{off,th} = 7.4V$. Da amplituden af output-signalet er lig VCC, vil controlleren ikke prøve at drive MOSFET'en før $V_{CC} = 9.4V$. Da en MOSFET typisk har en $V_{gs,th}$ mellem 4 og 5V, vil der ikke opnås et stadie hvor MOSFET'en kun er delvist ON. Dette ses også på referencespændingen, da den først bliver 5V når $V_{CC} \geq 9.4V$. Referencen kan derfor også bruges, som en ON/OFF indikator.

5.2.2 Switch-frekvens

Controllerens switch-frekvens sættes af oscillatorblokken i block diagrammet. Den genererer en savtand-spænding, som triggerer den efterfølgende latch. Dette giver et PWM-signal, da det skifter mellem VCC og GND. Stigetiden for savtand spændingen bliver bestemt af tidskonstanten for et eksternt RC-kredsløb. Faldetiden for signalet bliver bestemt af den eksterne kondensator, samt ON-modstanden i en intern transistor. Den on-modstand er opgivet til ca. 130Ω . Denne faldetid vil begrænse den maksimale duty-cycle, da outputtet vil være lavt i løbet af faldetiden.



Figur 5.16: Oscillator diagram

Figur 5.16 viser et ækvivalent diagram for oscillator blokken. Komponenterne R_T og C_T er det eksterne RC kredsløb, mens resten er interne komponenter. På diagrammet ses det, at operationsforstærkerne er koblet til henholdsvis 0.2V og 2.65V. Dette sætter maksimum og minimum for savtand spændingen.

Da der skal komme en flanke på output-signalet hver gang savtand spændingen rammer maksimum, skal frekvensen af savtand spændingen være den dobbelte af den ønskede switch-frekvens. Der ønskes en switch-frekvens på 100kHz, derfor sættes oscillator

frekvensen til $f_{osc} = 200\text{kHz}$. I databladet er det anbefalet at R_T vælges mellem $10\text{k}\Omega$ og $200\text{k}\Omega$, mens det anbefales at C_T vælges mellem 100pF og 1000pF . Formel 5.13 er opgivet i databladet og bruges til at estimere RC komponenterne. C_T sættes til 200pF , og R_T beregnes:

$$R_T = \frac{1.5}{f_{osc} \cdot C_T} = \frac{1.5}{f_{osc} \cdot 200\text{pF}} = 37.5\text{k}\Omega \quad (5.13)$$

Ved et opslag i databladet ses det, at med en $C_T = 200\text{pF}$ kan der maksimalt opnås en duty-cycle på ca. 48.9%. Da converteren maksimalt skal opererer med en duty-cycle på 44.7%, godtages dette.

5.2.3 Current sense kredsløb

Som nævnt i afsnit 5.2 er der valgt at bruge peak-current regulering. Denne form for regulering består af to reguleringssløjfer - en spændings- og en strømsløjfe. I dette afsnit beskrives dimensioneringen af strøm sløjfen, mens spændingssløjfen beskrives i afsnit 5.2.4.

Current sense kredsløbet består, som minimum, af en current sense modstand. Denne modstand bruges til at konvertere strømmen i transformatorens primærvikling om til en spænding. Denne konvertering vil gøre, at kurveformen for strømmen og spændingen er ens, dog med en faktor til forskel. PWM-komparatoren i controlleren trigger udgangen, når current sense spændingen er rampet op til 1V. Derfor skal modstanden dimensioneres således, spændingen over den er lig 1V når peak-strømmen i transformatoren er lig 5.53A . Dette regnes ud fra Ohm's lov:

$$R_{cs} = \frac{1V}{5.53\text{A}} = 0.181\Omega \quad (5.14)$$

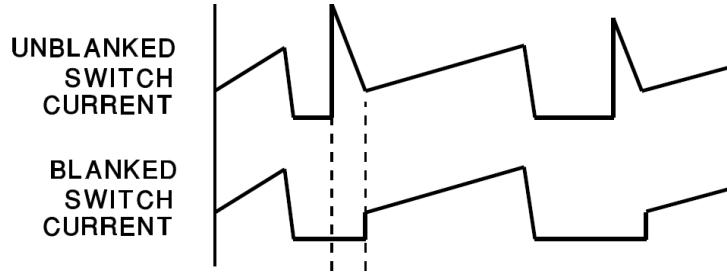
Da den mindste modstandsværdi der er til rådighed er på 1Ω , vil der blive brugt $6 \cdot 1\Omega$ i parallel. Dette vil give en modstandsværdi på 0.167Ω . Med dette vil strømmen blive delt i de seks modstande, som derved deler den samlede effekt mellem sig. Da der benyttes $0,5\text{W}$ modstande, vil dette samtidig gøre, at de ikke brænder af.

Når current-sense modstanden vælges mindre end den ideelle værdi, vil det tillade en større peak-strøm i primærviklingen. Det regnes ud fra ovenstående forhold til ca. 6A . Der vil dog stadig i beregninger blive benyttet peak-strømmen på 5.53A .

5.2.3.1 Filtrering

På grund af switching-spikes i MOSFET'en, når den går ON, vil der også komme spikes på current sense signalet. Hvis disse spikes når et niveau der er højere end 1V, vil det trigge komparatoren. Dette vil få controlleren til at generere et PWM-signal, der er meget lavere end det ønskede. Derfor implementeres der et filter, for at filtrere disse spikes væk.

UCC1801 har et indbygget digitalt filter, kaldet Leading Edge Blanking. Dette filter er designet til at filtrere de første 100ns af signalet væk, og dermed fjerne spiken. Ideelt set vil dette give et signal, som ses på figur 5.17.



Figur 5.17: Current sense signal før og efter Leading Edge Blanking

Det digitale filter er ikke altid tilstrækkeligt, og derfor designes et eksternt analogt RC-filter, for yderligere filtrering. Det designes til at have en stigetid på 300ns, for at tilføje en yderligere filtrering på ca. 200ns i forhold til det digitale filter.

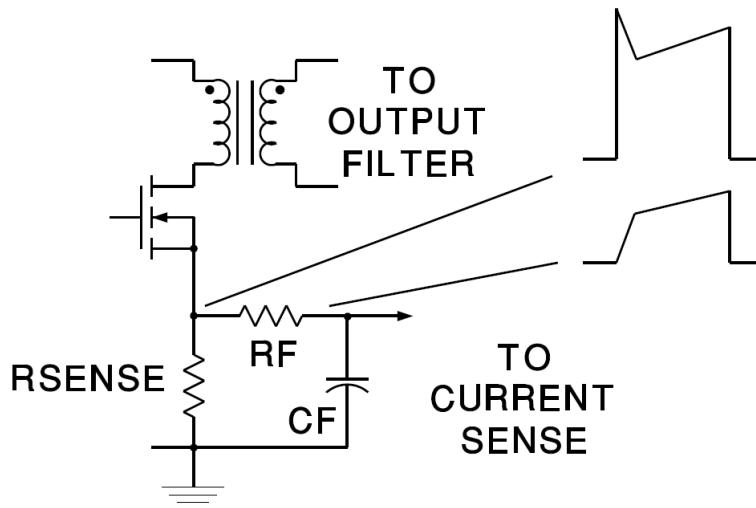
Med en stigetid på 300ns, kan båndbredden af filteret estimeres[11]:

$$BW \approx \frac{0.34}{t_r} \approx 1.133\text{MHz} \quad (5.15)$$

Der vælges en kondensator på $C_f = 100\text{pF}$. Ud fra kondensatoren og den ønskede båndbredde i filteret, regnes modstanden.

$$R_f = \frac{1}{2 \cdot \pi \cdot BW \cdot C_f} = \frac{1}{2 \cdot \pi \cdot 1.133\text{MHz} \cdot 100\text{pF}} = 1.4\text{k}\Omega \quad (5.16)$$

Med det designede filter vil stigetiden af current sense signalet nu blive begrænset af filteret. Derfor vil den første del af signalet ligne et første ordenssystem, der stiger indtil spændingen når det niveau, der svarer til strømmen i primærviklingen. Derefter vil signalet stige som en ret linje, ligesom strømmen. Dette ses på figur 5.18, hvor det øverste signal er før filteret, og det nederste er efter.

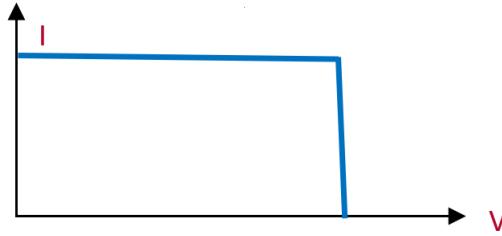


Figur 5.18: Current sense signal før og efter eksternt RC-filter

5.2.3.2 Overstrømsbeskyttelse

En fordel ved at regulere efter strømmen i transformatoren er, at der opnås en overstrømsbeskyttelse. Når strømmen stiger, vil PWM-controlleren sænke duty-cyclen, og

der ved også sænke udgangsspændingen. Dette giver en I/V karakteristik der, ideelt set, er næsten firkantet. Dette er skitseret på figur 5.19.



Figur 5.19: I/V karakteristik for converteren

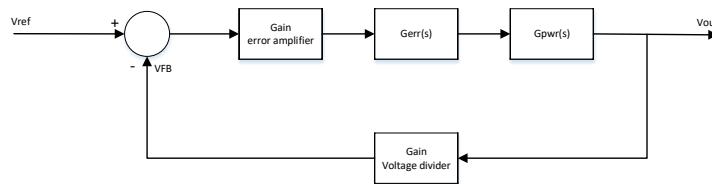
Denne karakteristik kan dog ikke opnås i realiteten. Filteret der er indsat for at filtrere current sense signalet, vil lave en hale på karakteristikken. Det sker fordi controlleren ikke ser den faktiske strøm, men den filtrerede, når duty-cyclen er lav.

Da det er nødvendigt at filtrere current sense signalet for at reguleringen fungerer, kan filtrets påvirkning af I/V karakteristikken ikke undgås. Til gengæld kan filtret optimeres, således at det kun lige akkurat filtrerer nok, og på den måde skader I/V karakteristikken mindst muligt. Denne optimering vil ske i 3. iteration.

5.2.4 Spændingsregulering

I dette afsnit beskrives spændingssløjfen. Den består hovedsageligt af to dele: en spændingsdeler og en fejlforsørker. Spændingsdelen deler udgangsspændingen ned, så den ønskede udgangsspænding er lig en intern reference i IC'en. Fejlforsørkeren står for selve reguleringen. Den inverterende indgang og udgangen på fejlforsørkeren er ført ud, således det er muligt at indsætte et kompenseringsnetværk.

Figur 5.20 viser et blokdiagram for reguleringssløjfen. Det viser de to overføringsfunktioner, der bruges til at modulere systemet. Forstærkningen i fejlforsørkeren er trukket ud af blokken for overføringsfunktionen, da det er produktet mellem forstærkningen i spændingsdelen og fejlforsørkeren, der giver reguleringssløjfens samlede forstærkning.

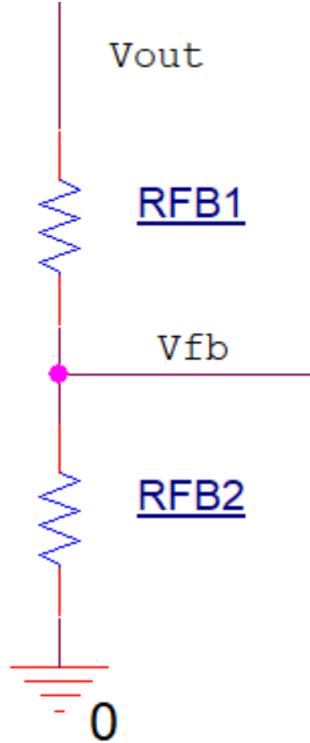


Figur 5.20: Reguleringsblokdiagram

5.2.4.1 Spændingsdeler

Den ikke inverterende indgang på den indbyggede fejlforsørker i UCC1801, er forbundet til den halve reference spænding, dvs. 2.5V. Derfor skal der designes en spæn-

dingsdeler, der deler den ønskede udgangsspænding på 21V ned til 2.5V. Figur 5.21 viser kredsløbet for spændingsdeleren.



Figur 5.21: Spændingsdeler diagram

Spændingsdeleren designes således der løber en strøm på 1mA i den. Derved påvirker den ikke udgangsstrømmen. Derudover dimensioneres de to modstande, således der er et spændingsfald på 2.5V over R_{FB2} , og 21V – 2.5V over R_{FB1} . R_{FB1} er beregnet med ligning 5.17.

$$R_{FB1} = \frac{V_{out} - V_{FB}}{I_{FB1}} = \frac{21V - 2.5V}{1mA} = 18.5k\Omega \quad (5.17)$$

R_{FB2} er beregnet ud fra spændingsdeler formlen, ligning 5.18. Her løses R_{FB2} , og fås til $R_{FB2} = 2.527k\Omega$.

$$V_{FB} = \frac{R_{FB2}}{R_{FB1} + R_{FB2}} \cdot V_{out} \quad (5.18)$$

For at opnå en præcis spændingsdeler vælges der at bruge to modstande i parallel. Den ene modstand vælges til $R_{FB21} = 2.55k\Omega$. Mens den anden regnes ud fra den ønskede samlede modstands værdi. Dette gøres ved ligning 5.19, som løses med hensyn til R_{FB22} . Dette giver $R_{FB22} = 280.5k\Omega$, som afrundes til $280k\Omega$.

$$R_{FB2} = ((R_{FB21})^{-1} + (R_{FB22})^{-1})^{-1} \quad (5.19)$$

5.2.4.2 Fejlførstærker

Som en del af reguleringen opstilles der først en overføringsfunktion for powermodulet. Denne overføringsfunktion er opgivet i databladet for UCC1801, og er skrevet

ved ligning 5.20.

$$G_{pw}(s) = G_0 \cdot \frac{\left(1 + \frac{s}{2\pi \cdot f_{ESRz}}\right) \cdot \left(1 - \frac{s}{2\pi \cdot f_{RHPz}}\right)}{1 + \frac{s}{2\pi \cdot f_{p1}}} \cdot \frac{1}{1 + \frac{s}{2\pi \cdot f_{p2}} + \frac{s^2}{(2\pi \cdot f_{p2})^2}} \quad (5.20)$$

Overføringsfunktionen består af flere dele: en DC-forstærkning, to poler og to nulpunkter. DC-forstærkningen, G_0 , er skrevet ved ligning 5.21. Den er især bestemt af belastningen, current sense kredsløbet, transformatoren og switch-frekvensen. Den regnes til en forstærkning på 10.74 gange, eller 20.6dB.

$$G_0 = \frac{R_{out} \cdot N}{R_{CS} \cdot A_{CS}} \cdot \frac{1}{\frac{(1-D)^2}{\tau_L} + (2 \cdot M) + 1} = 10.7gg \Rightarrow 20.6dB \quad (5.21)$$

Hvor:

N er omsætningsforholdet i transformatoren.

A_{CS} er den interne forstærkning i current sense kredsløbet, og aflæses i databladet til 1.65.

D er den maksimale duty-cycle, som er 0.447.

τ_L er converterens tidskonstant. Den regnes ud fra ligning 5.22.

$$\tau_L = \frac{2 \cdot L_P \cdot f_s}{R_{out} \cdot N^2} \quad (5.22)$$

M er spændingsomsætningen fra indgang til udgang. Den regnes ud fra ligning 5.23.

$$M = \frac{V_{out} \cdot N}{V_{in}} \quad (5.23)$$

En flyback converter, som opererer i CCM, har to primære nulpunkter der kan påvirke stabiliteten i systemet. Det er også de to nulpunkter, der er inkluderet i overføringsfunktionen. Den ene, f_{ESRz} , er bestemt af produktet mellem udgangskapaciteten og den indre seriemedstand i udgangskondensatoren. Placeringen af denne er regnet ved ligning 5.24.

$$f_{ESRz} = \frac{1}{2 \cdot \pi \cdot R_{ESR} \cdot C_{out}} = 189.5kHz \quad (5.24)$$

Det andet nulpunkt er højre-halvplans-nulpunktet. Det er ofte dette nulpunkt, der er det dominerende af de to, og derfor den der skal tages højde for i reguleringen. Placeringen af dette er regnet ved ligning 5.25. Placeringen af dette nulpunkt, er afhængigt af størrelsen på belastningen, samt inputspændingen. Placeringen stiger ved højere inputspændinger, og mindre belastninger.

$$f_{RHPz} = \frac{R_{out} \cdot (1-D)^2 \cdot N^2}{2 \cdot \pi \cdot L_P \cdot D} = 15.8kHz \quad (5.25)$$

Ud fra ligning 5.24 og 5.25, ses det, at det er højre-halvplans nulpunktet der er det dominerende nulpunkt i converteren. Når båndbredden skal vælges, er det derfor vigtigt, at den ligger tilpas meget lavere end det dominerende nulpunkt.

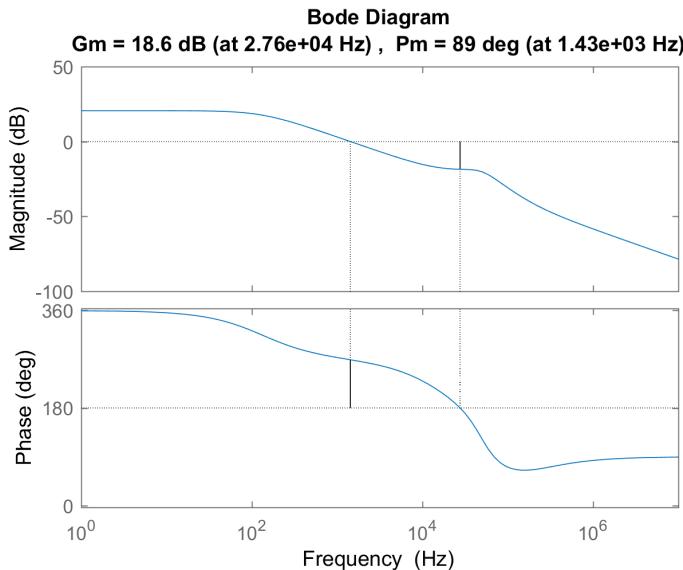
Converteren har også to relevante poler. Den dominerende pol bestemmes af loaden og udgangskondensatoren. Den anden pol er placeret ved den halve switching-frekvens. De to poler er beregnet ved ligning 5.26 og 5.27.

$$f_{p1} = \frac{\frac{(1-D)^3}{\tau_L} + 1 + D}{2 \cdot \pi \cdot R_{out} \cdot C_{out}} = 132.8 \text{Hz} \quad (5.26)$$

$$f_{p2} = \frac{f_s}{2} = 50 \text{kHz} \quad (5.27)$$

Bode plottet for power-modulet plottes i MATLAB på figur 6.7. Her aflæses DC-forstærkningen til 20.6dB. Derudover aflæses der en pol ved ca. 130Hz og ved ca. 50kHz. Dette stemmer overens med de beregnede værdier.

Konsekvensen af højre-halvplans nulpunktet ses også tydeligt på figur 6.7. Når frekvensen nærmer sig nulpunktet bliver forstærkningen øget med 20dB/decade, som ved et venstre-halvplans nulpunkt. Tilgengæld vil fasen blive trukket ned med 90° , i stedet for op. Da polen fra switch-frekvensen ligger ca. samme sted, og også trækker fasen ned med 90° , kommer der et stort fasedreh i dette frekvensområde. Det kan gøre systemet ustabilt hvis gain-marginen ikke er tilstrækkelig stor.



Figur 5.22: Bode plot for power-modulet

I denne iteration designes der et kompensationsnetværk, der vil sikre et stabilt system, med en lav båndbredde. Dette vil blive optimeret i en senere iteration. Da der ønskes en lavere båndbredde, end det converteren har i forvejen, indsættes et RC-led i serie som kompensationsnetværk. Ved at bruge et RC-led, vil kondensatoren bestemme forstærkningen ved lave frekvenser, fordi impedansen her er stor. Mens modstanden vil bestemme forstærkningen ved høje frekvenser, fordi kondensatoren vil blive set som en kortslutning.

Den endelige båndbredde af systemet ønskes på ca. 800Hz. Det vil sikre, at systemet ikke bliver ustabilt. For at opnå den ønskede båndbredde aflæses det ud fra bode plottet på figur 6.7, at forstærkningen skal mindskes med ca. 5.4dB, eller ca. 0.535GG, ved

frekvenser over 800Hz. Den samlede forstærkning af reguleringssløjfen, bestemmes af produktet mellem forstærkningen i spændingsdeleren og forstærkningen i fejlforsærkeren. Forstærkningen i spændingsdeleren regnes ved ligning 5.28.

$$g_{FB} = \frac{R_{FB2}}{R_{FB1} + R_{FB2}} = 0.12 \quad (5.28)$$

Nu kan feedback modstanden i fejlforsærkeren regnes ved ligning 5.29.

$$g_{tot} = \frac{R_{comp}}{R_{par}} \cdot g_{FB} \quad (5.29)$$

Hvor:

g_{tot} er det ønskede gain i fejlforsærkeren, som er $g_{tot} = 0.535$ gg.

R_{comp} er feedback modstanden i fejlforsærkeren, som ønskes dimensioneret.

R_{par} er parallelmodstanden mellem R_{FB1} og R_{FB2} . Den regnes til $R_{par} = 2.244\text{k}\Omega$.

De kendte værdier indsættes og ligningen løses for R_{comp} . Den fås til $R_{comp} \approx 10\text{k}\Omega$.

For at sikre den lave båndbredde, sættes knækfrekvensen på integratoren til $f_0 = 300\text{Hz}$. Dermed sikres det, at fejlforsærkeren dæmper signalet ved den ønskede båndbredde på 800Hz. Nu kan den tilhørende kapacitet regnes, ud fra R_{comp} og f_0 .

$$c_{comp} = \frac{1}{2 \cdot \pi \cdot R_{comp} \cdot f_0} \approx 50\text{nF} \quad (5.30)$$

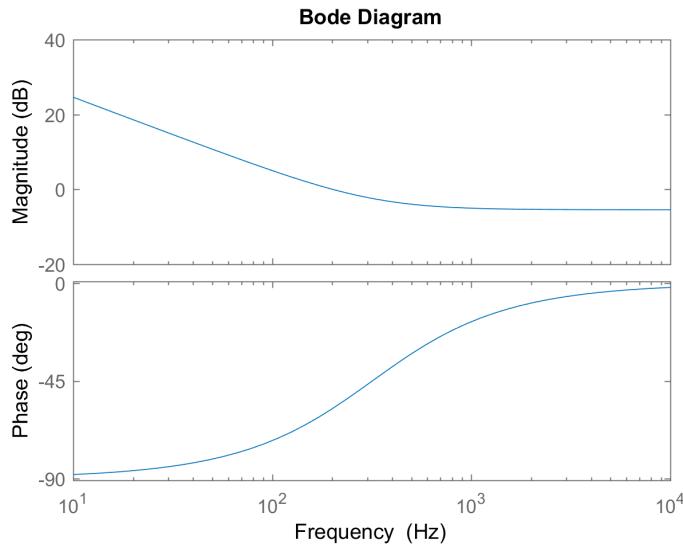
Med afrundede komponentværdier, regnes den nye knækfrekvens for fejlforsærkeren.

$$f_0 = \frac{1}{2 \cdot \pi \cdot R_{comp} \cdot c_{comp}} = 318.3\text{Hz} \quad (5.31)$$

Overføringsfunktionen for fejlforsærkeren kan nu opskrives ved ligning 5.32.

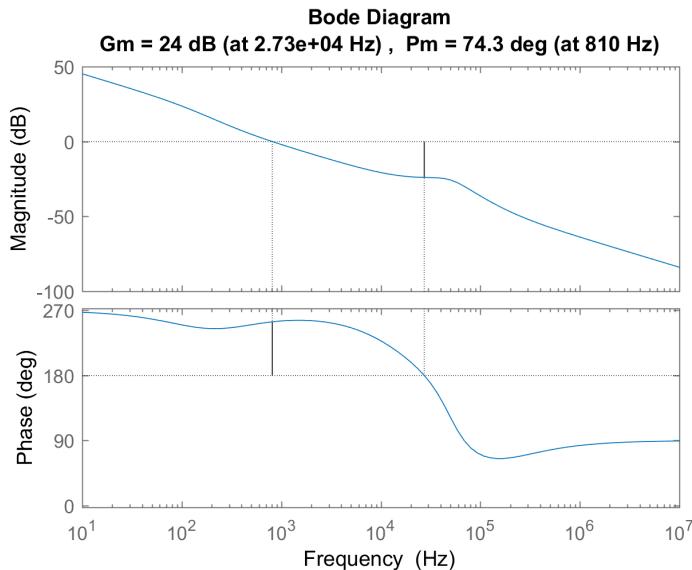
$$G_{err}(s) = \left(\frac{318.3\text{Hz} \cdot 2 \cdot \pi}{s} + 1 \right) \cdot 0.535 \quad (5.32)$$

Den plottes i MATLAB, som et bodeplot på figur 5.23. Her ses det, at den ønskede funktion af integratoren er opnået. På grund af kondensatoren, har den et stort gain ved lave frekvenser. Forstærkningen ligger derimod konstant ved ca. -5.4dB , efter den ønskede knækfrekvens på ca. 318Hz.



Figur 5.23: Bode plot for fejlforstærker

De to overføringsfunktioner ganges sammen, for at bestemme den samlede overføringsfunktion for converteren. Figur 5.24 viser et åben sløjfe bodeplot af det. Det aflæses at converteren vil have en båndbredde på 810Hz. Derudover aflæses fase-margin til 74.3° , og gain-margin til 24dB.



Figur 5.24: Bode plot for converteren

5.3 MOSFET

MOSFET'en skal først og fremmest kunne holde til den spænding, der vil ligge over drain-source, når den er OFF. Ved en flyback er det den maksimale indgangsspænding plus den spænding der bliver reflekteret tilbage til primærviklingen fra sekundærviklingen. Det vil sige udgangsspændingen samt diodens spændingsfald. Den reflekterede

spænding skal ganges med omsætningsforholdet i transformatoren, som i dette tilfælde er 1. Det vil ideelt set betyde, at MOSFET'en skal kunne holde til:

$$V_{ds\text{breakideel}} = (V_{in\max} + (V_{out} + V_D)) = 71.5V \quad (5.33)$$

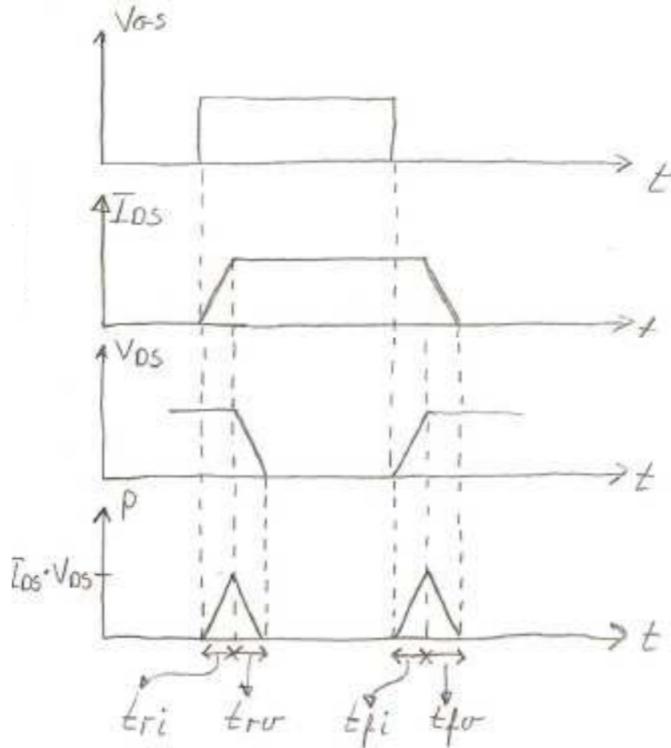
Der bør medtages en sikkerhedsmargin på 30%, for at tage højde for de peakspændinger, der vil komme når der switches. De skyldes kombinationen af spredningsselvinduktionen og kapaciteterne fra MOSFET og diode. Derudover vil der også være kapacitet grundet transformatorens kobling. Typisk vil MOSFET og diodens kapaciteter være større og dermed dominerende. Tages der højde for disse spændingstransienter skal MOSFET'en minimum kunne holde til en spænding på:

$$V_{ds\text{break}} = (V_{in\max} + (V_{out} + V_D)) \cdot 1.3 = 92.95V \quad (5.34)$$

Yderligere skal den valgte MOSFET kunne holde til RMS strømmen i primærviklingen på 3.02A samt peakstrømmen på 5.64A. Til 2. iteration er IRFB23N15 valgt[12]. Den kan holde til V_{ds} på 150V og en continuous drain strøm på 17A samt en peak på 92A, hvilket er rigeligt. Derudover en $R_{ds(on)}$ modstand på ca. 113mΩ ved 50°C.

5.3.1 Switch-tid

MOSFET'ens switch-tid bestemmes af den strøm der løber i gaten. MOSFET'en indeholder flere parasitiske kapaciteter, mellem gate-drain og gate-source. Hvor opladningen af gate-drain, også kaldet *Miller* kapaciteten, bestemmer hvor hurtigt MOSFET'en kan skifte tilstand fra OFF til ON. I switch-tiden vil der både løbe en strøm i MOSFET'en og ligge en spænding over den. Dette vil give anledning til et tab kaldet switch-tab. Princippet i tabet er skitseret på figur 5.25[13, p. 16]. Her ses det, at når gate spændingen går høj, skifter MOSFET'en ikke momentant. Det er først når strømmen er rampet op, spændingen begynder at falde. Da effekten er produktet mellem strøm og spænding, vil dette skabe energitrekanter, hvor længden af dem er lig switch-tiden. Den tid ønskes derfor kort, for at mindske switch-tabet.



Figur 5.25: Effekttrekanter for MOSFET

Gate modstanden regnes ved at løse ligning 5.35[14]. Her er T_{ch} den ønskede switch-tid, som sættes til ca. 150ns. Q_{gd} er gate-drain ladningen, som afhænger af Miller kapaciteten, den aflæses i databladet til typisk 19nC. V_{DD} er forsyningsspændingen til PWM-controlleren på 12V, og dermed også den maksimale spænding af udgangssignalet. V_{gs} er spændingsfaldet fra gate til source for MOSFET'en. Med en drain strøm på 3A bliver $V_{gs} \approx 5V$. Dette indsættes og ligningen løses med hensyn til R_g , som fås til $R_g = 55.3\Omega$. Der vælges en modstand på 51.1Ω . Med den valgte modstand korrigeres switch-tiden til 138.7ns.

$$T_{ch} = \frac{Q_{gd} \cdot R_g}{V_{DD} - V_{gs}} \quad (5.35)$$

5.4 Diode

For at mindske tabet i konverteren skal spændingsfaldet over dioden helst være så lille som muligt. Der skal dog sørget for, at dioden kan holde til den spænding, der ligger over den, når transistoren er ON. Denne breakdown voltage er ideelt se den maksimale indgangsspændingen plus udgangsspændingen.

$$V_{d_breakideel} = (V_{out} + V_{in\max}) = 71V \quad (5.36)$$

Igen skal der i realiteten tages højde for peakspændinger ligesom ved MOSFET'en. Der ganges derfor igen en faktor 1.3 på, og dioden skal dermed kunne holde til spændingen:

$$V_{d_break} = (V_{out} + V_{in\max}) \cdot 1.3 = 92.3V \quad (5.37)$$

Yderligere skal dioden kunne holde til RMS strømmen på udgangen på de 3.36A og en peakstrøm på 5.53A.

Schottky dioden NTSV30120CT[15] er valgt til 2. iteration med en breakdown voltage på 120V. Dioden kan klare en continuos strøm på 5A og en peakstrøm på 30A per device. Hele pakken er med 2 dioder, og da der her kun benyttes én af dem, er det i stedet en peakstrøm på 15A, der er maksimum. Derudover kan dens spændingsfald aflæses i databladet til ca. 0.45V ved 125°C og 2.5A.

5.5 Udgangskondensator

Som udgangskondensator er valget faldet på 4 parallelle kondensatorer på 56 μ F af typen . Dette var den film kondensator med højest kapacitet Terma havde til rådighed. Det vigtige her, er at det er en film kondensator, da de typisk har ret præcise kapaciteter samt en lav ESR modstand. Når kondensatorer ikke længere anses som ideelle, vil der i virkeligheden både være en ESL induktans og en ESR modstand. Ækvivalentdiagrammet for en kondensator vil derfor se ud som på figur 5.26



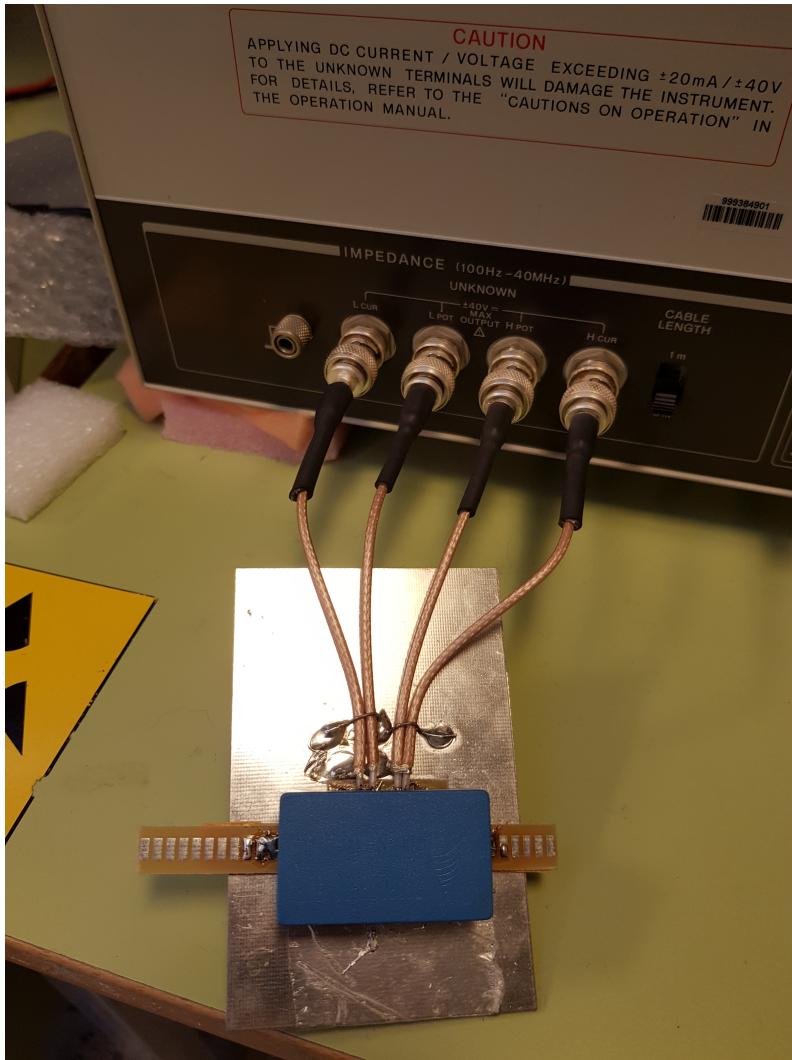
Figur 5.26: Ækvivalentdiagram for kondensatorer [16]

I nogle datablade kan disse parasitkomponenter slås op, det er dog ikke tilfældet for denne kondensator. Med hensyn til ESR modstanden, bliver denne af og til ikke oplyst for film kondensatorer, da den er lav ved denne type, i forhold til for eksempel en elektrolyt. Med hensyn til induktansen kan den estimeres ved en hovedregel, der siger, 1nH per mm[17, p. 38]. Den valgte kondensator er ca. 4cm lang og induktansen estimeres dermed til 40nF. Med 4 kondensatorer i parallel giver det dermed en samlet induktans for udgangskondensatoren på:

$$C_{ESL} = ((40nF)^{-1} \cdot 4)^{-1} = 10nF \quad (5.38)$$

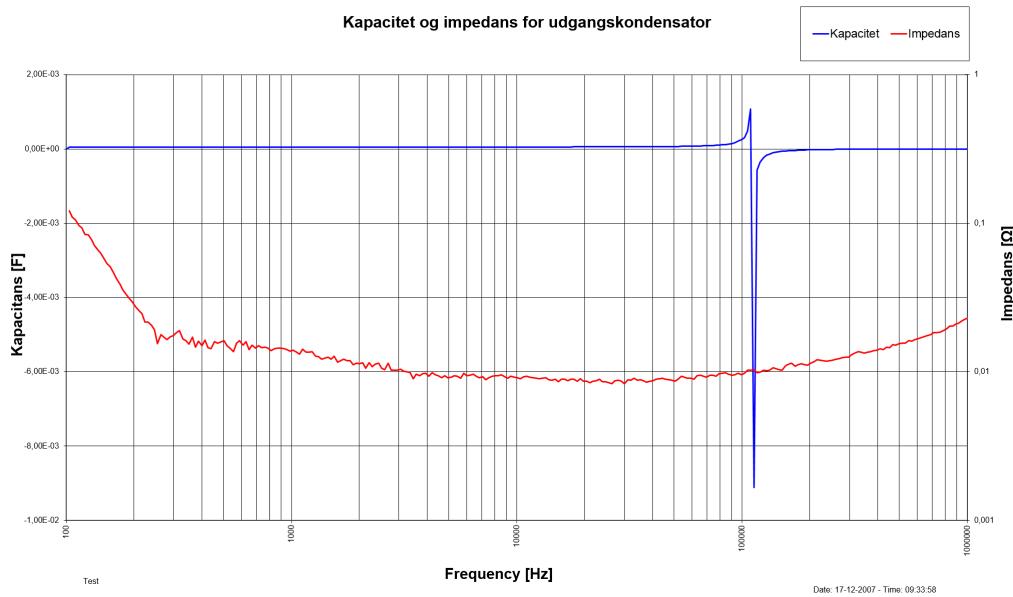
5.5.1 Test af kondensator

For at få ESR modstanden og den præcise ESL induktans, måles disse med impedansmåleren, som også blev benyttet til måling af transformatoren. Opstillingen ses på figur 5.27, men er den samme som tidligere, hvor transformatoren er skiftet ud med en af kondensatorerne.



Figur 5.27: Test af udgangskondensator

Ligesom ved transformatoren benyttes 4-wire teknikken, for at undgå ekstra parasitter. På figur 5.28 ses grafen der er tegnet ud fra målingen. De enkelte målepunkter kan findes i Excel dokumentet "Kondensator impedans.xlsx"



Figur 5.28: Kapacitet og impedans for udgangskondensator

Det ses tydeligt at resonans frekvensen for det induktive og kapacitive i kondensatoren ligger ved 108kHz.

Da der i projektet bruges en switch-frekvens på 100kHz, er en resonans frekvens på 108kHz ikke optimal. Det betyder, at der ved de 100kHz, formodentlig ikke vil være præcis den kapacitet der forventes. Det er dog stadig denne kondensator, der benyttes i 2. iteration. Skal der senere optimeres på dette, kan resonans frekvensen rykkes længere op i frekvens. Det kan enten gøres ved at finde en lignende kondensator med mindre ESL induktans, eller finde en kondensator med lavere kapacitet og sætte flere i parallel end de nuværende 4.

Ved resonantfrekvensen kan ESR modstanden nogenlunde aflæses, da det kapacitive og induktive her udligner hinanden. Det vil sige, at kun ESR modstanden står tilbage, hvilket i dette tilfælde aflæses til ca. 10mΩ. ESL modstanden kan udregnes ud fra resonantfrekvensen og kapaciteten på de 56μF:

$$C_{ESL} = \frac{1}{4 \cdot \pi^2 \cdot f_{res}^2 \cdot C_{out}} = 38.78\text{nH} \quad (5.39)$$

Hvilket stemmer meget godt overens med det estimerede på de 40nF. Det betyder, at der med de 4 kondensatorer i parallel vil være en samlet ESL induktans på:

$$C_{ESLtot} = ((38.78\text{nF})^{-1} \cdot 4)^{-1} = 9.70\text{nF} \quad (5.40)$$

Samt en samlet ESR modstand på:

$$C_{ESRtot} = ((10\text{m}\Omega)^{-1} \cdot 4)^{-1} = 2.5\text{m}\Omega \quad (5.41)$$

5.6 IndgangsfILTER

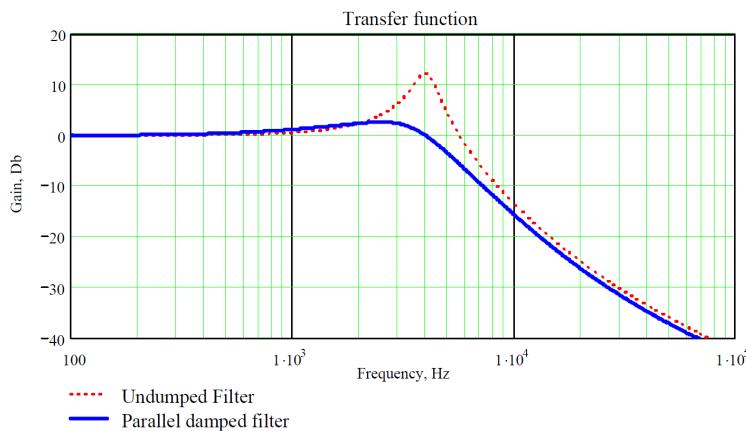
Indgangsfiltreret har som sådan ikke været en del af projektet, da det er blevet givet af Terma. Dette blev gjort, så der kunne fokuseres andetsteds.

Herunder beskrives filtret dog stadig, så der gives forståelse for, hvordan det er designet og hvad det bruges til.

Et input filter er nødvendigt i n SMPS. For det første skal det sikre imod den elektromagnetiske interferens(EMI), der bliver genereret fra switching. Hvis denne interferens får lov, at komme ud på forsyningsnetværket, vil det påvirke andet udstyr, hvilket selvfølgelig ikke er hensigtsmæssigt. Mængden af tilladeligt EMI er fastlagt af standarder verden over, så hvis ikke produktet overholder dette, kommer det aldrig på markedet[18].

Udover EMI skal filtret også sikre, at højfrekvent spænding fra forsyningsnettet, ikke når outputtet for converteren.

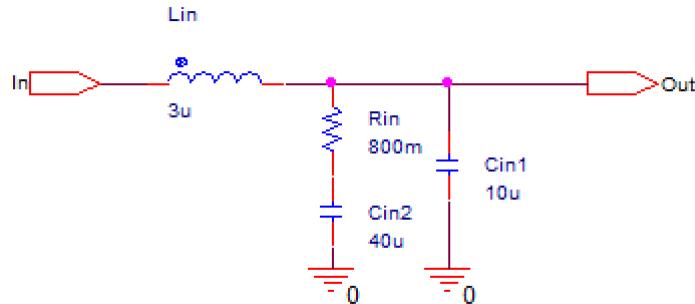
Det er i dette projekt gjort med et parallel dæmpet filter. Det består af et LC led, der giver en overordnet resonans frekvens. I sig selv, bør det kunne sikre sig imod de 2 punkter beskrevet ovenfor. Problemet ved kun at bruge denne del, ligger ved knækfrekvensen for filteret. Når filtret er udæmpet, som det er ved et LC, kan der komme stor forstærkning ved cut-off frekvensen, og derfor forstærke støjen ved denne frekvens. Det betyder at der gerne skal ligge en stor dæmpning ved frekvensen. Med en lille dæmpningsfaktor fås et stort gain ved cut-off frekvensen og omvendt. En dårlig dæmpningsfaktor kan give resten af systemet en dårligere performance. Det kan gå ind og påvirke overføringsfunktionen til reguleringsloopet og på den måde få systemet til at oscillere. Hvis der sørges for, at udgangsimpedans kurven for indgangsfiltret ligger meget under impedanskurven for konverteren, vil konverterens loop gain ikke blive ændret det store. Det vil sige, at det er vigtigt at holde peak impedansen nede for filtret, for at undgå oscillérings problemer forårsaget af inputfiltret. Figur 5.29 viser bode plots for et udæmpet indgangsfILTER(rød), og et parallelt dæmpet indgangsfILTER(blå). Her ses det ved brug af et parallelt dæmpet filter, at man kan filtrere peak'en fra det udæmpede filter væk. hvilket sikre en høj dæmpningsfaktor.



Figur 5.29: Overføringsfunktioner for et udæmpet- og et parallelt dæmpet filter

Det er her, det parallele led kommer ind i billedet. Det består af en modstand i serie med en kondensator. Meningen med modstanden er, at reducere udgangs peak impedancen af filtrets cutoff frekvens. Samtidig vil kondensatoren i serie med modstanden sørge for, at blokere DC delen af inputspændingen og derfor mindske effekttabet i modstan-

den. Denne kondensator skal have en mindre impedans end modstanden ved resonans frekvensen og en større kapacitet end filter kapaciteten. Dette vil gøre, at cut-off frekvensen af R-L filtret ikke påvirkes af kondensatoren. På figur 5.30 ses hele filteret givet af Terma.



Figur 5.30: Inputfilter

Det ses, at filtret har en overordnet knækfrekvens på:

$$f_c = \frac{1}{2 \cdot \pi \cdot \sqrt{3\mu\text{H} \cdot 10\mu\text{F}}} = 29.06\text{kHz} \quad (5.42)$$

Samtidig kan det konkluderes, at selve kapaciteten på C_{in2} er 4 gange større end C_{in} samt impedansen bliver:

$$X_{C_{in2}} = \frac{1}{2 \cdot \pi \cdot 40\mu\text{F} \cdot 29.06\text{kHz}} = 0.137\Omega \quad (5.43)$$

Hvilket er mindre end modstanden på 0.8Ω . Det vil sige, at filtret opfylder kriterier opstillet ovenfor.

5.7 Tab

Her vil tabene for komponenterne i 2. iteration blive udregnet. Derudover vil der til sidst i afsnittet, blive regnet et samlet tab converteren, for at danne et overblik over dette.

5.7.1 Transformatortab

Tabet i transformatoren kan deles op i 2 dele. Et kernetab og et kobbertab i viklingerne. Det beregnes i de følgende to afsnit.

5.7.1.1 Kernetab

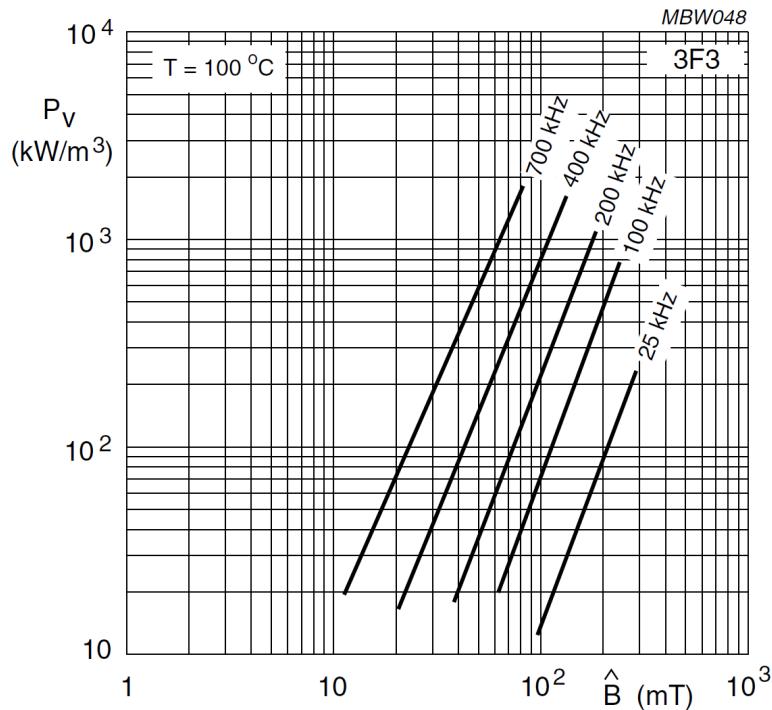
Selve kernetabet afhænger af kernematerialet, selvinduktionen i transformatoren og strømmen der løber i viklingerne[19]. Først udregnes ΔB , som er forskellen i flux i kernen.

$$\Delta B = \frac{L \cdot I_{pk21}}{N \cdot A_0} = 263.59\text{mT} \quad (5.44)$$

For at få peak fluxen divideres med 2.

$$B = \frac{\Delta B}{2} = 131.79 \text{ mT} \quad (5.45)$$

Med den information kigges i databladet under kurven for specific power loss som funktion af peak flux density. Her aflæses det specifikke kerne tab i enheden $\frac{\text{kW}}{\text{m}^3}$.



Figur 5.31: Power loss som funktion af peak flux density

Her aflæses ved en switch-frekvens på 100kHz ved de ca. 132mT. Det aflæses til et specifikt kerne tab på ca. $150 \frac{\text{kW}}{\text{m}^3}$. Det samlede kernetab fås med denne værdi ganget med den effektive volumen for RM8 kernen.

$$P = P_V \cdot V_e = 366 \text{ mW} \quad (5.46)$$

Dette passer forholdsvis pænt med det simulerede tab i kernen på 310mW.

5.7.1.2 Kobbertab

Kobbertabet i transformatoren opstår på grund af modstanden i de kobbertråde den er viklet med. Den modstand deles op i to bidrag - en DC-modstand og en AC-modstand. DC-modstanden bestemmes ud fra længden og tykkelsen af tråden, mens AC-modstanden afhænger af indtrængningsdybden og trådens diameter.

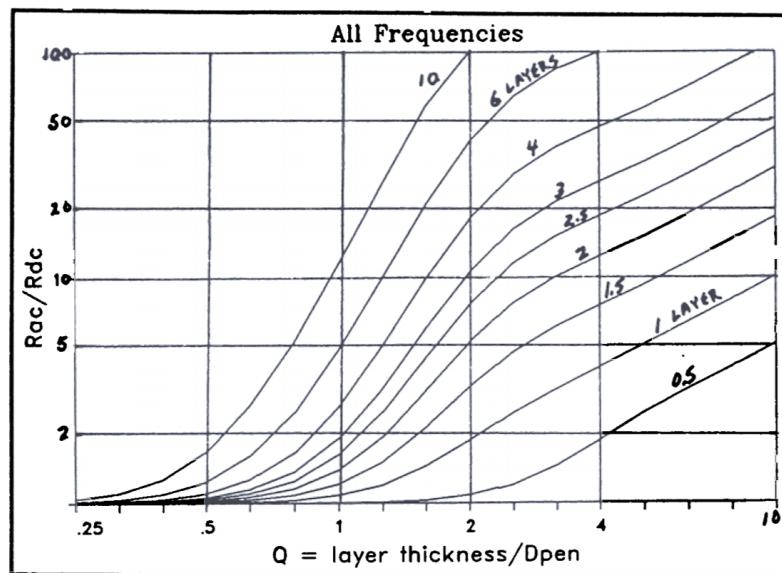
5.7.1.2.1 AC-modstand

AC-modstanden i viklingerne opstår på grund af, det magnetfelt kobbertrådene ligger i. Magnetfeltet skaber en hvirvelstrøm der løber i trådene. Hvirvelstrømmen vil derfor

være et ekstra bidrag, til den driftsstrøm der bliver sendt ind i transformatoren. Dette vil komme til udtryk, som et ekstra bidrag til den samlede modstand i viklingerne.

AC-modstanden afhænger af indtrængningsdybden og trådens diameter. Hvis diameteren er tilpas lille i forhold til indtrængningsdybden, vil hvirvelstrømmene i tråden udligne sig selv, og derved ikke bidrage til tabet. Er tråden til gengæld for tyk i forhold til indtrængningsdybden, vil det resultere i en hvirvelstrøm, der løber i hele trådens længde.

Måden AC-modstanden bestemmes, er vha. principippet *Eddy Current Losses*. Det siger at forholdet mellem AC- og DC-modstanden, kan bestemmes ud fra forholdet mellem trådens diameter og indtrængningsdybden. Disse forhold er skitseret på figur 5.32[20]. Her ses det også, at AC-modstanden afhænger af hvor mange lag der er vikler på transformatoren.



Figur 5.32: Eddy Current Losses

Det er valgt at se bort fra AC-modstanden, når kobbertabet regnes. Derfor vil det, kun være en estimering af det samlede kobbertab i transformatoren.

5.7.1.2.2 DC-modstand

For at beregne DC-modstanden, udregnes først omkredsen af kerneformen. Transformatoren er viklet på en RM8. Denne form har i følge databladet en indre diameter på 9.95mm og en ydre diameter på 16.9mm. For at finde en gennemsnitslængde på tråden, beregnes et gennemsnit af formens diameter, for derefter at beregne omkredsen af formen.

$$D = \frac{9.95\text{mm} \cdot 16.9\text{mm}}{2} = 13.43\text{mm} \quad (5.47)$$

$$O = D \cdot \pi = 4.23\text{cm} \quad (5.48)$$

Ud fra omkredsen på kerneformen, kan længden af hver kobbertråd beregnes, ved at gange med antallet af vindinger for en vikling. For den viklede transformator er $N = 19$.

$$l = O \cdot N = 80.13\text{mm} \quad (5.49)$$

Diameteren på kobbertråden er valgt til 0.425mm. Denne diameter er inkl. lakering. Ud fra et tabelopslag ved Grade 2[9], aflæses den nominelle kobberdiameter af denne tråd 0.375mm. Ud fra denne diameter beregnes trådens tværsnitsareal.

$$A_{cu} = \frac{0.375\text{mm}^2}{2} \cdot \pi = 0.11\text{mm}^2 \quad (5.50)$$

For at beregne DC-modstanden bruges kobbers resistivitet ved 100°C , for at regne worst case. Denne opslås til $\rho = 2.204 \cdot 10^{-8}\Omega \cdot \text{m}$. Nu kan hver enkelt tråds DC-modstand bregnes ud fra trådens længde, samt tværsnitsareal.

$$R_{DC1} = \frac{l \cdot \rho}{A_{cu}} = 159.91\text{m}\Omega \quad (5.51)$$

Transformatoren er viklet med tre tråde i parallel ved både primær- og sekundærviklingen. Derfor beregnes den samlede modstand, ved at regne parallelmodstanden:

$$R_{DC} = ((R_{DC1})^{-1} \cdot 3)^{-1} = 53.3\text{m}\Omega \quad (5.52)$$

Kobbertabet i transformatoren, kan nu beregnes ved RMS-strømmene i primær- og sekundærviklingerne. Hvor $I_{RMSP} = 3.02\text{A}$ og $I_{RMSs} = 3.36\text{A}$.

$$P_{cuP} = (I_{RMSP})^2 \cdot R_{DC} = 0.486W \quad (5.53)$$

$$P_{cuS} = (I_{RMSs})^2 \cdot R_{DC} = 0.602W \quad (5.54)$$

5.7.2 MOSFET

Tabet i MOSFET'en kan deles op i 2 dele. Den har et conduction tab når den er ON, og et switchtab i forbindelse med switching af den.

5.7.2.1 Conduction tab

Til at beregne conduction tabet i MOSFET'en benyttes RMS strømmen i den primære vikling som i 1. iteration blev udregnet til 3.09A. RMS strømmen i anden ganget med MOSFET'ens ON modstand, som er $113\text{m}\Omega$, giver et tab på:

$$P_{cond} = (I_{RMSP})^2 \cdot R_{on} = 1.06W \quad (5.55)$$

5.7.2.2 Switchtab

Switchtabet i MOSFET'en opstår som konsekvens af de effekttrekanter, der blev omtalt i MOSFET afsnittet 5.3. I denne udregning tages peak strømmen som peak-average og det estimeres at effekttrekanterne er lige store. Selve udregningen kommer ud fra

arealet af en trekant, hvor peakaverage strøm ganget med max spænding er højden på trekanten. Længden af de 2 trekantede, t_r og t_f , er switch-tiden i MOSFET'en, som hver især i 2. iteration er designet til 138.7ns. Det giver et switchtab i MOSFET'en på[21]:

$$P_{\text{switch}} = \frac{1}{2} \cdot I_{\text{pkavg21}} \cdot (V_{\text{inmax}} + V_{\text{out21}}) \cdot \frac{(t_r + t_f)}{T} = 4.493W \quad (5.56)$$

Kapaciteten C_{oss} i MOSFET'en giver også anledning til et tab. Det er dog så småt i forhold til resten af switchtabet, at det ikke er taget med i udregningen her.

5.7.3 Diode

For at udregne tabet i dioden kigges der på strømmen i den samt spændingsfaldet over den. I diode afsnittet blev det fastlagt til 0.45Ω , ved 125°C . Ved strømmen ses på peak-average strømmen på sekundærsiden, som udregnes ved:

$$I_{\text{pkavg}} = \frac{I_{\text{out}}}{1 - D_{\text{maks}}} = \frac{2.5A}{0.548} = 4.56A \quad (5.57)$$

Disse 2 tal ganges sammen ligesom D for sekundærsiden ganges på. Dette giver et tab i dioden på:

$$P_D = I_{\text{pkavg}} \cdot V_D \cdot (1 - D_{\text{max21}}) = 4.56A \cdot 0.45V \cdot 0.56 = 1.125W \quad (5.58)$$

Kigges der nærmere på de 2 formler svarer udregninger til, at gange udgangsstrømmen med spændingsfaldet, da $1 - D_{\text{max21}}$ vil gå ud med hinanden.

Da der i dette projekt benyttes en schottky diode, har den ikke nogen reverse recovery tid. Det betyder, at der ikke vil være noget nævneværdigt switchtab i dioden.

5.7.3.1 Kondensator

Med ESR modstanden i kondensatoren giver det anledning til et tab pga. den RMS strøm der ligger over den. RMS strømmen i kondensatoren kan beregnes med ligningen nedenfor[13, p. 3].

$$I_{\text{Crms}} = \sqrt{I_0^2 \cdot D_{\text{max}} + (I_{\text{pkavg}} \cdot D_{\text{max}})^2 \cdot (1 - D_{\text{max}})} = 2.247A \quad (5.59)$$

Med RMS strømmen igennem kondensatoren kan tabet i ESR modstanden beregnes.

$$P_{\text{Cesr}} = (I_{\text{Crms}})^2 \cdot C_{\text{esrtot}} = 12.62mW \quad (5.60)$$

Det ses, at tabet i kondensatoren, i forhold til de resterende tab i converteren, er ubetydeligt.

5.7.3.2 Current-sense tab

Strømmen der løber i current-sense modstanden er den samme, som den der løber i transformatorens primærvikling. Derfor bruges den udregnede RMS strøm i denne til at finde tabet i modstanden.

$$P_{\text{CS}} = (I_{\text{prirms}})^2 \cdot R_{\text{sense}} = 1.524W \quad (5.61)$$

5.7.4 Oversigt over analyseret tab

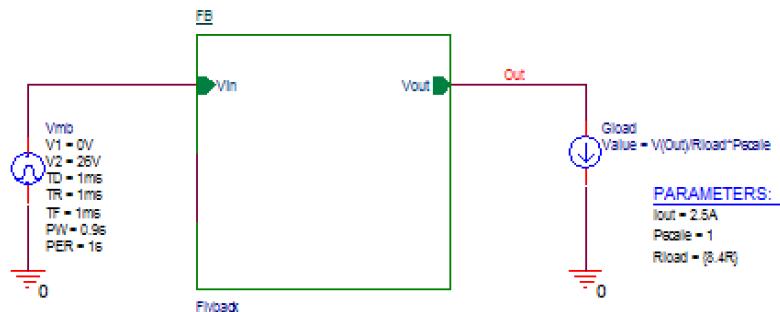
Komponent	Tab
Transformator samlet	1.46W
Kernetab	366mW
Kobbertab	1.09W
MOSFET samlet	5.55W
Conductiontab	1.06W
Switchtab	4.49W
Diode	1.13W
Kondensator	12.62mW
Current sense	1.52W
Total tab	9.672W

Tabel 5.3: Oversigt over analyseret tab

5.8 Simulering

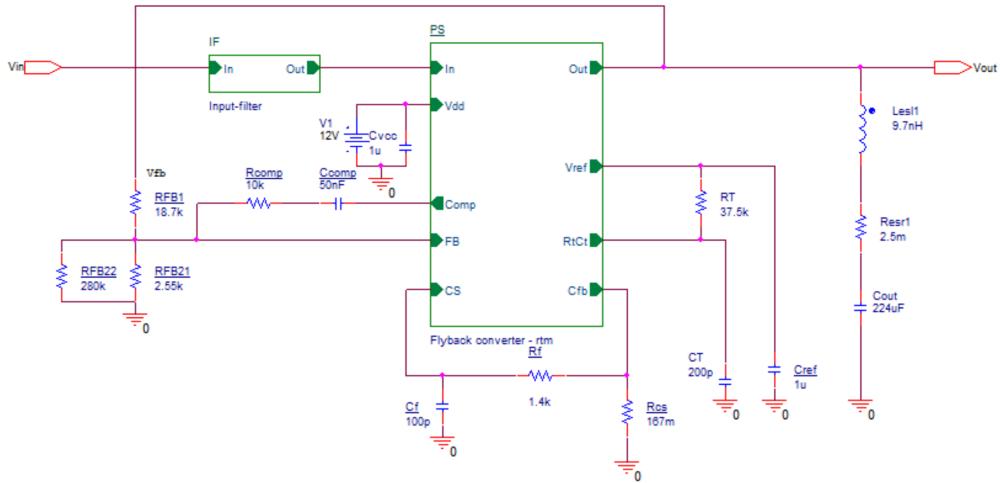
I dette afsnit laves simuleringen for det samlede kredsløb i 2. iteration. Selve simuleringsdokumentet er delt op i blokke for at gøre det mere overskueligt.

Kigges der på det yderste trin på figur 5.33, ses blot indgangsspændingen på 26V og udgangsloaden, der er sat op til 8.4Ω . Loaden er sat op som en strømkilde, der vil trække en strøm på $2.5A$ fra converteren.



Figur 5.33: Yderste blok af simulering

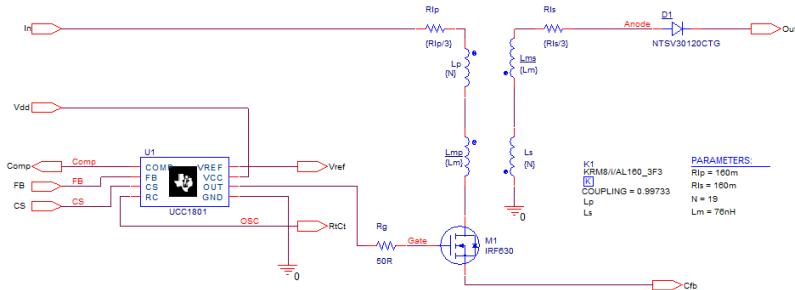
Imellem er blokken "Flyback". Heri er selve kredsløbet. Dykkes der ind i denne blok fås det der ses på figur 5.34.



Figur 5.34: Flyback blok

Her ses yderligere 2 blokke hhv. Inputfilter og flyback converter. Ud over disse blokke ses de komponenter, der er brugt til at få PWM controlleren til at køre efter hensigten. Selve PWM-controlleren ligger inde i flyback converter blokken. Værdierne og forklaringen af komponenterne blev gennemgået i analyse afsnittet om PWM controlleren. Desuden ses output kondensatoren med de udregnede parasitter også.

Blokken for inputfiltret er allerede vist tidligere under forklaringen af denne, så den vises ikke igen. Til gengæld ses indholdet af Flyback converter blokken på figur 5.35.



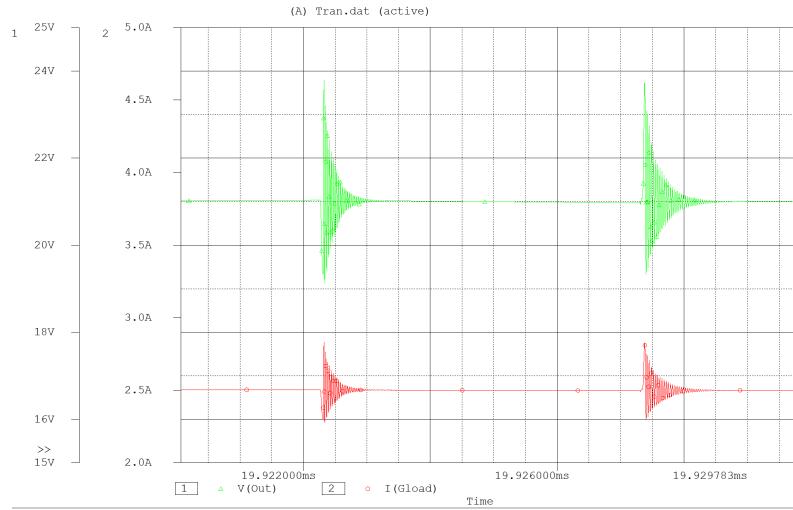
Figur 5.35: Flyback converter blok

Heri ses selve PWM controlleren UCC1801, som der er trukket en model ind for[22]. Også MOSFET'en og Dioden er der trukket modeller ind for. Ved MOSFET'en har det ikke været muligt at finde den præcise model. Derfor er IRF630 modellen istedet brugt, da det er vurderet, at den minder en del om den[23]. Yderligere ses transformatoren, hvor både spredningsselvinduktion og kobbermodstanden i ledningerne er tegnet med samt kernemodellen for 3F3 er trukket ind. Derudover er koblingen i transformatoren regnet til 99.73%, ud fra forholdet mellem selvinduktionen og spredningsselvinduktionen.

5.8.1 Constant load

Ved constant load simuleringen simuleres der med en load på 8.4Ω , efter 20ms så det sikres, at der ses på den stationære udgang. Indgangsspændingen er sat til 26V. Første

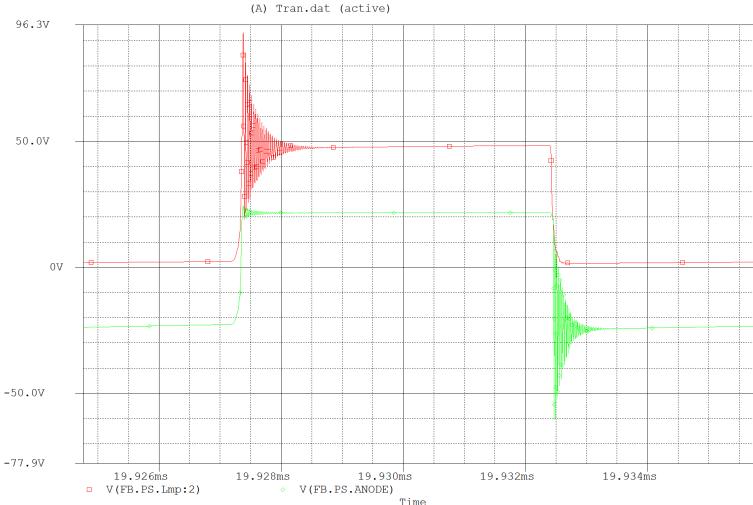
plot af denne simulering ses på figur 5.35. Her ses både strøm og spænding på udgangen.



Figur 5.36: Simulering af udgang

Her ses det at spændingen $V(\text{out})$ ligger på 21V, dog med svingninger hver gang der switches. Det ser altså ud til at switching transiente fra MOSFET og diode kommer til syne på udgangen. Det er samme billede for strømmen $I(\text{Gload})$, der ellers ligger på de forventede 2.5A.

På figur 5.37 ses en spændingsperiode for drain benet på MOSFET'en samt dioden.

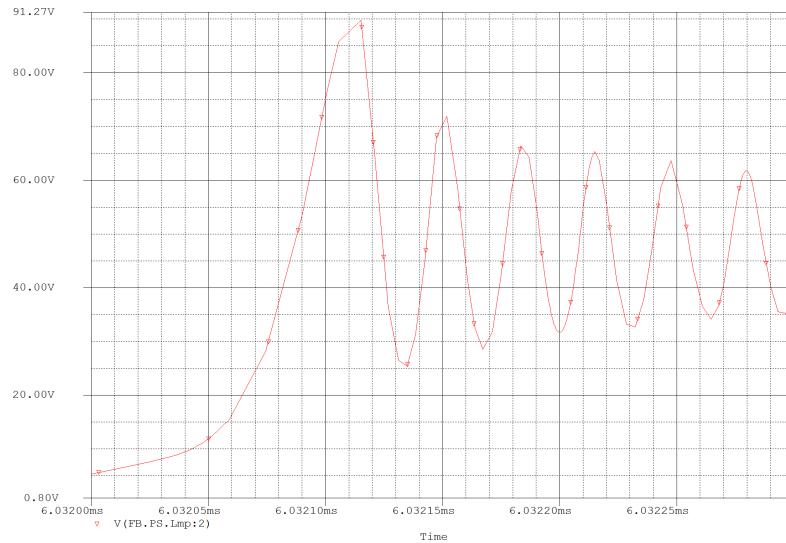


Figur 5.37: Simulering af spænding over diode og drain ben på MOSFET

Det ses, at når transistoren (rød) går OFF så kommer den tidligere omtalte peaks-pænding samt den svinger, inden den falder mod en stationær værdi på ca. 48V, inden MOSFET'en switches ON igen. Dette stemmer fint overens med analysen hvor den stationær værdi bør ligge på $21V + 26V = 47V$. Den ekstra spænding over MOSFET'en, er bl.a. et bidrag fra spændingsfaldet over dioden. Peak'en aflæses ca. 93V. Det samme ses for dioden (grøn) at når MOSFET'en er ON, vil dioden forspændt i spærretretningen, og skal derfor kunne holde til den peak på ca. 80V der ses på grafen. Derudover lægger den

sig på en stationær værdi på ca. 46V, hvilket igen stemmer pænt overens med de 47V.

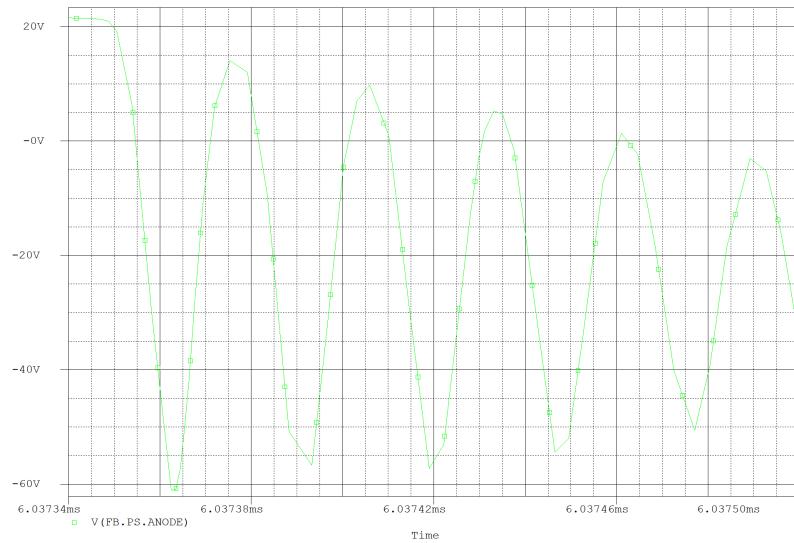
På figur 5.38 zoomes der ind på svingningerne på MOSFET'ens drain.



Figur 5.38: Zoomet simulering af svingninger fra MOSFET

Her kan svingningernes frekvens aflæses. Det gøres ved, at aflæse længden på en svingning. Her er anden svingning aflæst til 34ns. Det giver en frekvens på 29.41MHz.

Det samme gøres for det zoomede billede af svingningerne i dioden som ses på figur 5.39.



Figur 5.39: Zoomet simulering af svingninger fra diode

Anden svingning er her aflæst til 30ns. Det giver en frekvens på 33.33MHz.

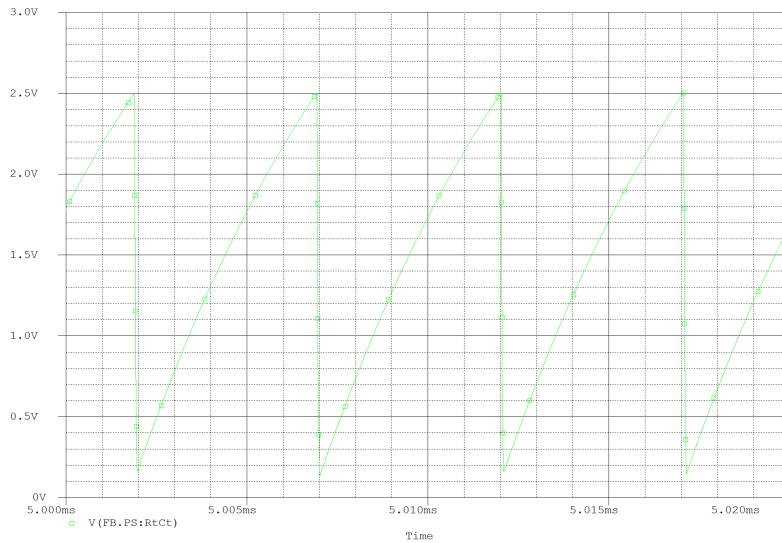
5.8.2 PWM-controller

I det følgende afsnit simuleres funktionaliteterne omkring PWM-controlleren. Her simuleres frekvensen af savtandspændingen og selve switch-frekvensen, samt signalet over

current-sense modstanden både før og efter filteret.

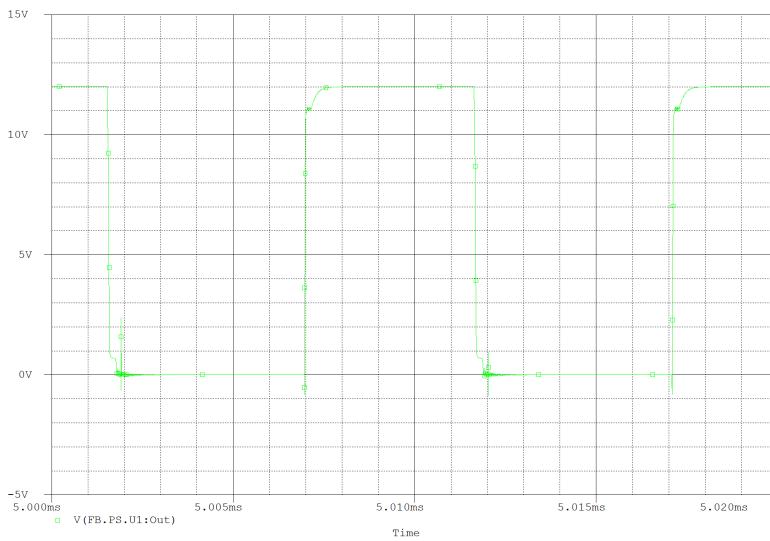
5.8.2.1 Switch-frekvens

Først simuleres frekvensen af savtandspændingen. Dette er gjort på figur 5.40. Periodetiden af savtandspændingen aflæses til $5.01\mu s$. Omregnet til en frekvens giver det: $f_{osc} = \frac{1}{5.01\mu s} = 199.6\text{kHz}$. Derudover aflæses signalets minimumsspænding til ca. 138mV , og maksimum- til ca. 2.5V . I følge teorien burde spændingen ligge mellem 200mV og 2.65V .



Figur 5.40: Simulering af savtandspændingen

Nu simuleres selve switch-frekvensen. Dette er gjort på figur 5.41, hvor der måles på udgangen af PWM-controlleren. Her måles periodetiden til $10.1\mu s$, eller en frekvens på $f_s = 99.01\text{kHz}$.

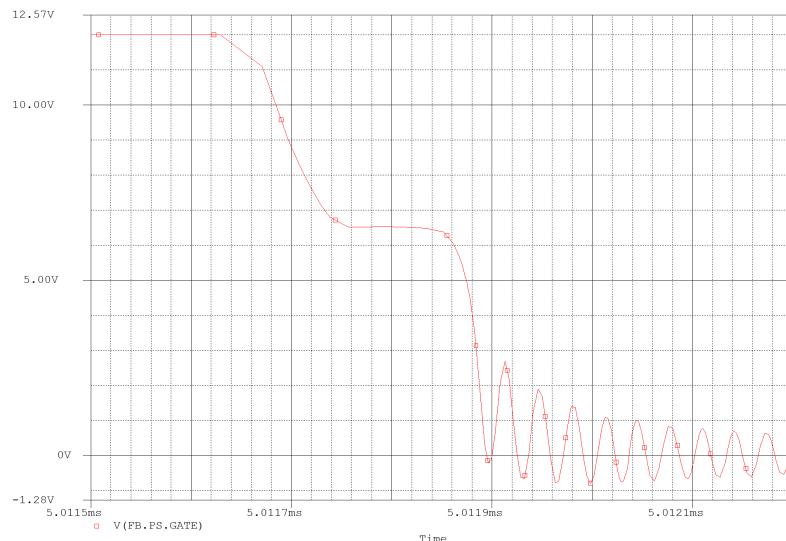


Figur 5.41: Simulering af switch-frekvens

5.8.2.2 Switch-tid

Simuleringen af switch-tiden i MOSFET'en er vist på figur 5.42. Figuren viser et zoom af MOSFET'ens gate signal. Switch-tiden kan aflæses som tiden af signalets plateau. Det aflæses til ca. 103ns. Grunden til dette afviger meget fra analysen, er modellen for den MOSFET der bruges i simuleringen. Som nævnt bruges en anden MOSFET i simuleringen, end der er regnet med i analysen. En af de specifikationer de afviger mellem de to MOSFETs er *Miller* ladningen, der bruges til at regne switch-tiden. I databladet for IRF630[23], aflæses den til 15nC. Regnes switch-tiden ud fra det, fås 107.1ns, hvilket stemmer med det simulerede.

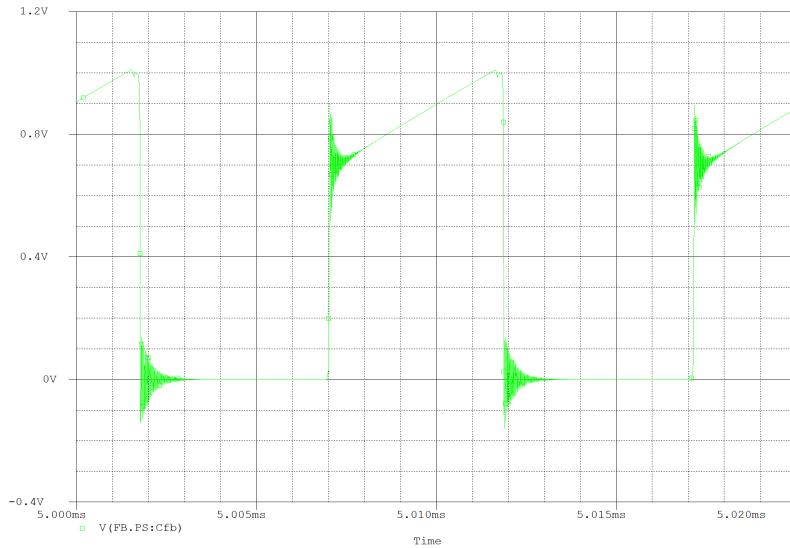
$$\tau_{ch} = \frac{Q_{gd} \cdot R_g}{V_{DD} - V_{gs}} = \frac{15\text{nC} \cdot 50\Omega}{12\text{V} - 5\text{V}} = 107.1\text{ns} \quad (5.62)$$



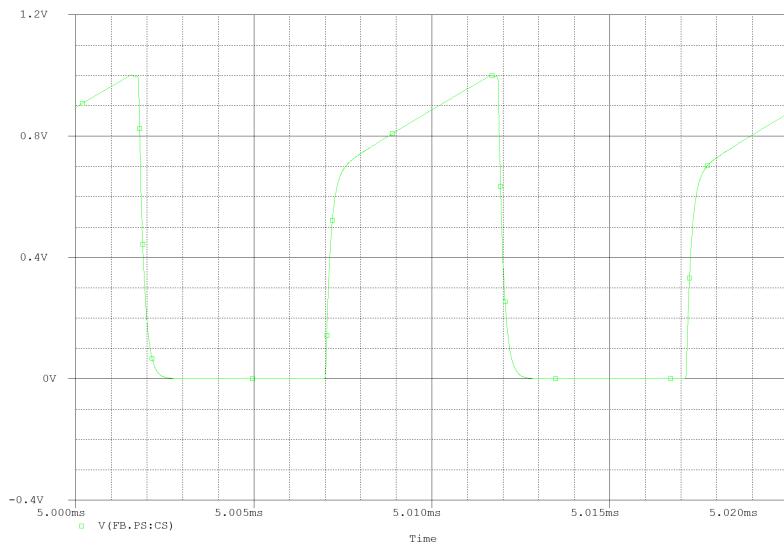
Figur 5.42: Simulering af switch-tid i MOSFET

5.8.2.3 Current-sense

Current-sense signalet måles både før og efter filtreringen. Signalet før filteret ses på figur 5.43. Her ses de spikes på signalet, der kan give anledning til en forkert duty-cycle. Figur 5.44 viser simuleringen for signalet efter filtreringen. Her ses det, at spikesene er blevet filtreret væk, dog med den konsekvens at signalet har fået en langsommere stigetid. Stigetiden aflæses til ca. 280ns. Ifølge teorien burde PWM-controllerens udgangssignal skifte, når current-sense signalet er lig 1V. På figur 5.44, ses det, at dette også er tilfældet for p-spice modellen for UCC1801.



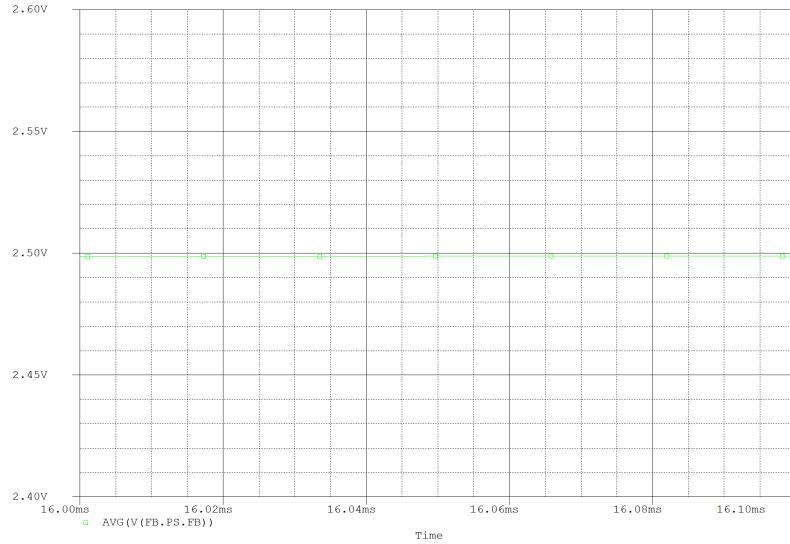
Figur 5.43: Simulering af current-sense signal før filtrering



Figur 5.44: Simulering af current-sense signal efter filtrering

5.8.3 Spændingsdeler

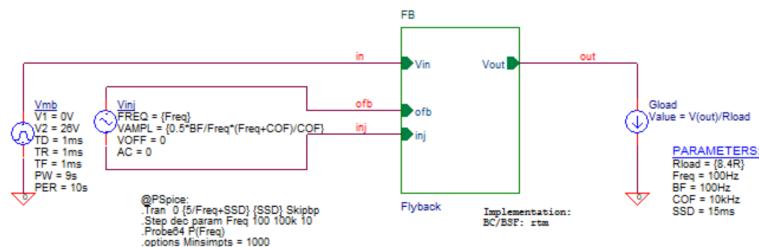
Simulering af spændingsdelen ses på figur 5.45. Her er der målt et gennemsnit af den spænding der ligger over R_{FB2} , og dermed den spænding der ligger på indgangen af fejforstærkeren. Spændingen aflæses til 2.499V, hvilket blev designet efter 2.5V.



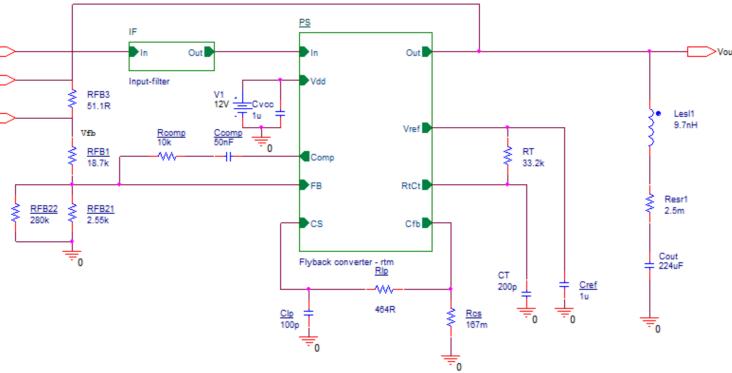
Figur 5.45: Simulering spændingsdeler

5.8.4 Gain-fase

Simuleringsdiagrammet for gain-fase, ses på figur 5.46. For at lave simuleringen, indføres der et fejlsignal i tilbagekoblingen til fejlførstærkeren. Det gøres ved at indsætte en ekstra modstand inden spændingsdelen, som ses på figur 5.47. Impedansen af denne modstand vælges til 51.1Ω , for at tilpasning til den network analyzer der bruges i realiseringen. Derudover vil modstanden ikke påvirke spændingsdelen, da den er meget lille ift. RFB1. Da der indføres et fejlsignal på indgangen, mens ændringen på udgangen monitoreres, er det åbensløjfen der simuleres.



Figur 5.46: Gain-fase simuleringssdiagram



Figur 5.47: Flyback blok - Gain-fase simulering

For at lave gain-fase simuleringen skal der foretages et frekvens-sweep af fejsignalet. Derfor skal der laves en AC-simulering af kredsløbet. Det er dog ikke muligt med det bibliotek der bruges af UCC1801. Derfor foretages der en transient simulering, hvor frekvensen af fejkilden løbende hæves. Dette giver en fil, med en simulering af alle ønskede frekvenser. Ud fra denne fil kan p-spice generere den tilhørende AC-fil, hvor gain-fase af systemet kan plottes.

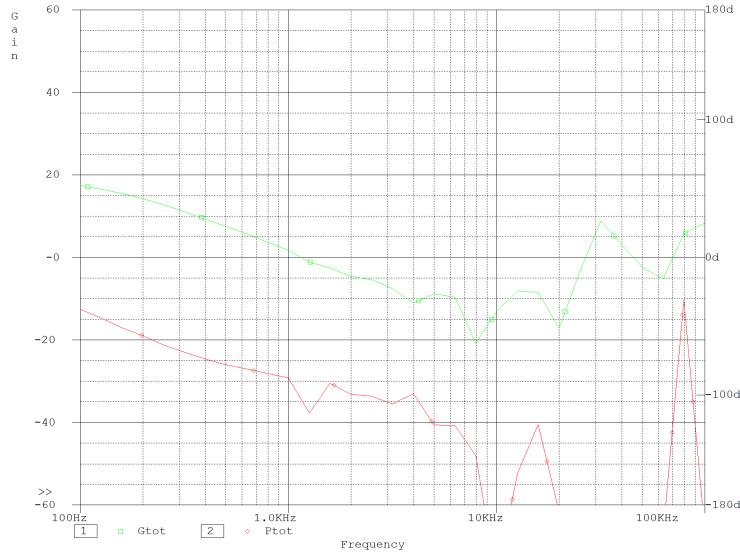
For at sætte simuleringen op i p-spice, indsættes tekstblokken `@PSpice:`. Den ses på figur 5.46. I den vælges længden på simuleringerne og frekvens-sweep'et. På første linje defineres længden af hver simulering. Den første og den sidste(0 og SSD) del af linjen definerer opstarten, hvor $SSD = 15\text{ms}$. Ved kommandoen `Skipbp`, vælges det at se bort fra opstarten, og dermed kun se steady-state. Den midterste del af linjen($5/\text{Freq} + SSD$) definerer hvor langt selve signalet skal være. Hvor Freq er den variable frekvens. $5/\text{Freq}$ bestemmer at der simuleres fem perioder, og $+SSD$ tager højde for at opstarten ikke medtages.

Anden linje definerer om der ønskes et lineært eller et logaritmisk sweep. Ved at bruge kommandoen `dec`, for deacde, vælges et logaritmisk sweep. Derudover vælges start- og stopfrekvens, samt hvor mange simuleringer der skal foretages i hver dekade. Her vælges en startfrekvens på 100Hz , en slutfrekvens på 100kHz , og 10 simuleringer per dekade. Da systemets dominerende pol ligger ved 132Hz , ville det være optimalt at have en startfrekvens på 10Hz . Dette var dog ikke muligt pga. simuleringstid og filstørrelse. De sidste to linjer fortæller p-spice, at det er Freq der er variabel.

Opsætningen af indgangskilden og udgangsloaden, gøres på samme måde som ved Constant Load. Amplituden af fejkilden, opsættes således amplituden falder når frekvensen stiger. Dette sikrer at systemet ikke overstyres ved høje frekvenser. Samtidig sikres på den måde at have en lidt højere amplitude ved de lavere frekvenser. Det hjælper til signalstøjforholdet, som er mest kritisk ved de lavere frekvenser, da gain her er høj[24].

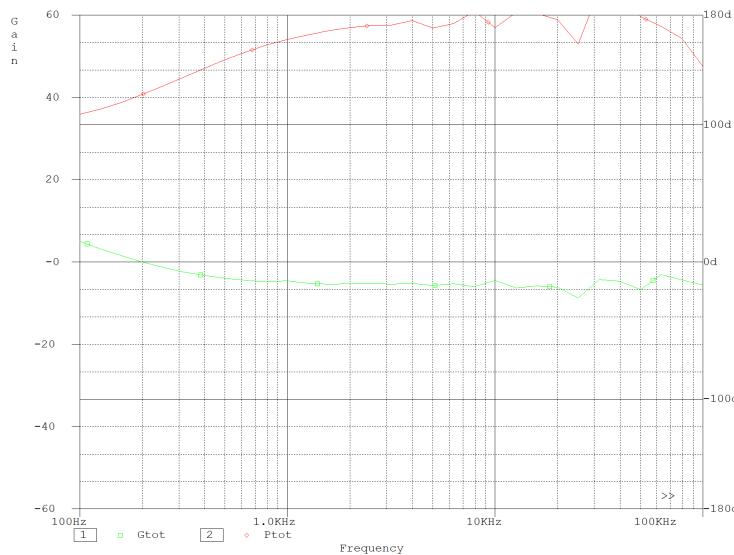
Simulering af gain-fase for selve power modulet er vist på figur 5.48. Her er gain grøn og fasen er rød. Der er målt mellem udgangen af fejlförstærkeren og udgangen af converteren. Det ses at når frekvensen nærmer sig 10kHz , bliver simuleringen usikker. Derfor vil det primært være analysen der bruges til sammenligning med realiseringen. Båndbredden kan dog aflæses til ca. 1200Hz , hvilket stemmer nogenlunde overens med

analysen, som blev aflæst til ca. 1430Hz. Derudover aflæses gain ved en frekvens på 100Hz til ca. 17.4dB. Ved analysen blev dette aflæst til ca. 18dB. Ud fra disse punkter kan det ses at simulering passer nogenlunde ved de lavere frekvenser.



Figur 5.48: Gain-fase simulering for power modul

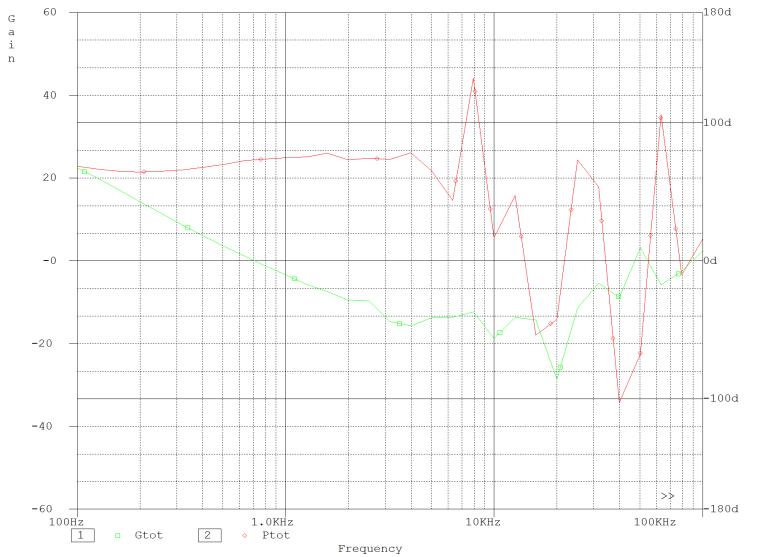
Simuleringen af gain-fase for fejlforstærkeren er vist på figur 5.49. Der er målt mellem indgangen til spændingsdelen og udgangen af fejlforstærkeren. Det ses, at den ønskede funktionalitet af fejlforstærkeren er opnået. Ved frekvenser over knækfrekvensen på ca. 300Hz, har fejlforstærkeren et konstant gain på ca. -5.3dB. Mens forstærkningen stiger ved lavere frekvenser. Derudover ses det at fejlforstærkeren tilfører et faseløft på 90° , da der indføres en pol.



Figur 5.49: Gain-fase simulering for fejlforstærker

Simuleringen af gain-fase for det samlede system er vist på figur 5.50. Der er målt over den modstand hvor fejlsignalet indføres. Det svarer også til indgangen af spændings-

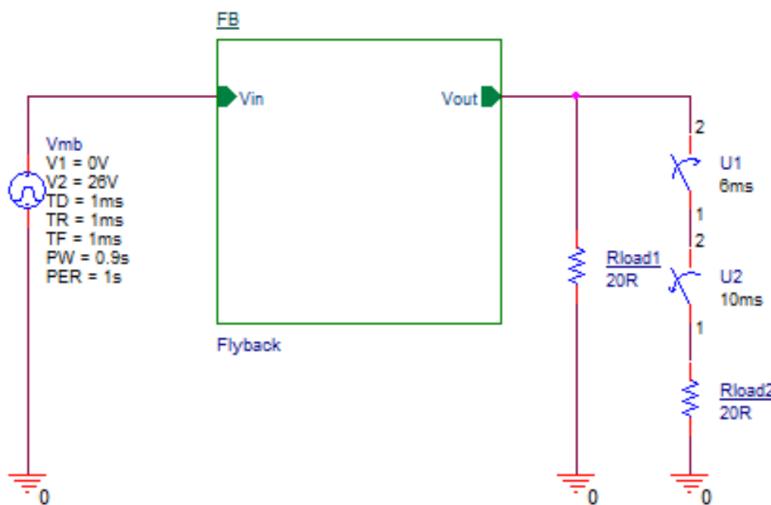
deleren og udgangen af converteren. Her ses det samme, som ved power modulet, at simuleringen ved de høje frekvenser bliver usikker. Indførelsen af fejlforstærkeren ses, ved båndbredden er blevet begrænset til ca. 700Hz. Der er designet efter en båndbredde på ca. 800Hz. Gain-marginen kan ikke rigtig aflæses her, da simuleringen bliver ustabil inden fasen krydser 0° . Til gengæld kan fase-marginen aflæses til ca. 75° , hvilket i analysen blev designet til 74.3° .



Figur 5.50: Gain-fase simulering for det samlede system

5.8.5 Load step

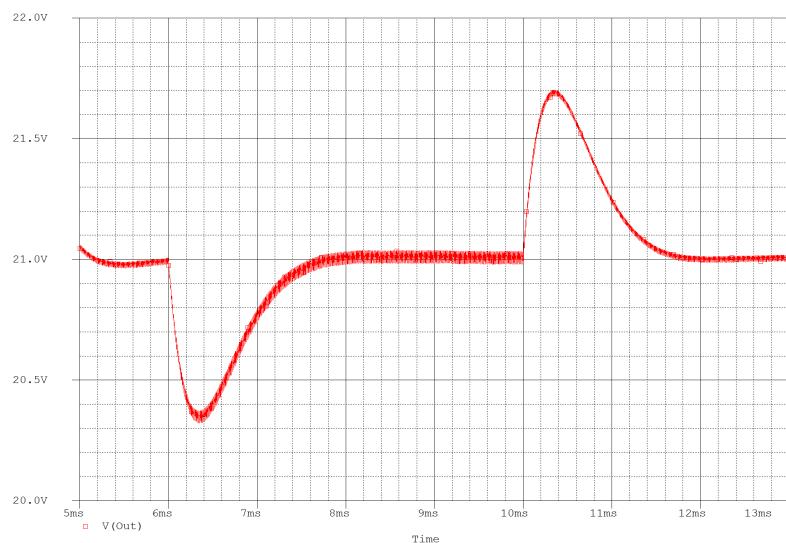
Ved load steppet kontrolleres det, hvor hurtigt systemet får reguleret udgangsspændingen, efter en pludselig ændring af loaden. I forhold til før, er der sket en ændring i toplaget i schematic, som ses på figur 5.51



Figur 5.51: Toplaget for simulering af load step

Den eneste forskel er i udgangsloaden. Som her består af to 20Ω modstande i parallel, hvor den ene sidder for enden af 2 switches. Switchen U1 lukker efter 6ms hvorefter begge switches vil være ON. Her er loaden parallelmodstanden af Rload1 og Rload2 og dermed 10Ω . Dette er tilfældet i 4ms, indtil switch U2 åbner og loaden igen består af de 20Ω fra Rload1.

Udover dette er der en yderligere ændring. Ved denne simulering er parasit spolen fjernet fra udgangskondensatoren. Dette er gjort, da spolen som før set, giver anledning til en del svingninger. Det er ikke den del, der her i load steppet er interessant, og derfor ses der bort fra den. Det vigtige er i stedet hvor hurtigt der bliver reguleret og hvor stort et overshoot der fås. Simuleringsresultatet ses på figur 5.52



Figur 5.52: Simulering af load step

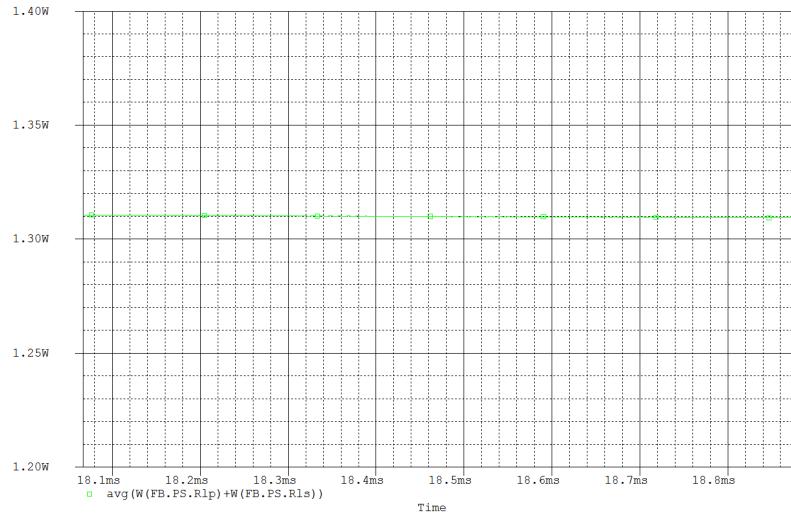
Det ses, at så snart switch U1 går ON falder spændingen fra 21V til ca. 20.35V og det tager systemet ca. 1.6ms at regulere tilbage igen. Da U2 går OFF stiger spændingen fra 21V til 21.7V og bruger igen 1.6ms, på at regulere spændingen tilbage til de 21V.

5.8.6 Tab

Her er tabene for de forskellige komponenter simuleret, ligesom de blev analyseret tidligere. Her er der igen givet et overblik over det samlede tab til sidst i afsnittet.

5.8.6.1 Transformatør

Kernetabet i transformatøren er simuleret tidligere i sektion 5.1.2 til 311mW. Der er indsatt modstande på 53.33Ω på både primær- og sekundærsiden af transformatøren for at simulere kobbertabet i trådene. På figur 5.53 ses det simulerede kobbertab. Her er der taget et gennemsnit af effektafsættelserne i de to kobbermodstande lagt sammen.

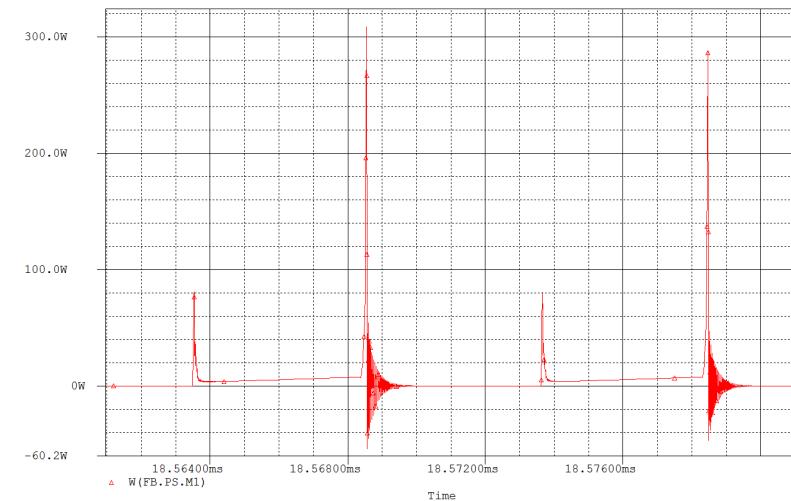


Figur 5.53: Simulering af kobbertab i transformator

Tabet aflæses til 1.31W. Det ekstra tab der er simuleret i forhold til analysen kommer af, at current-sense modstanden er designet efter en peakstrøm på ca. 6A. Det får RMS strømmen på primær og sekundær til at stige, og ligger dermed på et højere niveau end den analyserede værdi.

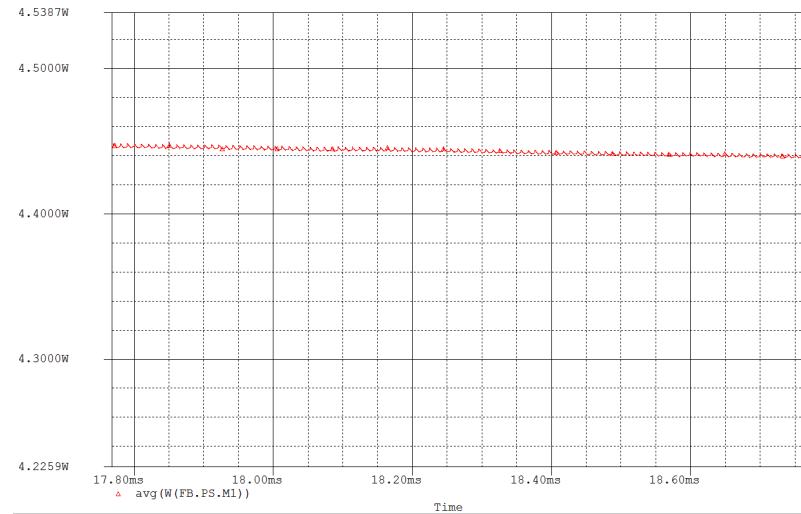
5.8.6.2 MOSFET

Conduction- og switch-tabene er her simuleret. På figur 5.54 ses tabet for hver periode.



Figur 5.54: Simulering af tab i MOSFET (periodeoverblik)

Det ses, at der kommer de fornævnte effekttrekanter når der switches. Det er det simulerede switchtab. Offsettet i tiden mellem disse effekttrekanter er conduction tabet. På figur 5.52 er der taget et gennemsnit af simuleringen. Det giver det samlede tab for både conduction og switch-tabet.

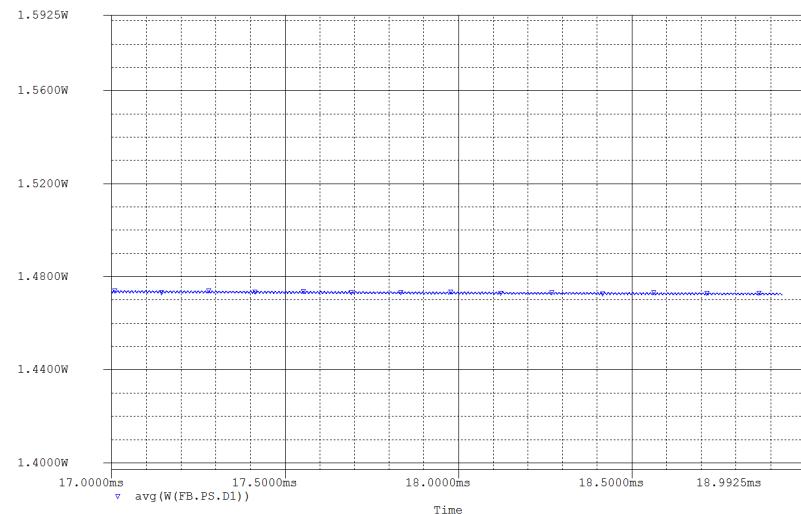


Figur 5.55: Simulering af average tab i MOSFET

Det aflæses til at ligge på 4.45W. Tabet her ligger en del under det analyserede. Det skyldes, at modellen der er brugt i simuleringen, ikke er den samme som bruges i analyse og realisering. Samtidig er analysen et estimat af tabet, hvor der foreksempel regnes med at effekttrekanterne er lige store. Begge dele kan være fejlkilder der gør, at de to tab ikke stemmer helt overens.

5.8.6.3 Diode

Diodens tab er simuleret på figur 5.56.

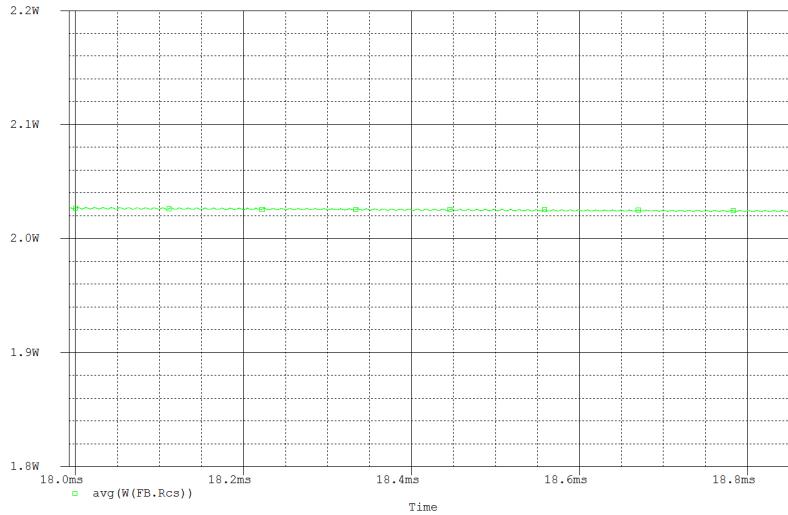


Figur 5.56: Simulering af tab i diode

Tabet aflæses til 1.47W. Grunden til det ikke stemmer så godt overens med det analyserede, skyldes at modellen regner med et spændingsfald på 0.6V, hvor der i analysen er brugt 0.45V. Dette kommer af, at simuleringssmodellen ikke tager højde for at spændingsfaldet ændrer sig med strømmen og temperaturen.

5.8.6.4 CS modstands tab

Tabet i current sense modstanden ses på figur 5.57



Figur 5.57: Simulering af tab current sense modstand

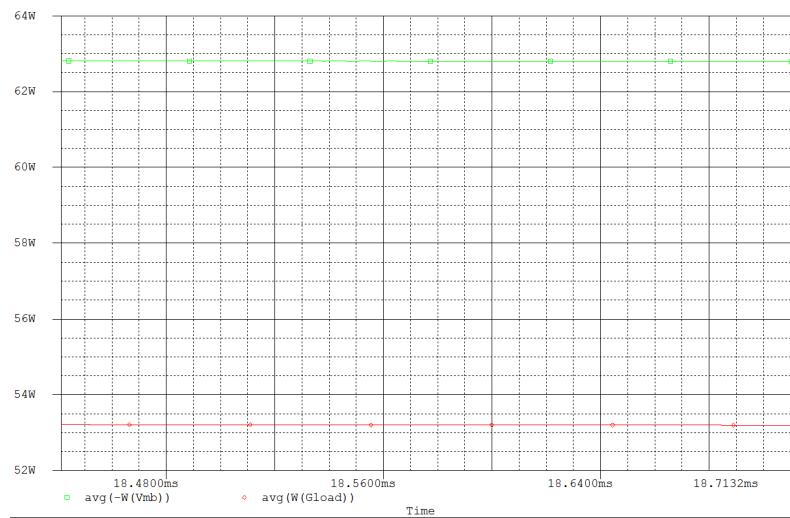
Tabet kan aflæses til 2.03W. Igen er tabet noget større end beregnet, og skyldes den forstørrede RMS strøm der løber i modstanden.

5.8.6.5 Samlet tab

Komponent	Tab	
	A	S
Transformator samlet	1.46W	1.62W
Kernetab	366mW	311mW
Kobbertab	1.09W	1.31W
MOSFET samlet	5.55W	4.45W
Conductiontab	1.06W	
Switchtab	4.49W	
Diode	1.13W	1.47W
CS modstands tab	1.52W	2.03W
Total tab	9.67W	9.57W

Tabel 5.4: Oversigt over analyseret og simuleret tab

For at få det samlede simulerede tab i converteren, tages der på figur 5.58 et gennemsnit af den effekt der trækkes fra indgangskilden, i forhold til den belastning loaden trækker på udgangen. Differensen herimellem er det samlede simulerede tab.

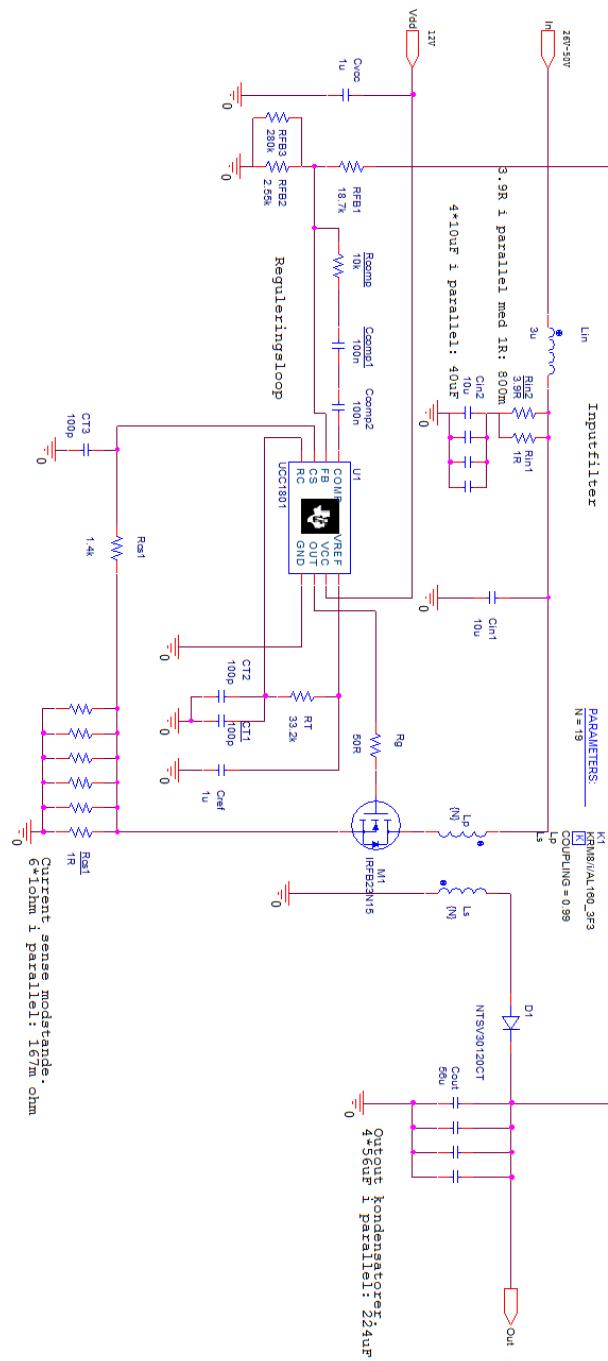


Figur 5.58: Simulering af watt på indgangen og i loaden

Indgangseffekten aflæses til ca. 62.75W og loadens effekt til 53.25W. Det giver et samlet simuleret tab på 9.5W. Det minder meget om resultatet i tabel 5.4. Det betyder, at der er taget højde for de vigtigste tab i converteren.

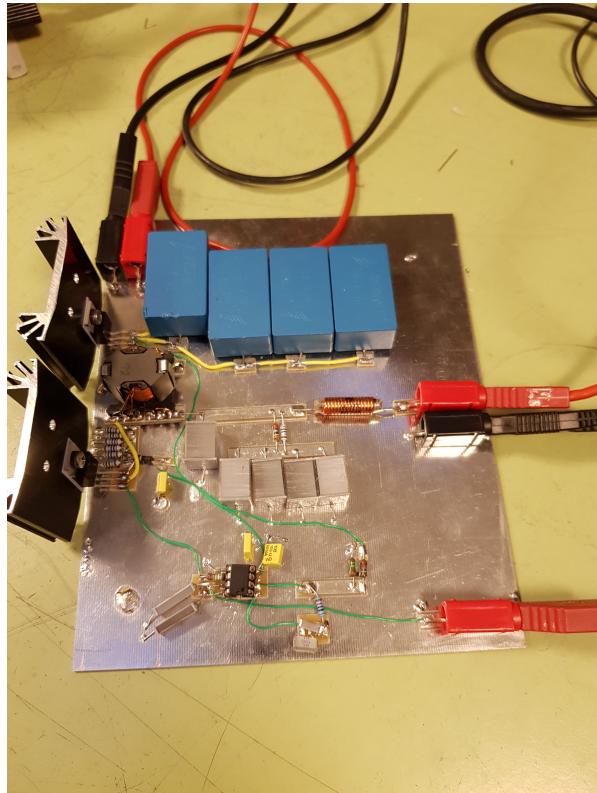
5.9 Realisering

I dette afsnit implementeres, og testes, den designede converter i 2. iteration. Implementeringen sker på et Mini-Mount, som består af et stort ground plan. Selve banerne består af små PCB-stykker der klistres ovenpå, hvor komponenterne loddes på. Ground planet giver optimale forhold for både strømveje og afkobling. Da det er essentielt at holde banerne til ground på det minimale, giver ground planet de bedst mulige betingelser for converteren. På figur 5.59 ses et schematic, der viser, et overblik over præcis de komponenter og komponentværdier, der er loddet på printet.



Figur 5.59: Schematic overblik for 2. iteration

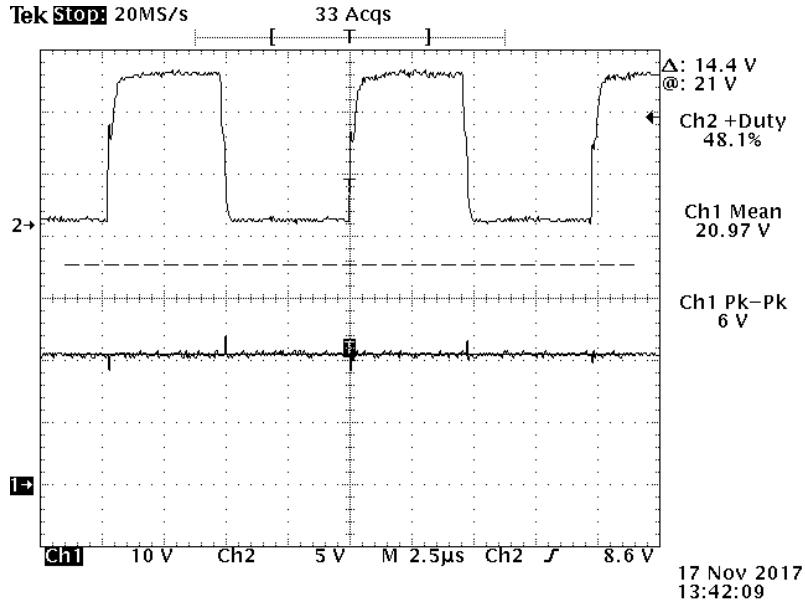
Implementeringen af converteren ses på figur 5.60. Inputspændingen er placeret i midten til højre, inputspændingen til PWM-controlleren er placeret nederst til højre, og udgangen til loaden er placeret øverst til venstre. Med mindre andet er beskrevet testes der med fuld belastning ved ca. 8.4Ω .



Figur 5.60: Implementering af converter

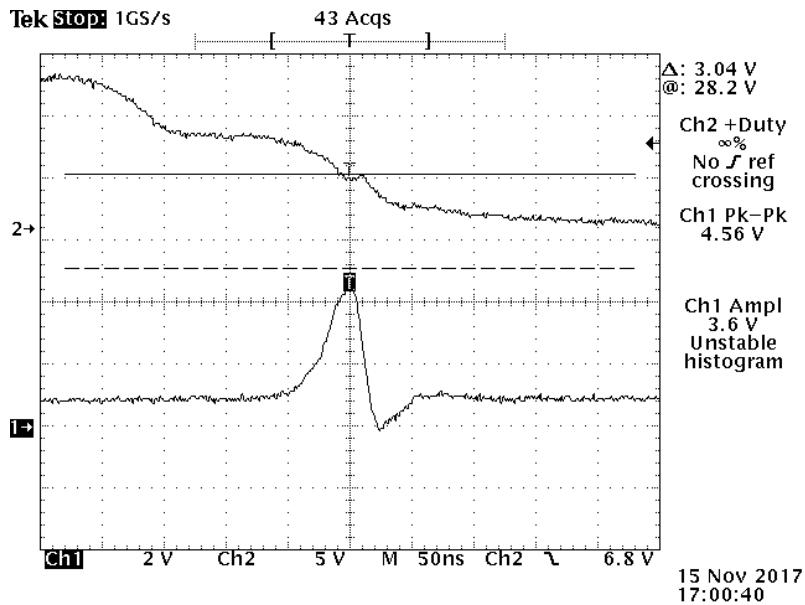
5.9.1 Constant load

Ligesom ved simuleringsafsnittet 5.8.1 ses der på spændingen på både udgang og begge sider af transformatoren. Der er brugt en indgangsspænding på 26V og en load på 8.4Ω . Først er oscilloskopets prober sat henover udgangen og resultatet af dette se på figur 5.61



Figur 5.61: Spændingsoutput ved 26V

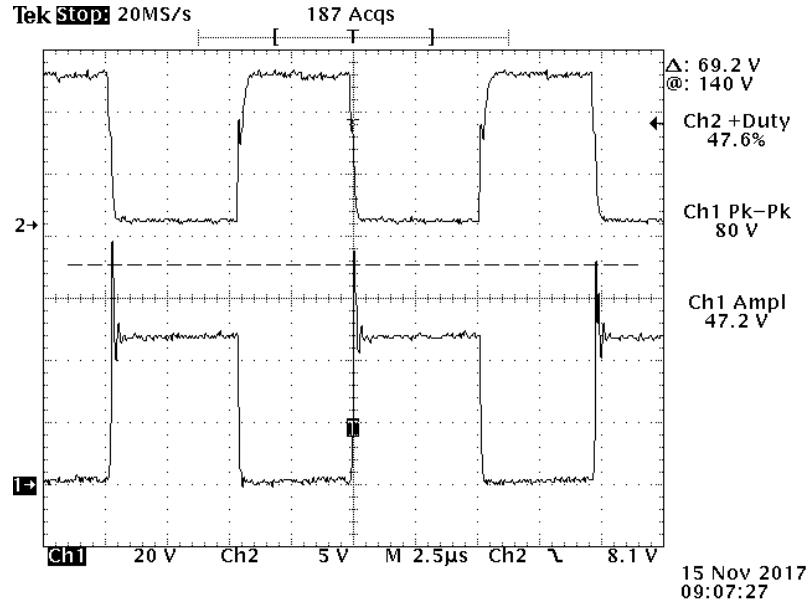
Det ses at spændingen ligger på 20.97V, altså de forventede 21V. Der kan dog identificeres nogle ret store spikes. På figur 5.62 er der zoomet ind på disse.



Figur 5.62: Zoomet på outputspike

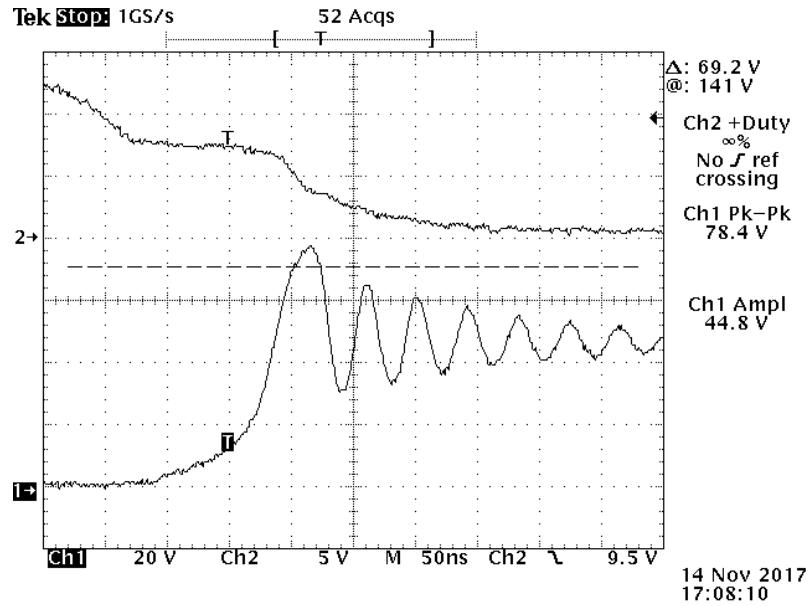
Her ses det, at spiken når helt op på en peak af 4,5V. Disse peaks skyldes switching transiente og ved figur 5.61 kan det også ses, at det sker hver gang transistoren går on eller off.

Disse transiente er endnu tydeligere ved transformatorens primære- og sekundærevikling. Først ses på figur 5.63 spændingen ved den primærevikling. Det svarer til spændingen over drain på MOSFET'en.



Figur 5.63: Primær spænding

Det ses, at spændingen stiger med et stort peak på 80V, når transistoren går off, og ligger sig stationært på ca. 47V og falder til 0V igen, når transistoren går on. På figur 5.64 zoomes der ind på spiken.



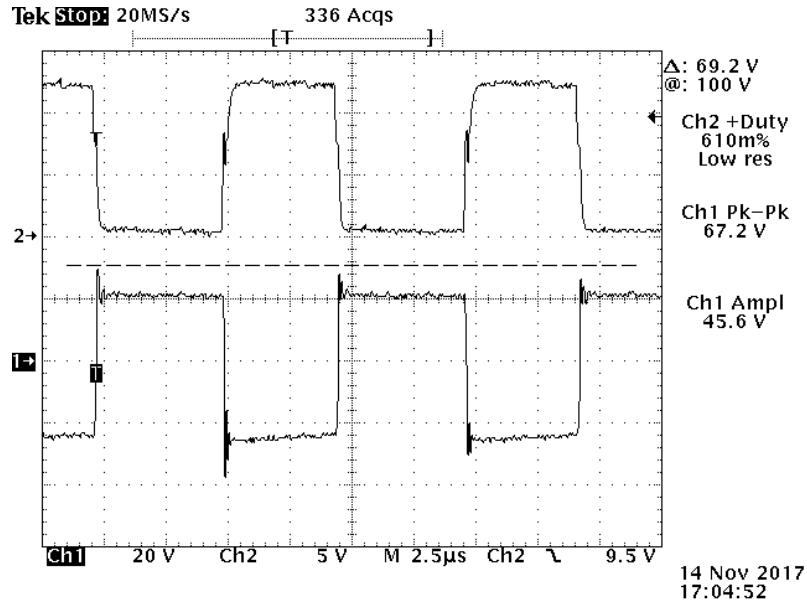
Figur 5.64: Zoomet på primær peak

Udover peaken ses det, at spændingen svinger inden den ligger sig på den stationære værdi. Ses der på 2. svingningsperiode, aflæses svingningen for en periode til 40ns. Det betyder at frekvensen der ses ligger på ca:

$$f_{osc\ pri} = \frac{1}{40\text{ns}} = 25\text{MHz} \quad (5.63)$$

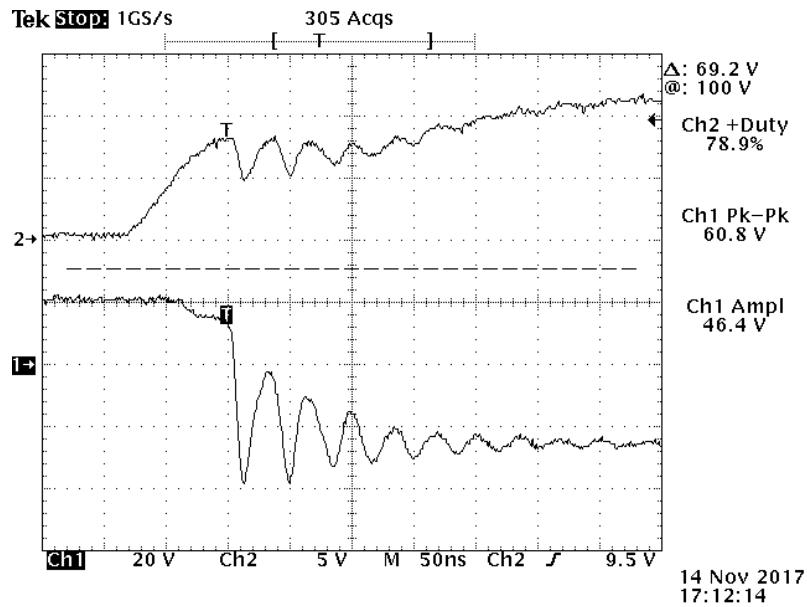
På samme måde ses der på figur 5.65 på spændingen over den sekundære vikling. Det

svarer også til spændingen på anoden af dioden.



Figur 5.65: Sekundær spænding

Her falder spændingen, når transistoren går on, og falder i første omgang med ca. 60V. Herefter ligger den på ca. 45V indtil transistoren går off og spændingen ligger sig på 20V med et mindre peak. På figur 5.66 zoomes der ind på peaken hvor transistoren går on.



Figur 5.66: Zoomet på sekundær peak

Igen observeres det, at spændingen svinger indtil den når sin stationære værdi. Her afleses svingningen til at være 35ns, og derfor med en lidt højere frekvens end ved primærviklingen. Frekvensen findes ved:

$$f_{osc\text{ sek}} = \frac{1}{35\text{ ns}} = 28.57\text{ MHz} \quad (5.64)$$

I tabellen nedenfor ses en oversigt over simulering og realisering for drain spændingen på MOSFET'en samt anoden på dioden. Simulering og realisering stemmer ikke voldsomt godt overens ved peak-spænding og svingningsfrekvens. Det kan skyldes at der i simuleringen ikke tages højde for koblingskapaciteten i transformatoren.

	Simulering		Realisering	
	MOSFET	Diode	MOSFET	Diode
Stationær spænding	48V	46V	47V	45V
Peakspænding	93V	80V	80V	60V
Svingningsfrekvens	29.41MHz	33.33MHz	25.00MHz	28.57MHz

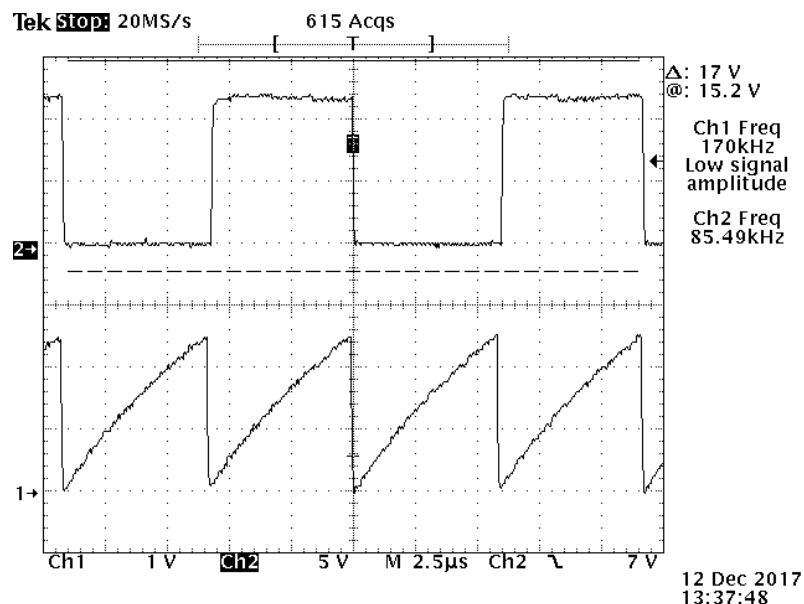
Tabel 5.5: Simulering og realisering af spændinger over MOSFET og diode

5.9.2 PWM-controller

I det følgende afsnit testes implementeringen af PWM-controlleren. Her måles frekvensen af savtandspændingen og selve switch-frekvensen samt signalet over current-sense modstanden både før og efter filteret.

5.9.2.1 Switch-frekvens

Først måles frekvensen af savtandspændingen og PWM-signalet. Målingen ses på figur 5.67. Her aflæses frekvensen af savtandsignalet til 170kHz, hvor der var designet efter 200kHz. På samme figur aflæses frekvensen af PWM-signalet til 85.5kHz. Her var der designet efter 100kHz.



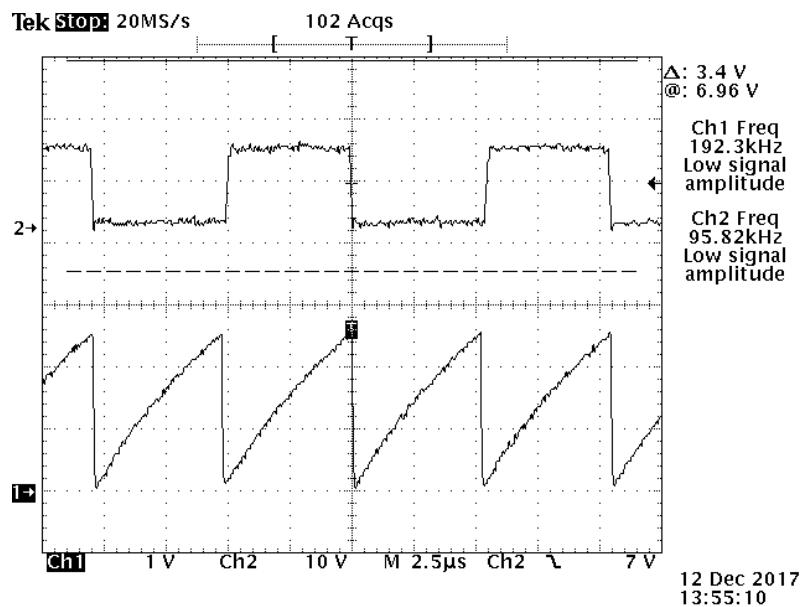
Figur 5.67: Måling af switch-frekvens med regnet modstand

Da switch-frekvensen har indflydelse på mange ting i converteren, tilpasses modstanden således der opnås en switch-frekvens på ca. 100kHz. Der vælges en modstand på 33.2kΩ. På figur 5.68 ses målingen af savtandspændingen og udgangen af PWM-controlleren. Her ses det, at der er opnået en frekvens for savtandspændingen på 192.3kHz,

og en frekvens for udgangssignalet på 95.8kHz. Med et udgangspunkt på 100kHz, godtages denne afvigelse. Resultaterne for analyse, simulering og realisering indføres i tabel 5.6. Dette er dog med den ændrede modstand i realiseringen.

Frekvens	Resultat		
	A	S	R
f_{osc}	200kHz	199.6kHz	192.3kHz
f_s	100kHz	99.01kHz	95.8kHz

Tabel 5.6: Resultater for analyse, simulering og realisering af switch-frekvens



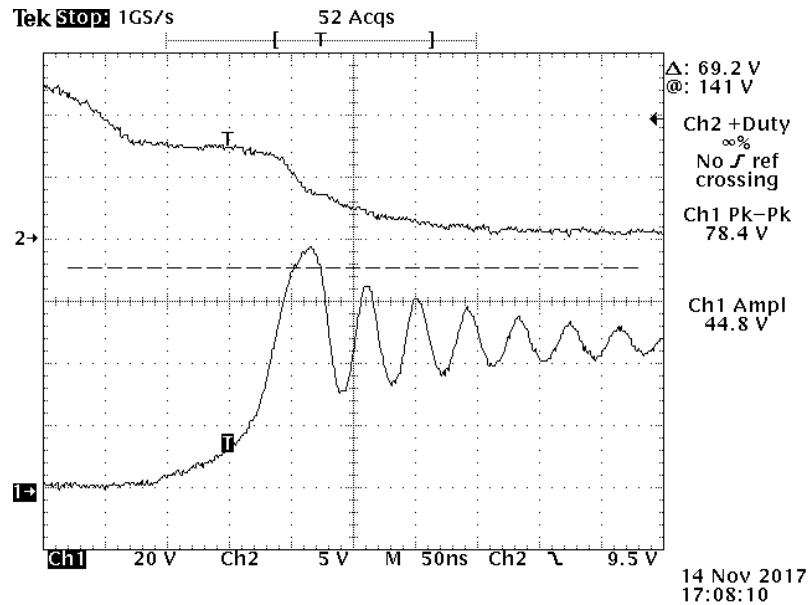
Figur 5.68: Måling af switch-frekvens med tilpasset modstand

5.9.2.2 Switch-tid

Målingen af switch-tiden er vist på figur 5.69. Figuren viser MOSFET'ens drain på kanal 1, og MOSFET'ens gate på kanal 2. Her aflæses switch-tiden i MOSFET'en som længden af plateauet på gate signalet, og aflæses til ca. 120ns. Resultaterne for analyse, simulering og realisering er indført i tabel 5.7. Her er simuleringen dog foretaget med en anden MOSFET.

Tid	Switch-tid		
	A	S	R
T_{ch}	138.7ns	103ns	120ns

Tabel 5.7: Resultater for analyse, simulering og realisering af switch-tid



Figur 5.69: Switch-tid for MOSFET'en

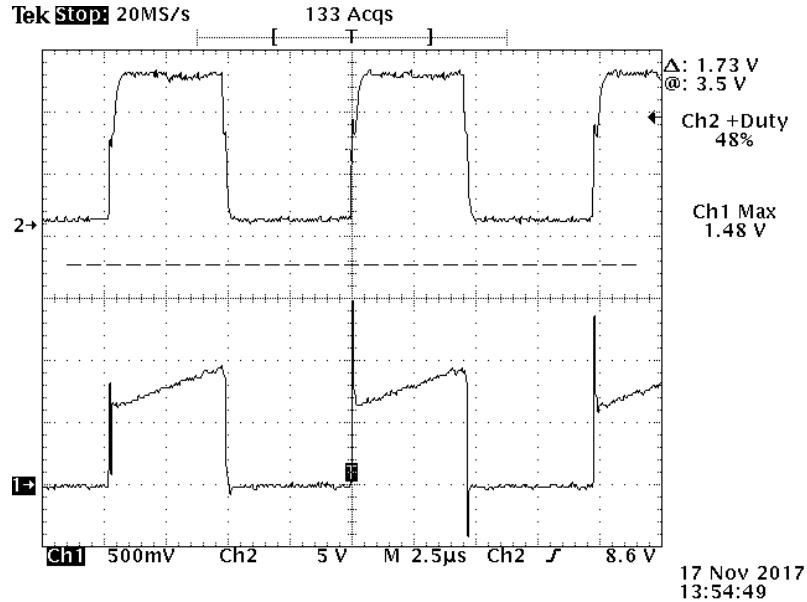
5.9.2.3 Current-sense kredsløb

Current-sense signalet måles både før og efter filteret. Signalet før filteret ses på figur 6.1. Her ses tydeligt de spikes der ønskes filtreret, da de overstiger den egentlige peak på signalet. Figur 5.71 viser signalet efter filteret. Her ses det, at de spikes der var på signalet er blevet filtreret væk. Til gengæld ses det også, at signalet er blevet langsommere, ved de afrundede hjørner. Den egentlige stigetid er svær at aflæse, men ligger på omkring 350ns. Dette er ikke optimalt ved lavere duty-cycles, da det som nævnt i afsnit 5.2.3.2 vil påvirke systemets I/V-karakteristik. Derfor vil stigetiden af filteret blive optimeret i tredje iteration.

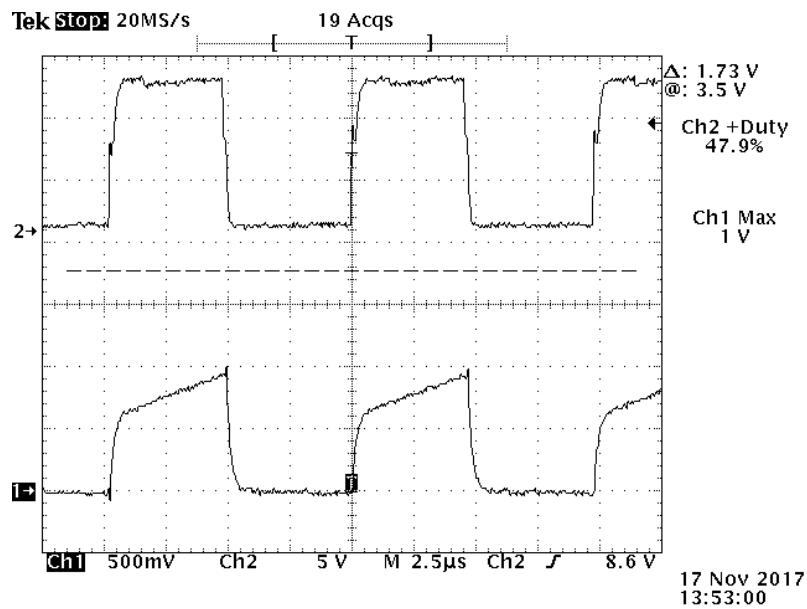
Resultaterne for analyse, simulering og realisering er indført i tabel 5.8.

Tid	Stigetid		
	A	S	R
T_r	300ns	280ns	350ns

Tabel 5.8: Resultater for analyse, simulering og realisering af switch-tid



Figur 5.70: Current-sense signal før filter



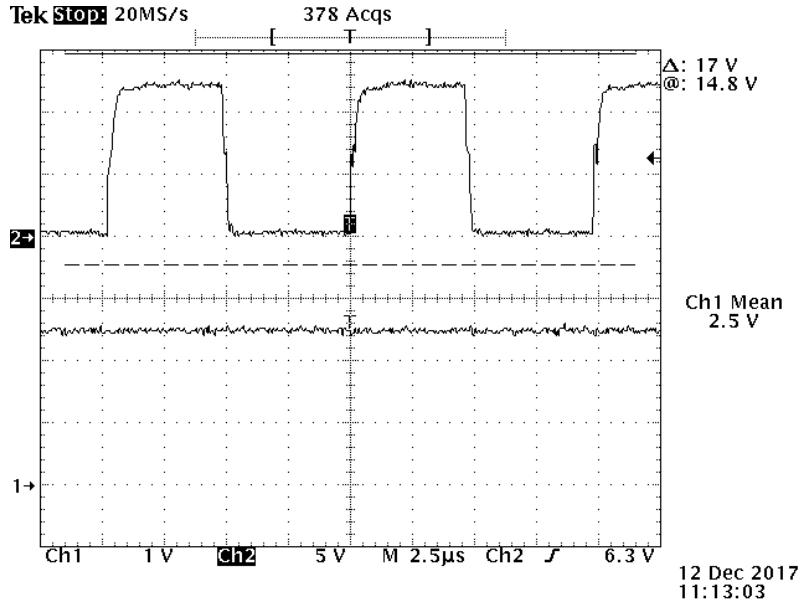
Figur 5.71: Current-sense signal efter filter

5.9.3 Spændingsdeler

Spændingsdeleren testes ved at måle indgangsspændingen til fejlforstærkeren, når converterens udgangsspænding er 21V. Dette er gjort på figur 5.72. Her aflæses spændingen til 2.5V. Resultaterne for analyse, simulering og realisering er indført i tabel 5.9.

Spænding	Resultater		
	A	S	R
V_{FB}	2.5V	2.499V	2.5V

Tabel 5.9: Resultater for analyse, simulering og realisering af switch-tid



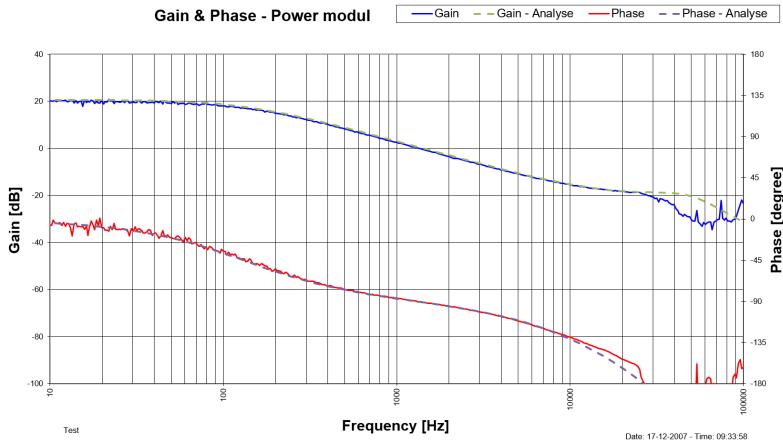
Figur 5.72: Måling af spænding i spændingsdeler

5.9.4 Gain-fase måling

Gain-fase målingen deles op i tre, ligesom ved analysen og simuleringen. Der måles overføringsfunktion for powermodulet, fejlförstærkeren, og for det samlede system. Målingerne foretages vha. en Network Analyzer af typen HP4194A. Den mäter overføringsfunktionen ved at indførere et fejlsignal i tilbagekoblingen, og mæle hvordan udgangen ændrer sig. Som ved simuleringen indføres fejlsignalet over en 51.1Ω modstand, placeret i serie med den første modstand i spændingsdeleren.

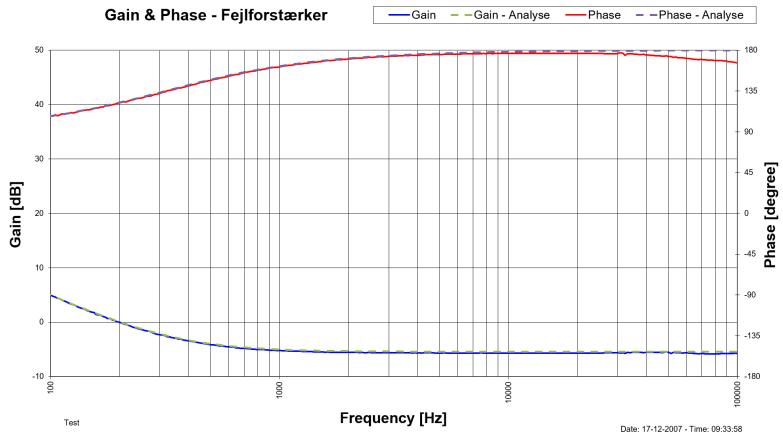
Amplituden af fejlsignalet vælges til 30mV. Ved for lille en amplitude kan signal/-støj forholdet blive for små ved lave frekvenser, mens en stor amplitude kan overstyre fejlförstærkeren. Ud fra Termas erfaringer er 30mV et fint udgangspunkt, men den skal muligvis justeres senere. For frekvens-sweepet vælges der et logaritmisk sweep, mens startfrekvensen vælges til 10Hz, og slutfrekvensen vælges til 100kHz.

Først mæles gain-fase for selve powermodulet. Det gøres ved at mæle mellem udgangen fra fejlförstærkeren, og udgangen fra converteren. Det er vist på figur 5.73. Der er vist bodeplot for både analyse og realisering. På grund af usikkerhed i simuleringen er denne del udeladt. Gain for realiseringen er den blå, mens gain for analysen er den grønne stippled. Fasen for realiseringen er den røde, mens fasen for analysen er den stippled lilla. Det ses at gain-fase karakteristikken ser ud som forventet ud fra analysen. Det er først ved de høje frekvenser målingen afviger fra analysen. Båndbredden for power modulet aflæses til ca. 1400Hz, mens DC-gain aflæses til ca. 20.3dB.



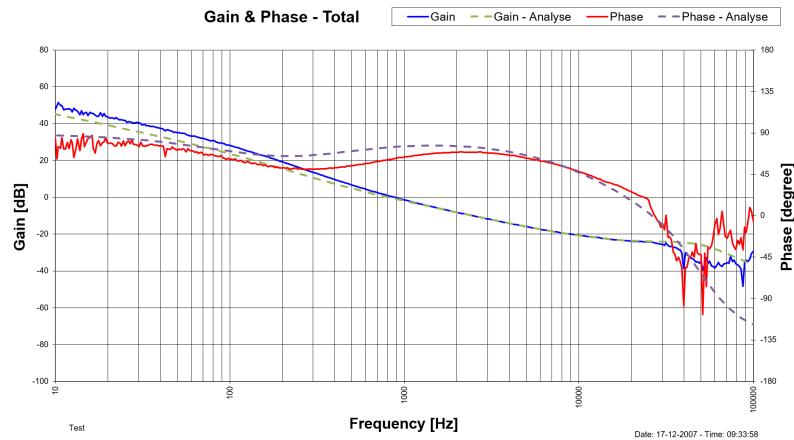
Figur 5.73: Realisering af gain-fase for power modul

Bode plot for fejlførstærkeren er vist på figur 5.74, hvor der er målt over indgangen til fejlførstærkeren, og udgangen af den. Den målte forstærkning vises med blå, den målte fase er den røde, den analyserede forstærkning er den stiplede grønne, og den analyserede fase er den stiplede lilla. Det ses, at den ønskede funktionalitet af fejlførstærkeren er opnået da, henholdsvis forstærkning og fase, ligger oven i hinanden. Det betyder den ønskede forstærkning på ca. -5.4dB , ved frekvenser over 318Hz er opnået.



Figur 5.74: Realisering af fejlførstærkeren

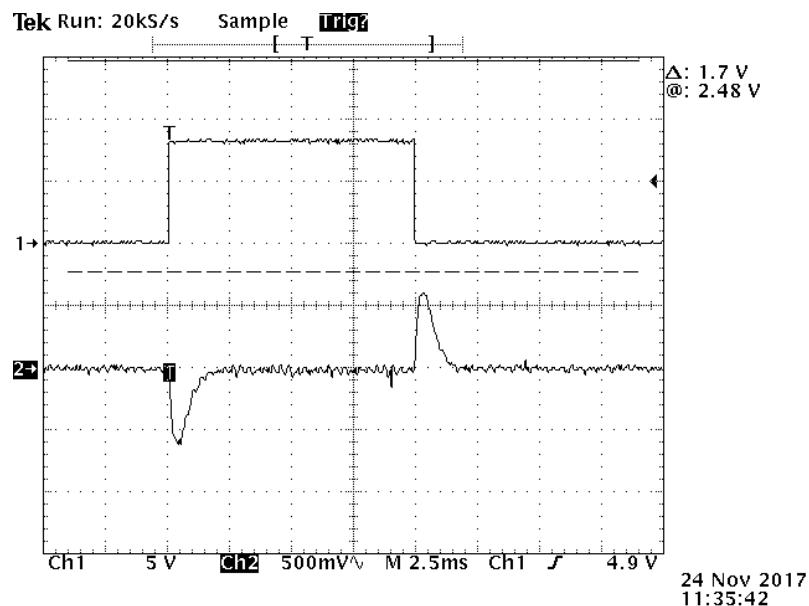
Til sidst måles den samlede overføringsfunktion for systemet. Her måles der over den modstand, hvor fejlsignalet indføres. Det svarer til at måle fra indgangen af fejlførstærkeren til udgangen af converteren. Bodeplottet for både analyse og realiseringen er vist på figur 5.75. Gain for realiseringen er den blå, mens gain for analysen er den grønne stiplede. Fasen for realiseringen er den røde, mens fasen for analysen er den stiplede lilla. På bodeplottet ses det, at der er en smule større afvigelse, både ved gain og fazen. På trods af afvigelsen aflæses båndbredden dog nogenlunde til det samme på ca. 900Hz . Fase-marginen aflæses til ca. 62° , og gain-margin aflæses til ca. 24dB . Holdt op mod analysen var det forventet at opnå en fase-margin på 74.3° og en gain-margin på 24dB . Afvigelsen i fase-margin ses på figur 5.75, da den faktiske fase ligger under den analyserede.



Figur 5.75: Realisering af gain-fase for hele systemet

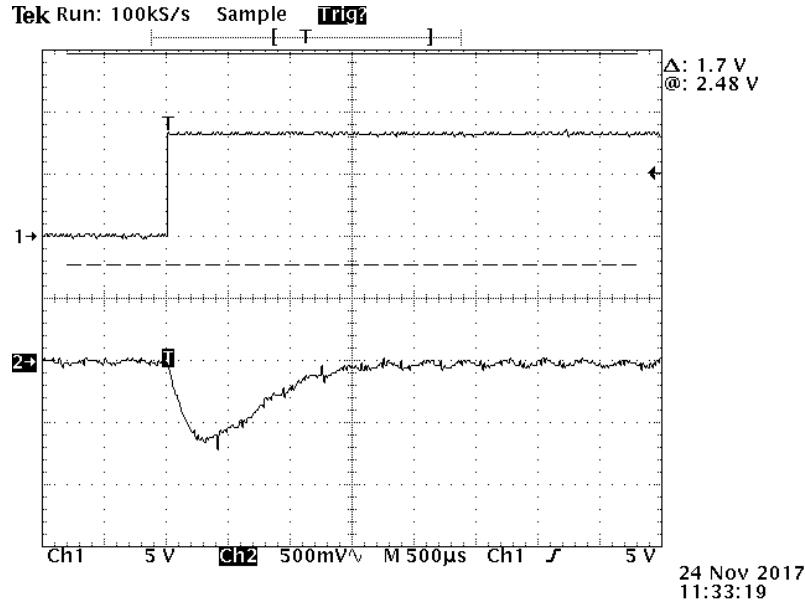
5.9.4.1 Load step

Load steppet er realiseret på samme måde som det blev simuleret tidligere. Med 2 20Ω modstande i parallel. Den ene med en switch, så når switchen er OFF består loaden af en 20Ω modstand, men når switchen går ON er loaden 10Ω . Switchen blev indstillet til at sende en puls på 10ms. Oscilloskop proberne blev sat til at måle over udgangen, og resultatet af dette ses på figur 5.76



Figur 5.76: Realisering af load step

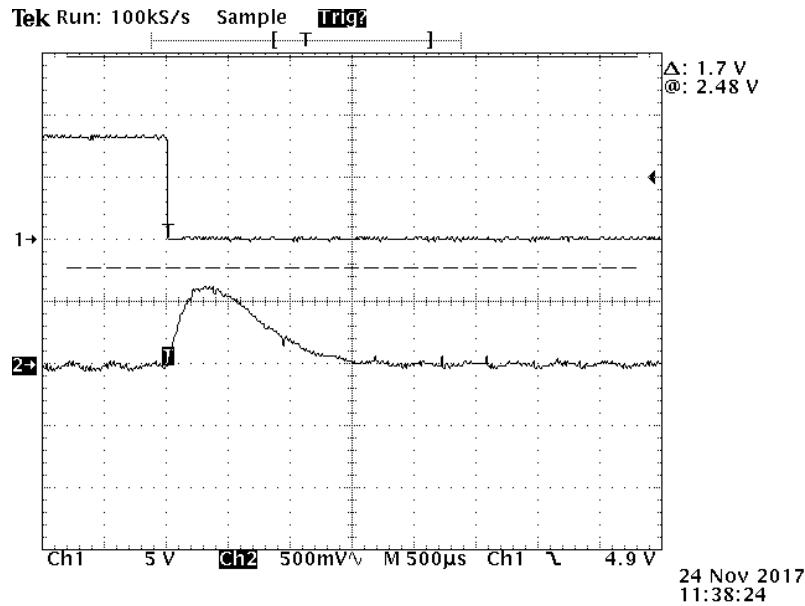
Det ses hvordan spændingen falder, hvor belastningen stiger til 10Ω og efter 10ms stiger spændingen, hvor belastningen igen er 20Ω . På figur 5.77 er der zoomet ind på dykket ved de 10Ω .



Figur 5.77: Zoom på dyk ved 10ohm

Det kan aflæses at spændingen når at falde med ca. 700mV og det tager ca. 1.5ms at regulere tilbage igen.

På samme måde ses stigningen ved de 20Ω på figur 5.78



Figur 5.78: Zoom på stigning ved 20ohm

Her stiger spændingen med ca. 600mV og bruger også omkring 1.5ms på at regulere ind igen.

Nedenfor ses et overblik over simuleringen af load steppet i forhold til realiseringen.

	Simulering		Realisering	
Belastning	10Ω	20Ω	10Ω	20Ω
Overshoot	650mV	700mV	700mV	600mV
Reguleringstid	1.6ms	1.6ms	1.5ms	1.5ms

Tabel 5.10: Simulering og realisering af load step

Det ses at simulering og realisering stemmer godt overens. Da der både ved simulering og realisering aflæses på kurver, kan usikkerheden ved det skyldes den lille afgivelse.

5.10 Opsummering/del konklusion

Det kan efter 2. iteration konkluderes, at der er realiseret en converter, som fungerer til en udgangsspænding på 21V og udgangsstrøm 2.5A.

5.10.1 Transformator

Der er i 2. iteration designet og viklet en transformator. Der blev viklet efter en selvinduktion på $57.7\mu\text{H}$ hvilket er præcis den selvinduktion der blev målt i testen. Derudover blev spredningsselvinduktion målt til 152nH . Dette giver en kobling på 99.73%, hvilket er acceptabelt og vil derfor ikke blive yderligere optimeret i 3. iteration.

5.10.2 Constant load

Ved constant load er det på udgangen konkluderes at den ved en load på 8.4Ω er 21V. Det giver samtidig en strøm på 2.5A. Der ses dog switching transiente der ligger på ca. 4.56V pk-pk. Kravet for disse switching spikes er på 100mV pk-pk, hvilket er langt under det nuværende. Dette vil derfor blive undersøgt nærmere i 3. iteration.

Derudover blev der set på primær- og sekundærsidernes spikes. Det er forventet, at spredningsselvinduktionen sammen med dioden og MOSFET'ens parasit kapaciteter vil give spikes ved switching. Svingninger der kommer efterfølgende med en frekvens på 25MHz for MOSFET og 28.57MHz for dioden kan dog ikke ignoreres. Disse skal fjernes i 3. iteration. Udo over dette ser signalet ud som forventet fra analyse og simulering. Dette betyder samtidig, at de worst-case spændinger og strømme, som diode og MOSFET er designet til, bliver overholdt.

5.10.3 PWM controller

PWM controlleren er testet. Efter at have ændret den analyserede modstand ved oscillator netværket, er der her opnået en savtandspænding på 192kHz og en frekvens på udgangssignalet på 102,6kHz, hvilket er acceptabelt.

Derudover er der målt en switchtid på 120ns. Denne resulterer i et stort switch tab i MOSFET'en på 4.49W , der svarer til 51.5% af det samlede tab for converteren.¹ Det vil derfor blive forsøgt at optimere på det i 3. iteration.

¹FiXme Note: Det er det analyserede tab. VI skal bruge et realiseret

Current-sense kredsløbet er testet og det kan konkluderes, at det indsatte filter får dæmpet spikes'ne som ønsket. Det kan dog observeres, at det er overdimensioneret, da stigetiden er langsom. For at forbedre converterens I/V-karakteristik vil dette blive optimeret i 3. iteration.

5.10.4 Gain-fase

Ved Gain-fase målingen kan det konkluderes at analyse, simulering og realisering stemmer godt overens. Der er realiseret en fasemargin på 62° og gain margin på 24dB. Kravene på 50° og 10dB er derfor længe overholdt. Resultatet af det, er en båndbredde på 900Hz. Båndbredden bør derfor gøres større da der er masser af fase- og gainmargin at tage af. Dette vil også give et forbedret load step. Det bliver derfor også en del af 3. iteration at lave den optimering.

5.10.5 Load step

Ved load steppet stemmer simulering og realisering igen fint overens. Der ses et overshoot på 600 – 700mV samt en reguleringstid på 1.5ms.

5.10.6 Tab

Samlet tab for 2. iteration.

6 Tredje Iteration

6.1 Switch-tid

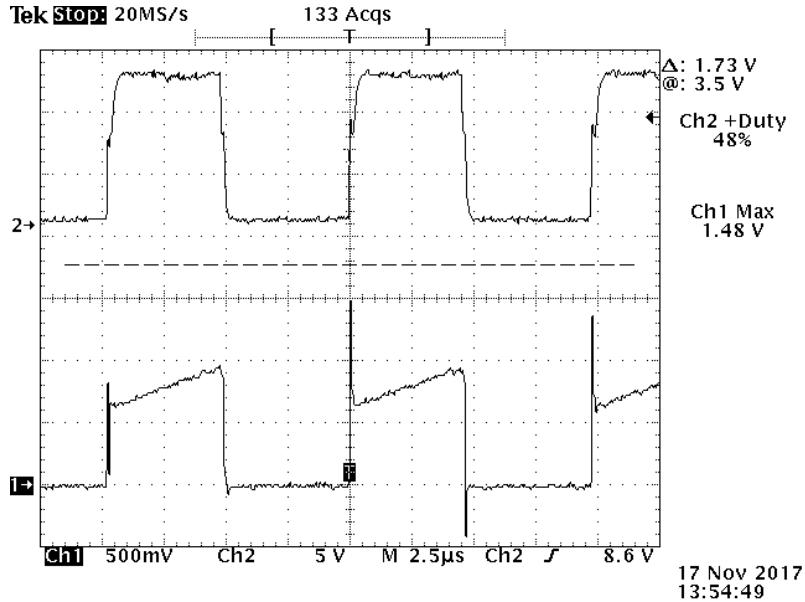
Optimeringen af switch-tiden gøres for at optimere switch-tabet i MOSFET'en. Måden switch-tiden forkortes på, er ved at mindske gate-modstanden. Dette vil gøre, at strømmen i gaten bliver større, og dermed drives MOSFET'en hurtigere. En hurtigere switch-tid, vil dog også give en større peak-spænding over transistoren. Det skal der derfor tages højde for i valget af MOSFET. Den valgte MOSFET kan holde til en V_{ds} på 150V, hvilket er en god margin ift. de ca. 80V der måles ved 2. iteration. Der vælges at designe gate-modstanden efter en switch-tid på ca. 40ns. Dette er ca. en tredjedel af den oprindelige switch-tid, hvilket dermed også vil mindske switch-tabet betydeligt.

Gate modstanden regnes ved ligning 6.1[14]. Her bruges samme værdier, som i 2. iteration, dog ændres den ønskede switch-tid til 40ns. Dette indsætte og ligningen løses med hensyn til R_g , som fås til $R_g = 14.7\Omega$. Der vælges en modstand på 13.7Ω . Med den valgte modstand korrigeres switch-tiden til 37.2ns.

$$T_{ch} = \frac{Q_{gd} \cdot R_g}{V_{DD} - V_{gs}} \quad (6.1)$$

6.2 Current-sense filter

Optimeringen af current-sense filteret sker for, at optimere converterens I/V-karakteristik. Som nævnt i afsnit 5.2.3.2, vil en langsom stigetid af current-sense signalet gøre, at PWM-controlleren mäter en forkert strøm ift. det der faktisk er. Det oprindelige, ufiltrerede current-sense signal er vist på figur 6.1. Her aflæses signalets spike til ca. at være 100ns langt, derfor vælges der en stigetid for det nye filter på 100ns. Det vil medføre at steady-state tiden for filteret bliver en smule længere, og dermed vil filtreringen stadig bidrage med mere end det indbyggede digitale filter i controlleren.



Figur 6.1: Oprindeligt current-sense signal før filter

Med den valgte stige tid på 100ns, kan båndbredden af filteret estimeres:

$$BW \approx \frac{0.34}{t_r} = \frac{0.34}{100\text{ns}} \approx 3.4\text{MHz} \quad (6.2)$$

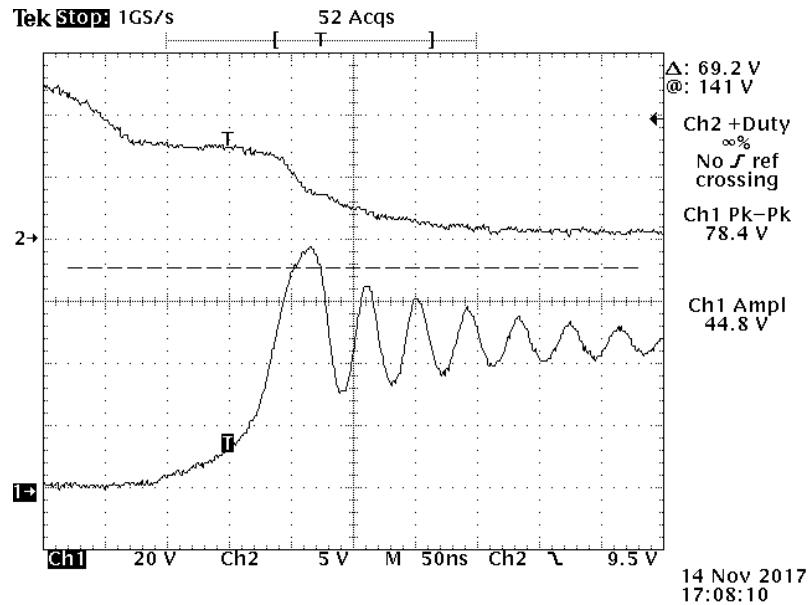
Kondensatoren fastholdes på $C_f = 100\text{pF}$. Ud fra kondensatoren og den ønskede båndbredde i filteret, regnes modstanden.

$$R_f = \frac{1}{2 \cdot \pi \cdot BW \cdot C_f} = \frac{1}{2 \cdot \pi \cdot 3.4\text{MHz} \cdot 100\text{pF}} = 468.1\Omega \quad (6.3)$$

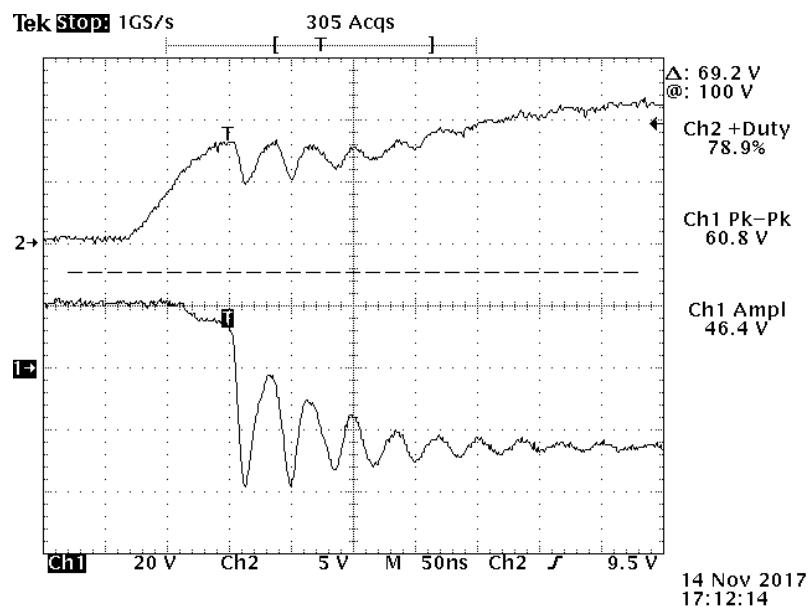
Her vælges en modstand på 464Ω .

6.3 Snubber-kredsløb

Under 2. iteration blev det observeret, at der under switching blev anslået svingninger på spændingen over både MOSFET'en og dioden. Disse højfrekvente svingninger vil kunne støje på omkringliggende elektronik. Det gælder både for printet og i rummet. Figur 6.2 og 6.3 viser problematikken i henholdsvis MOSFET og diode. Her er svingningerne i MOSFET'en tidligere blevet aflæst til at have en frekvens på 25MHz, og svingningerne i dioden til at have en frekvens på 28.57MHz.

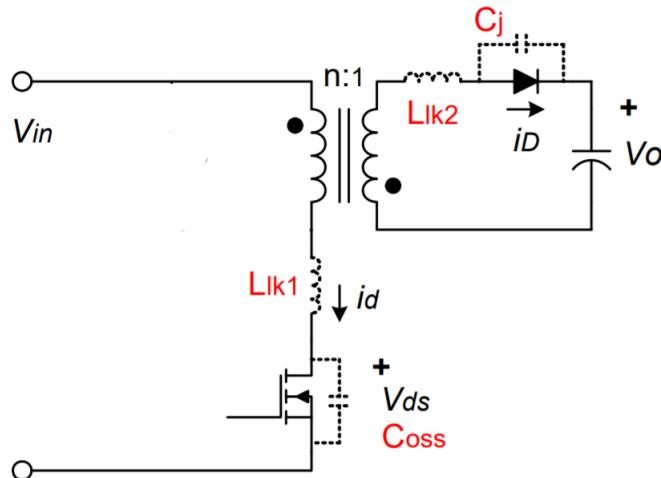


Figur 6.2: Svingninger i MOSFET



Figur 6.3: Svingninger i diode

Disse svingninger opstår som et biprodukt mellem spredningsselvinduktionen i transformatoren og kapaciteterne i henholdsvis MOSFET og diode. Den kapacitive kobling i transformatoren vil også have en påvirkning på frekvensen af svingningerne. De parasitiske komponenter er indtegnet på figur 6.4[25].



Figur 6.4: Parasitter i MOSFET, diode og transformator

Princippet i et snubber-kredsløb er, at udligne svingningerne med en kondensator, samt bruge en modstand til, at afsætte effekten fra svingningerne i. Derfor vil en konsekvens af, at bruge snubber-kredsløb være et større tab. Det er dog et nødvendigt tab for ikke at generere højfrekvent støj.

Der er generelt to forskellige snubber-kredsløb der bliver brugt til, at fjerne disse svingninger - en RC-snubber og en RCD-snubber[26]. En RC-snubber er en modstand og en kondensator i serie. Den bliver primært brugt til at fjerne svingningerne over dioden, men kan også bruges på MOSFET'en. Denne form for snubber er simpel at designe, når man kender spredningsselvinduktionen i transformatoren, og er tilstrækkelig til at fjerne svingningerne. En RCD-snubber er en diode placeret i serie med en parallelforbindelse mellem en kondensator og en modstand. Den bruges ofte kun på primærsiden og er placeret over transformatorviklingen. Denne form for snubber tilføjer dog som sagt en diode, og kræver dermed flere komponenter. Derfor vælges det, at bruge RC-snubbere på både primær- og sekundærsiden.

Først designes kredsløbet til MOSFET'en. Her blev svingningerne aflæst til en frekvens på 25MHz. Ved at bruge spredningsselvinduktionen i transformatoren og svingningsfrekvensen, kan den resulterende kapacitet regnes ved, at løse følgende ligning.

$$f = \frac{1}{2 \cdot \pi \cdot \sqrt{L_m \cdot C_{pri}}} \Rightarrow C_{pri} = 266.6\text{pF} \quad (6.4)$$

Kondensatoren i snubber kredsløbet bør være ca. 2 – 3 gange større end den beregnede kapacitet[26]. Der vælges en faktor 2:

$$C_{snubM} = 2 \cdot C_{pri} = 533.6\text{pF} \quad (6.5)$$

Det vælges at runde op til 600pF, da denne værdi kan realiseres. For optimal dæmpning bør impedansen af modstanden, være lig impedansen i spredningsselvinduktionen, ved svingningsfrekvensen.

$$R_{snubM} = 2 \cdot \pi \cdot L_m \cdot f = 2 \cdot \pi \cdot 152\text{nH} \cdot 25\text{MHz} = 23.9\Omega \quad (6.6)$$

Her rundes ned til 23.7Ω da denne kan realiseres.

For design af snubber-kredsløbet til dioden bruges samme fremgangsmåde.

$$f = \frac{1}{2 \cdot \pi \cdot \sqrt{L_m \cdot C_{sek}}} \Rightarrow C_{sek} = 204.1\text{pF} \quad (6.7)$$

Igen vælges det, at gøre C_{snubD} en faktor 2 større end C_{sek} :

$$C_{snubD} = 2 \cdot C_{sek} = 408.2\text{pF} \quad (6.8)$$

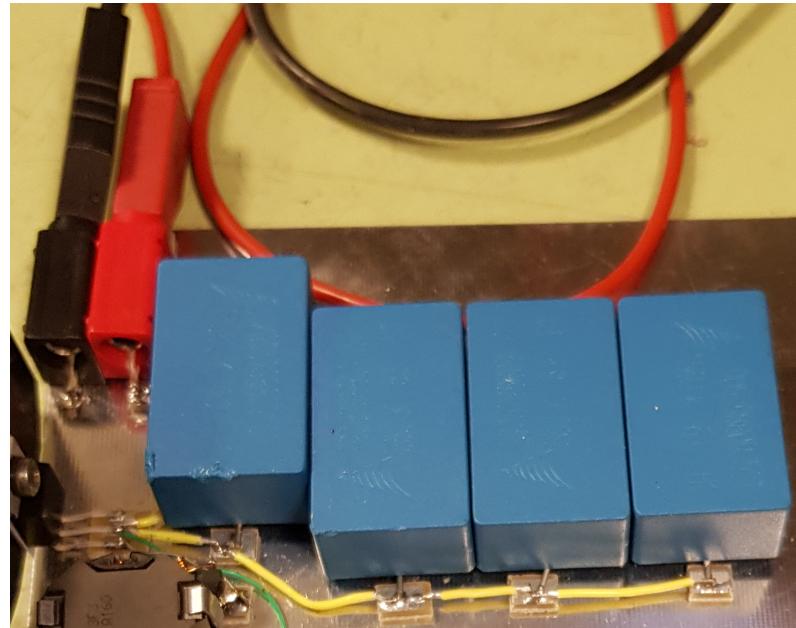
Det vælges at runde ned til 400pF , da denne værdi kan realiseres. Modstanden dimensioneres ud fra impedansen i spredningsslevinduktionen.

$$R_{snubD} = 2 \cdot \pi \cdot L_m \cdot f = 2 \cdot \pi \cdot 152\text{nH} \cdot 28.6\text{MHz} = 27.3\Omega \quad (6.9)$$

Her rundes op til 27.4Ω da denne kan realiseres.

6.4 UdgangsfILTER

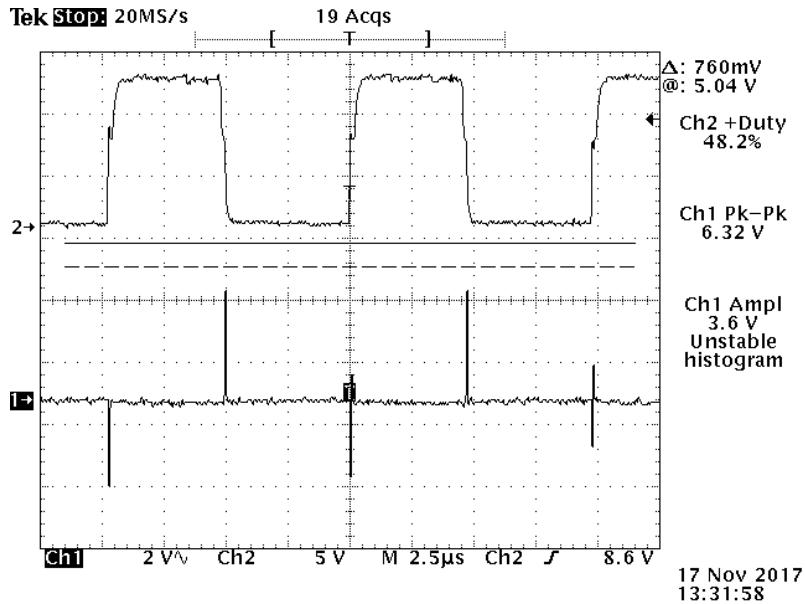
I 2. iteration blev udgangsfILTERet realiseret ved fire $56\mu\text{F}$ film kondensatorer i parallel. Filteret er vist på figur 6.5 hvor selve filteret er de fire blå kondensatorer, og udgangen er bananstikkene placeret til venstre.



Figur 6.5: Implementeret udgangsfILTER - 2. iteration

Denne implementering af udgangsfILTERet medførte switching-spikes på udgangen op mod 5Vpk-pk . Dette er vist på figur 6.6, hvor kanal 1 viser udgangen, og kanal 2 viser MOSFET'ens gate. Disse spikes ønskes mindsket. I afsnit 5.5 blev det beskrevet, at det som hovedregel kan antages, at en ledning har en selvinduktion på 1nH/mm . Bruges den antagelse på udgangsfILTERet, kan ledningerne mellem kondensaterne moduleres

som spoler. Det betyder, at hver kondensator er en del af et LC-filter, som hver især filterer højfrekvente signaler på udgangen.



Figur 6.6: Output - 2. iteration

Det antages at hver ledning i gennemsnit er ca. 30mm, hvilket giver en selvinduktion på ca. 30nH. Der regnes en knækfrekvens for filteret ved ligning 6.10. Det viser, at knækfrekvensen for filtret ligger tæt på den brugte switch-frekvens, hvilket ikke er optimalt. Det vurderes dog, at den ligger højt nok, til ikke at have en påvirkning på det egentlige udgangssignal. Tilsammen vil de fire kondensatorer dermed virke som et 8. ordensfilter med en knækfrekvens på ca. 122.8kHz. Ud fra den analyse vælges det, at flytte udgangen til den anden ende af udgangsfilteret, for dermed at udnytte denne filtrering.

$$f = \frac{1}{2 \cdot \pi \cdot \sqrt{C_{out} \cdot L_{out}}} = \frac{1}{2 \cdot \pi \cdot \sqrt{56\mu F \cdot 30nH}} = 122.8\text{kHz} \quad (6.10)$$

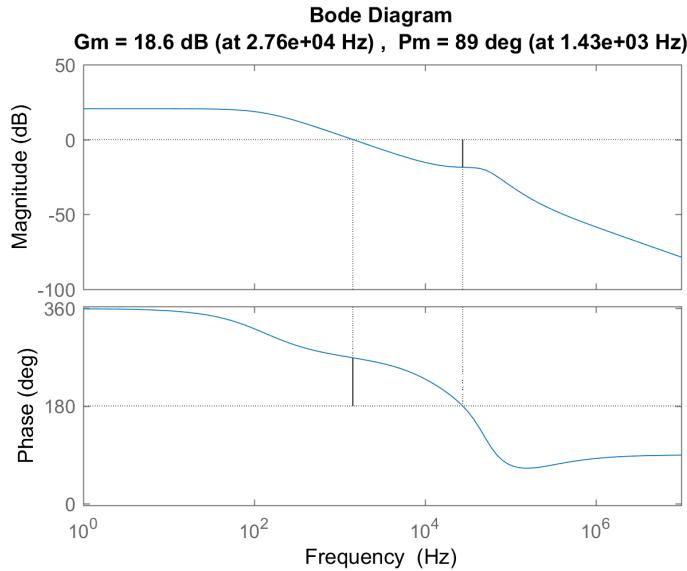
I kombination med kondensatorens resonansfrekvens på 108kHz, regnet i afsnit 5.5, bør der findes en ny kondensator i en senere iteration.

6.5 Gain-fase

Reguleringssløjfen optimeres for, at opnå en større båndbredde. En større båndbredde vil give en hurtigere respons i systemet. Det vil betyde at systemet hurtige begynder at regulere ind ved ændringer på indgangen eller på loaden. Det resulterer i, at overshootet vil blive mindre.

Der tages udgangspunkt i bode plottet for power modulet på figur 6.7. Ud fra kravene der er opstillet i afsnit 1.3, skal systemet minimum have en gain-margin på 10dB og en fase-margin på 50°. Ud fra figur 6.7 ses det, at hvis der skal opnås en gain-margin på 10dB, skal der tilføres en forstærkning på 8.5dB. Ud fra bode plottet aflæses det, at

ved, at løfte forstærkningen med 8.5dB, vil der opnås en fase-margin på ca. 75° og en båndbredde på ca. 4kHz.



Figur 6.7: Bode plot for power-modulet

Fremgangsmåden er den samme som ved 2. iteration. Feedback modstanden i fejlførstærkeren regnes ved at løse ligning 6.11.

$$g_{\text{tot}} = \frac{R_{\text{comp}}}{R_{\text{par}}} \cdot g_{\text{FB}} \quad (6.11)$$

Hvor:

g_{tot} er den ønskede forstærkning i fejlførstærkeren. Der ønskes en forstærkning på $g_{\text{tot, db}} = 8.5 \text{ dB} \Rightarrow g_{\text{tot}} = 2.66 \text{ gg}$.

R_{comp} er feedbackmodstanden i fejlførstærkeren, som ønskes dimensioneret.

R_{par} er parallelmodstanden mellem R_{FB1} og R_{FB2} . Den regnes til $R_{\text{par}} = 2.244 \text{ k}\Omega$.

G_{FB} er forstærkningen i spændingsdeleren, og er tidligere regnet til $G_{\text{FB}} = 0.12 \text{ GG}$.

De kendte værdier indsættes og ligningen løses for R_{comp} . Den fås til $R_{\text{comp}} = 49.8 \text{ k}\Omega$. Her rundes op til $49.9 \text{ k}\Omega$, som kan skaffes.

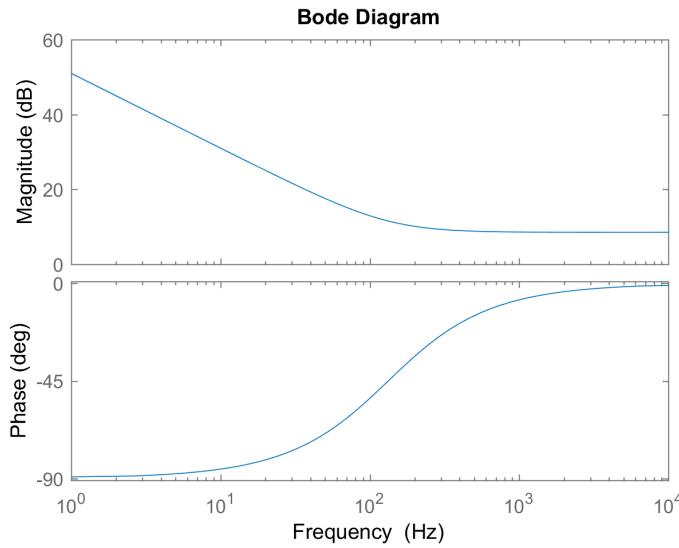
På figur 5.24, som er bodeplottet for det samlede system ved 2. iteration, ses det at fasen får et dyk, mellem ca. 80Hz og ca. 400Hz. Det kommer fordi polen ved 132Hz trækker fasen ned, mens det nulpunkt der er indsat ved 318Hz trækker fasen op. Ved at flytte de punkter til samme frekvens, opnås en konstant fase ved lavere frekvenser. Derfor flyttes frekvensen for nulpunktet til $f_0 = 132 \text{ Hz}$. Ud fra den nye modstand, og den nye knækfrekvens, regnes den nye kondensator. Det afrundes til 24.2 nF , da det kan skaffes.

$$C_{\text{comp}} = \frac{1}{2 \cdot \pi \cdot R_{\text{comp}} \cdot f_0} = 24.1 \text{ nF} \quad (6.12)$$

Det giver en ny overføringsfunktion for fejlførstærkeren, der skrives ved ligning 6.13.

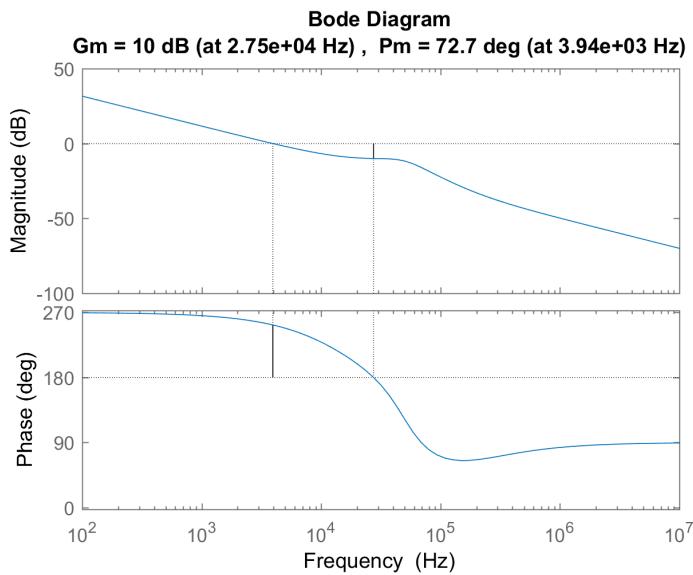
$$G_{\text{err}}(s) = \left(\frac{132.8 \text{ Hz} \cdot 2 \cdot \pi}{s} + 1 \right) \cdot 2.66 \quad (6.13)$$

Den plottes i MATLAB, som et bodeplot på figur 6.8. Her ses det, at den ønskede funktion af fejlforsærkeren er opnået, da forstærkningen ved frekvenser over 132Hz er 8.54dB.



Figur 6.8: Bode plot for fejlforsærker

Den nye overføringsfunktion for fejlforsærkeren, ganges sammen med overføringsfunktionen for power modulet. Figur 6.9 viser et bode plot af det samlede system. Det aflæses at converteren vil få en gain-margin på de forventede 10dB, en fasemargin på 72.7° , og en båndbredde på ca. 3.94kHz. Derudover kan det konstateres at nulpunktet er blevet placeret efter hensigten, da fasen ligger forholdsvis konstant ved frekvenser under 1kHz.



Figur 6.9: Bode plot for det samlede system

6.6 Tab

Som konsekvens af optimeringerne, har tabet ændret sig i systemet. I denne sektion gen nemgås de steder hvor tabet har ændret sig, hvorefter det samlede tab i converteren regnes igen.

6.6.1 MOSFET

Switchtabet i MOSFET'en er ændret idet gate-modstanden er gjort mindre. Det har givet en fornyet switch tid på 37.2ns. Dette tab udregnes på samme måde som i sektion 5.7.2.2. Med ligningen derfra fås et fornyet switch tab på:

$$P_{\text{switch}} = \frac{1}{2} \cdot I_{\text{pkavg21}} \cdot (V_{\text{inmax}} + V_{\text{out21}}) \cdot \frac{(t_r + t_f)}{T} = 1.48W \quad (6.14)$$

Der er altså et switchtab på 3W mindre efter switchtiden er blevet ændret. Det ændrer det samlede tab i MOSFET'en til 2.54W

6.6.2 Snubber-kredsløb

Ulempen ved at indsætte snubber-kredsløbene er det ekstra tab, der kommer i modstandene. Tabet i modstanden findes ved at tage kapaciteten i kondensatoren ganget med spændingen over modstanden i anden og switchfrekvensen[27]. Det giver følgende snubbertab ved henholdsvis MOSFET og diode.

$$P_{\text{snu}bM} = C_{\text{snu}bM} \cdot V_{\text{ds}} \cdot f_s = 600\text{pF} \cdot 47\text{V}^2 \cdot 100\text{kHz} = 132.5\text{mW} \quad (6.15)$$

$$P_{\text{snu}bD} = C_{\text{snu}bD} \cdot V_D \cdot f_s = 400\text{pF} \cdot 47\text{V}^2 \cdot 100\text{kHz} = 88.4\text{mW} \quad (6.16)$$

6.6.3 Oversigt over simuleret tab

Komponent	Tab
Transformator samlet	1.46W
Kernetab	366mW
Kobbertab	1.09W
MOSFET samlet	2.54W
Conduction-tab	1.06W
Switch-tab	1.48W
Diode	1.13W
CS modstands tab	1.52W
Snubber-kredsløb	220.9mW
Primær snubber	132.5mW
Sekundær snubber	88.4mW
Total tab	6.87W

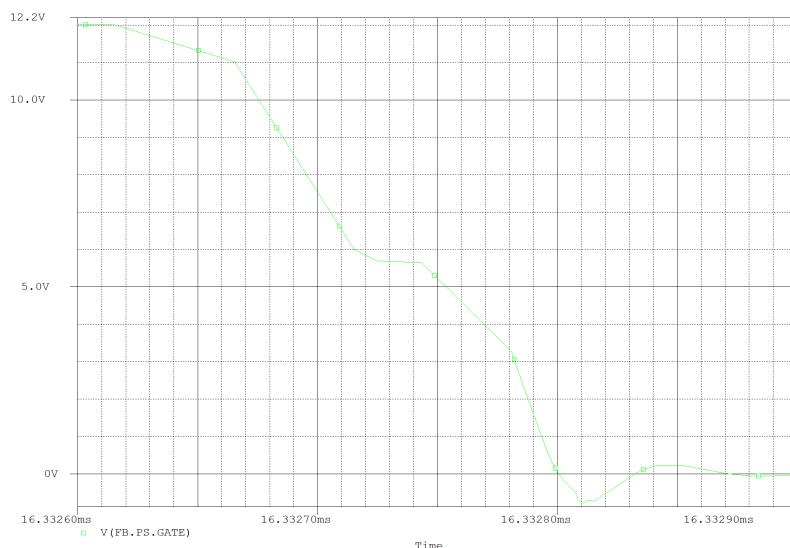
Tabel 6.1: Oversigt over analyseret tab

6.7 Simulering

6.7.1 Switch-tid

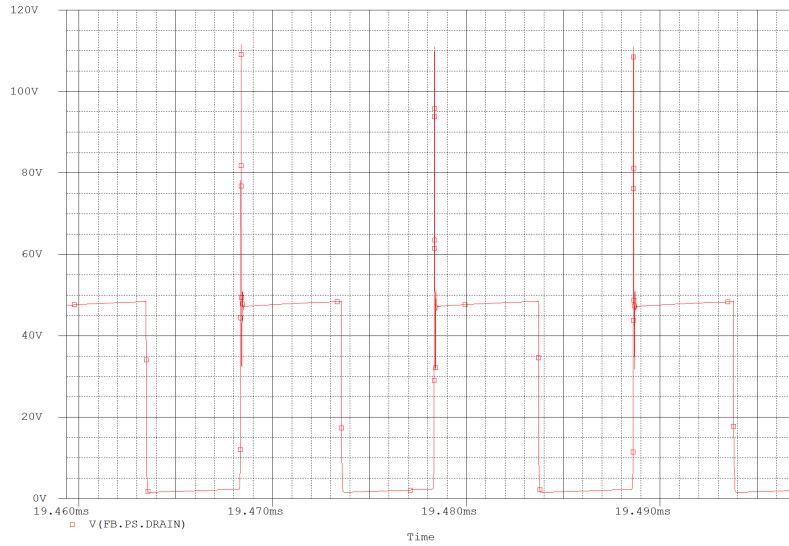
Den optimerede switch-tid simuleres ved at måle spændingen på MOSFET'ens gate. Det signal er vist på figur 6.10. Her aflæses switch-tiden til ca. 29ns. Denne værdi afviger af samme grund som ved 2. iteration. Da der er brugt en anden model i p-spice end den tiltænkte, passer *Miller* ladningen ikke. Ved 2. iteration blev den aflæst til ca. 15nC, og regnes den switch-tiden ved denne ladning bliver det:

$$T_{ch} = \frac{Q_{gd} \cdot R_g}{V_{DD} - V_{gs}} = \frac{15nC \cdot 13.7\Omega}{12V - 5V} = 29.4\text{ns} \quad (6.17)$$



Figur 6.10: Switch-tid for MOSFET - 3. iteration

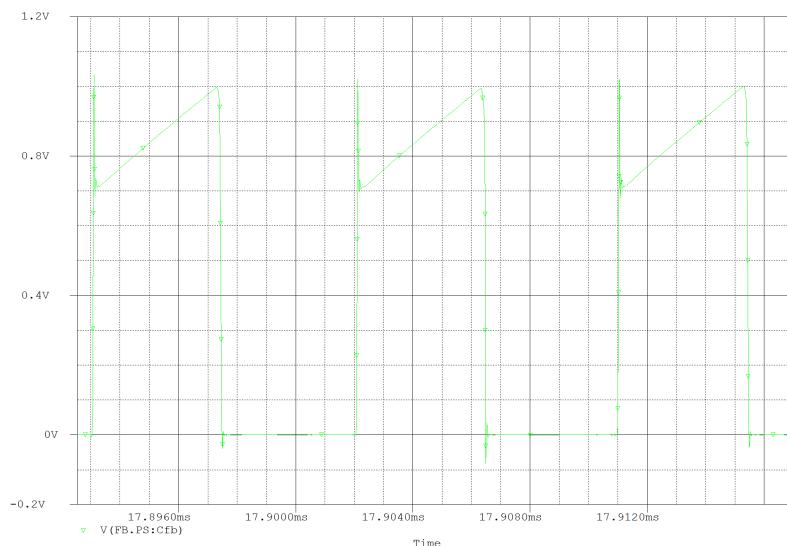
En af konsekvenserne ved en hurtigere switch-tid er, som nævnt i afsnit 6.1, at peak'en på spændingen over MOSFET'ens drain bliver større. Dette er målt ved figur 6.11. spændingen aflæses til at have en peak på 110V. Det er en margin på 27% til MOSFET'ens breakdown spænding, hvilket godtages.



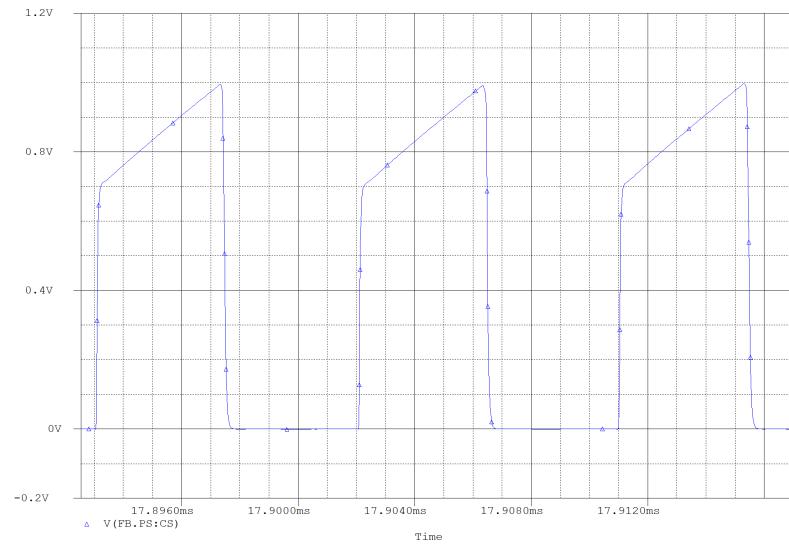
Figur 6.11: MOSFET drain - 3. iteration

6.7.2 Current-sense filter

Simuleringen af current-sense filteret sker ved, at måle current-sense signalet både før og efter filteret. Figur 6.12 viser det ufiltrerede signal. Her ses stadig de forventede switching-spikes. Figur 6.13 viser det filtrerede signal. Her aflæses stigetiden til ca. 85ns, og derfor en hurtigere stigetid end det analyserede. Den hurtigere stigetid godtages, da switching-spikes'ene stadig er blevet filtreret væk. Det ses dog, at der kommer et lille overshoot på signalet. Det betyder at filterets stigetid kun lige præcis er lang nok til, at filtrere spikes'ene, men det er samtidig også denne balancegang, der er designet efter.



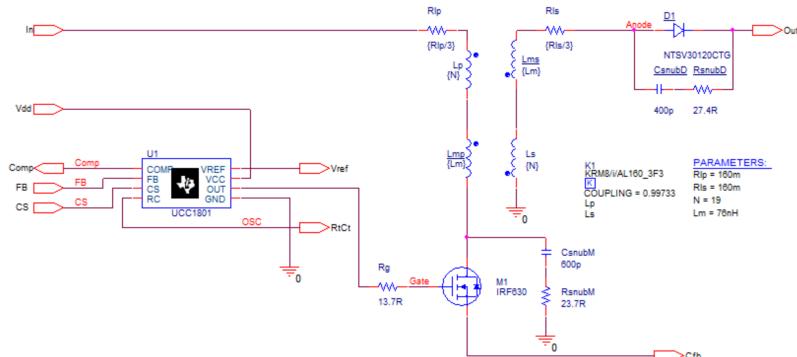
Figur 6.12: Simulering af current-sense signal før filtrering



Figur 6.13: Simulering af current-sense signal efter filtrering

6.7.3 Snubber-kredsløb

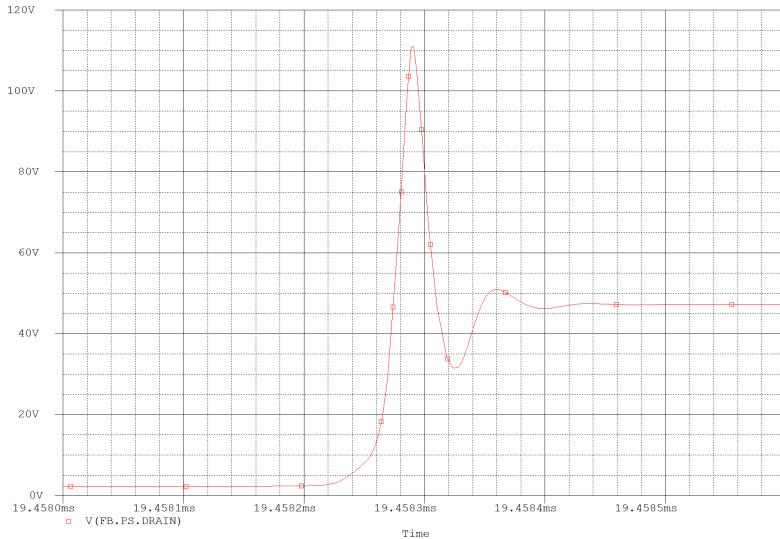
Figur 6.14 viser det opdaterede diagram med snubber-kredsløbene indsat. Her ses det at primær-snubben er placeret fra drain benet på MOSFET'en til ground, og sekundær-snubben er placeret over dioden.¹



Figur 6.14: Diagram for power modul med snubbere

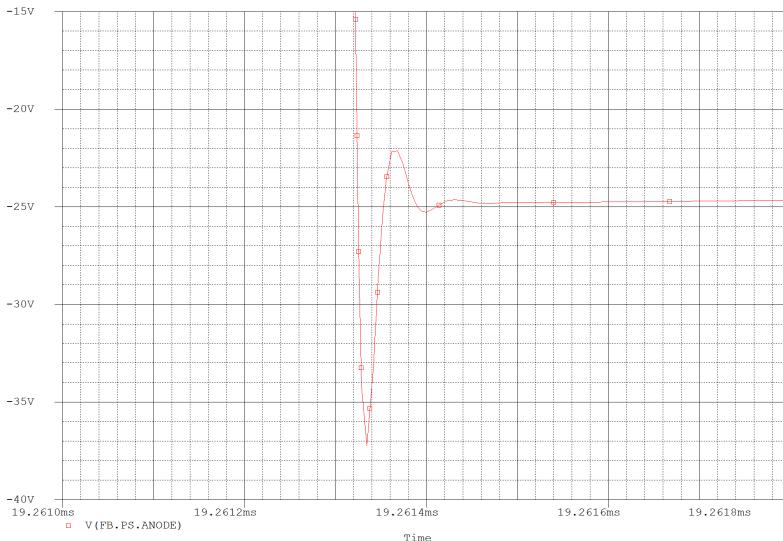
Først måles MOSFET'ens drainspænding, i det tidspunkt MOSFET'en går OFF, for at teste det primære snubber-kredsløb. Det er vist på figur 6.15. Her ses det, at svingningerne er blevet dæmpet ud, efter den første forventede svingning. Der kommer dog en lille anden svingning, som kommer da der er designet efter svingningerne aflæst i realiseringen, og ikke svingningerne aflæst i simuleringen for 2. iteration.

¹Fixme Note: Snubber skal placeres over MOSFET'en



Figur 6.15: Drain spænding efter snubber er tilføjet

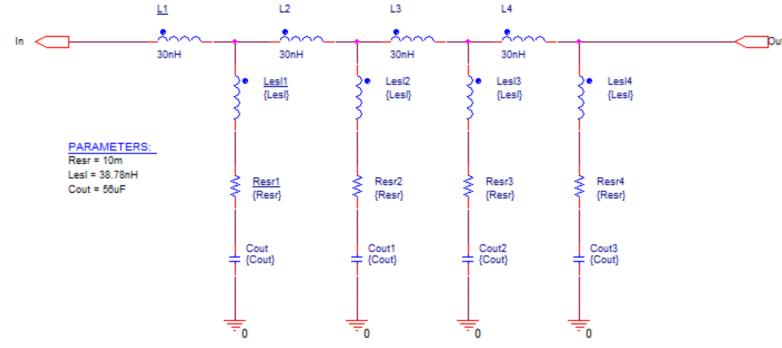
Nu måles diodens anode spænding, i det tidspunkt MOSFET'en går ON, for at teste det sekundære snubber-kredsløb. Det er vist på figur 6.16. Her ses det også, at snubberkredsløbet har dæmpet de efterfølgende svingninger. Ingen ses den lille anden svingning, da der er aflæst efter realiseringen.



Figur 6.16: Anode spænding efter snubber er tilføjet

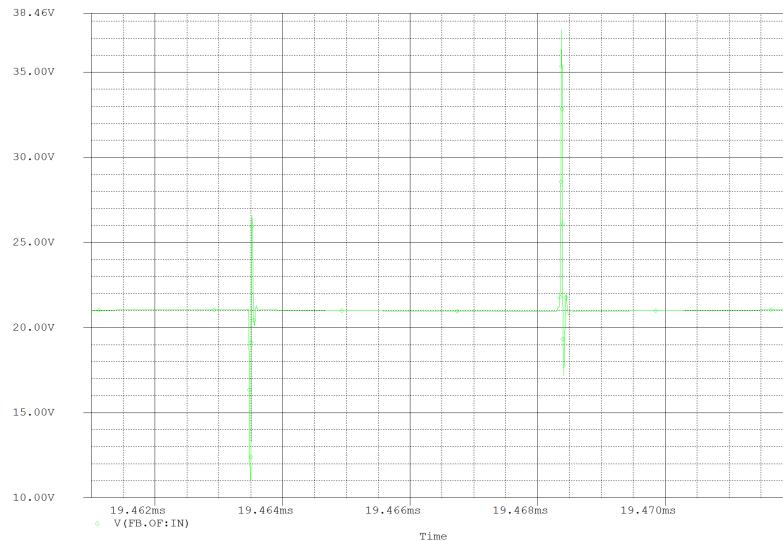
6.7.4 UdgangsfILTER

Simulering af det optimerede udgangsfILTER, gøres ved at modulere selvinduktionerne i ledningerne, som er en del af filteret. Kredsløbet for dette ses på figur 6.17. Her er filteret moduleret som de fire kondensatorer i parallel, og med selvinduktionerne på 30nH i ledningerne mellem dem.

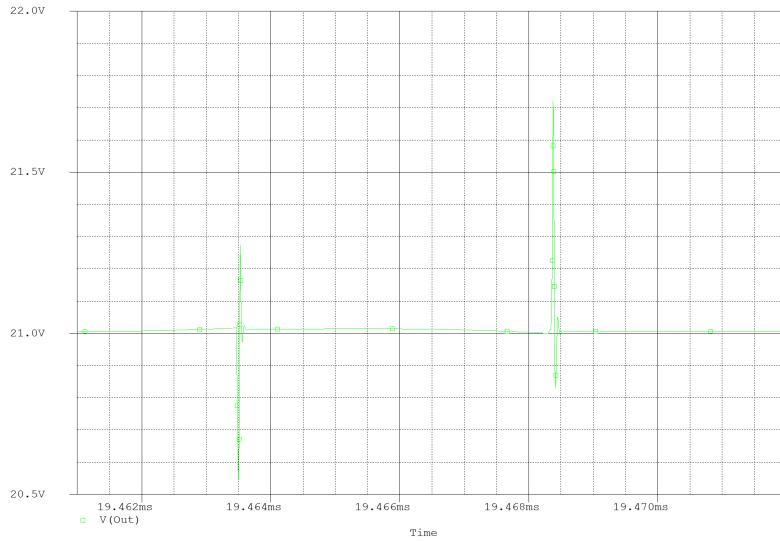


Figur 6.17: Diagram for udgangsfilter

Simuleringen er foretaget på figur 6.18 og 6.19. Her vises udgangssignalet før filteret på figur 6.18. Her aflæses der en spike på ca. 10Vpk – pk. Det er en større spike end ved realiseringen i 2. iteration, men viser at det er noget der skal filtreres væk. Figur 6.19 viser signalet efter filteret. Her aflæses spiken til ca. 900mVpk – pk. Det viser, at den teoretiske funktionalitet er opnået ved, at flytte udgangen til efter filteret.



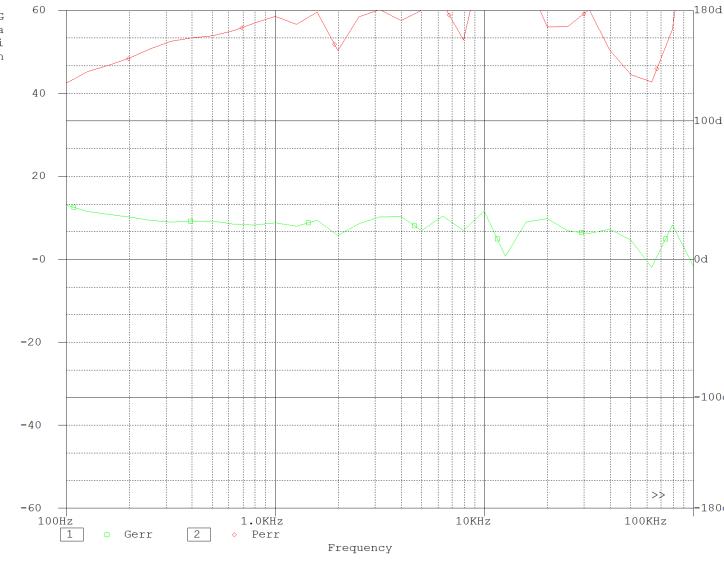
Figur 6.18: Udgangssignal før filteret



Figur 6.19: Udgangssignal efter filteret

6.7.5 Gain-fase

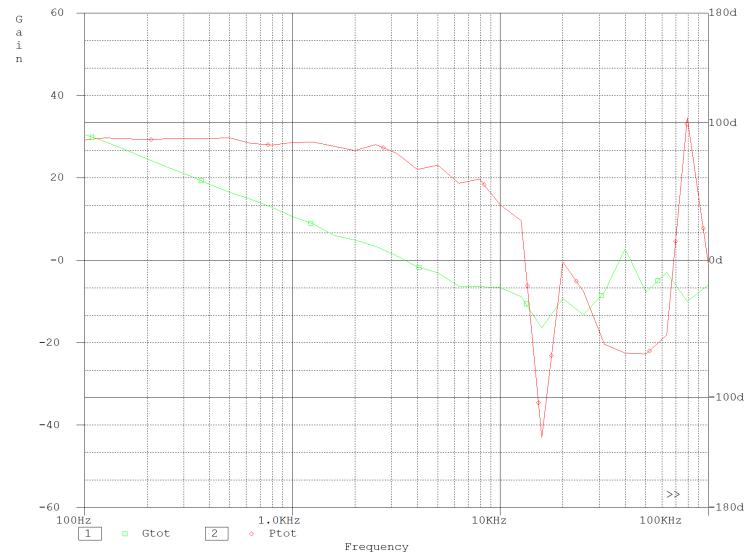
Simuleringen af systemets gain-fase karakteristik, udføres på samme måde som ved 2. iteration. Bode plot for fejlforstærkeren er vist på figur 6.20. Da knækfrekvensen for fejlforstærkeren ligger ved 132Hz, og der ikke kan simuleres med frekvenser lavere end 100Hz, er det svært at aflæse bode plottet. Det kan dog aflæses, at forstærkningen over 132° ligger sig på ca. 8.6dB. Derudover ses det at fasen stiger til 180° , derfor antages det, at fejlforstærkeren vil bidrage med det forventede faseløft på 90° .



Figur 6.20: Simulering af fejlforstærkeren

Bode plottet for det samlede system er vist på figur 6.21. Selvom simuleringen bliver usikker ved høje frekvenser, sker det så langt oppe i frekvens, at de relevante værdier akkurat kan aflæses. Gain-margin aflæses til ca. 10.2dB, fase-margin aflæses til ca. 73.2° ,

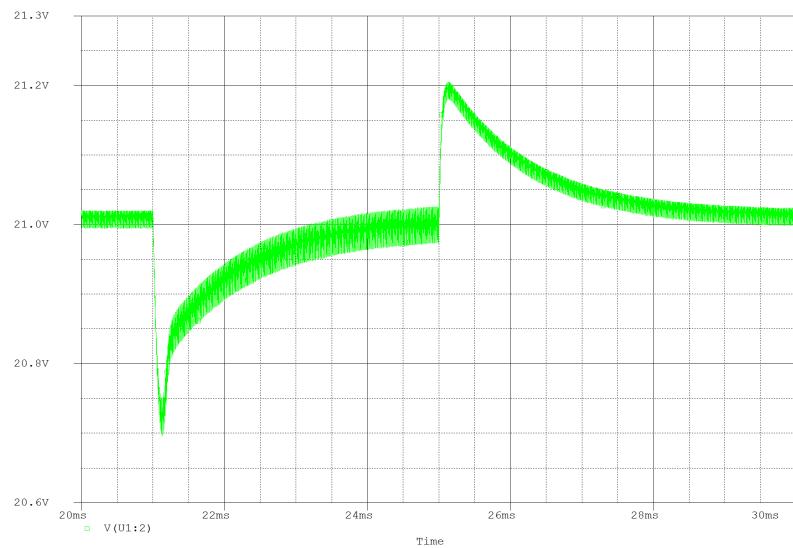
og båndbredden aflæses til ca. 3.5kHz. Ift. analysen passer både gain- og fasemargin, mens båndbredden ca. 400Hz lavere end det forventede.



Figur 6.21: Simulering af det samlede system

6.7.6 Load step

Load steppet er i 3. iteration simuleret på samme måde, som det blev gjort under 2. iteration i sektion 5.8.5. Med en større båndbredde ændrer systemets loadstep. Derfor ser loadsteppet efter de nye gain-phase målinger ud som på 6.22



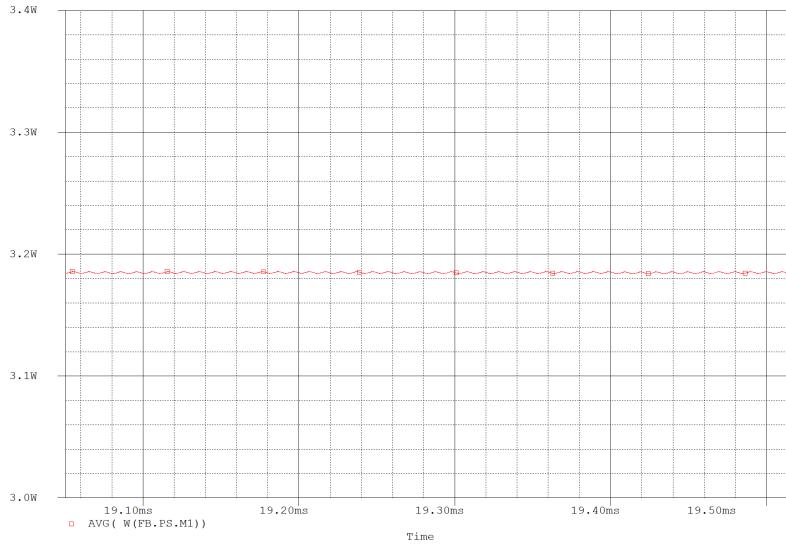
Figur 6.22: Realiseret load step

Her ses det, at overshootet er blevet mindre. Det aflæses til ca. 300mV ved første dyk og 200mV ved stigningen. Selve reguleringstiden er blevet noget længere og aflæses til ca. 4ms for begge loads.

6.7.7 Tab

6.7.7.1 MOSFET

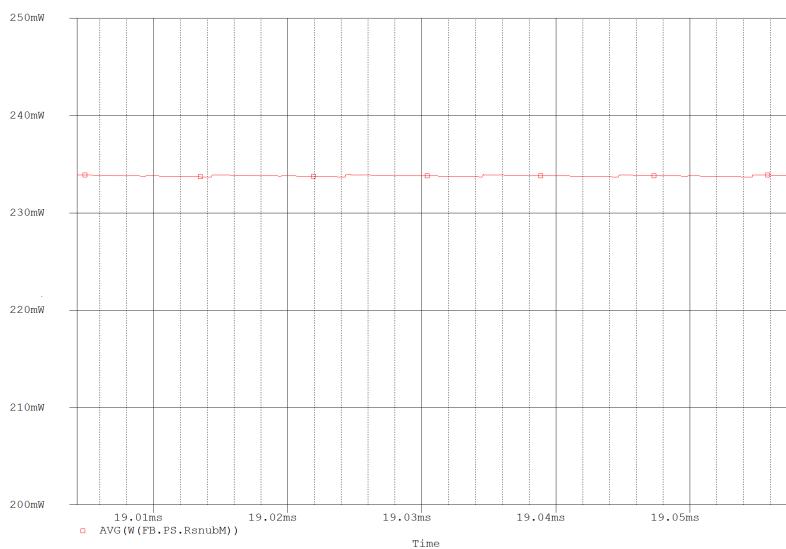
Det nye simulerede samlede tab i MOSFET'en ses på figur 6.23. Simuleringen foregår på samme måde som ved sektion 5.8.6.2, hvor gate-modstanden i stedet er ændret til de 13.7Ω . Her aflæses den samlede afsatte effekt i MOSFET'en til ca. $3.2W$.



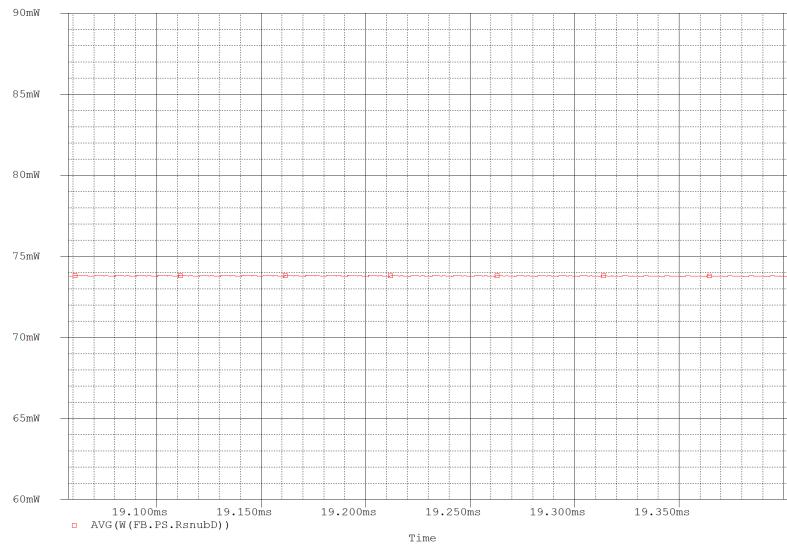
Figur 6.23: Simulering af effektafsættelse i MOSFET

6.7.7.2 Snubber-kredsløb

Tabet i snubber-kredsløbene simuleres ved, at kigge på tabene i snubber-modstandene, da det er her effekten bliver afsat. Figur 6.24 viser effekten afsat i det primære snubber-kredsløb. Her aflæses effekten til $234mW$. Figur 6.25 viser effekten afsat i det sekundære snubber-kredsløb. Her aflæses effekten til $74mW$.



Figur 6.24: Simulering af effektafsættelse i det primære snubber-kredsløb



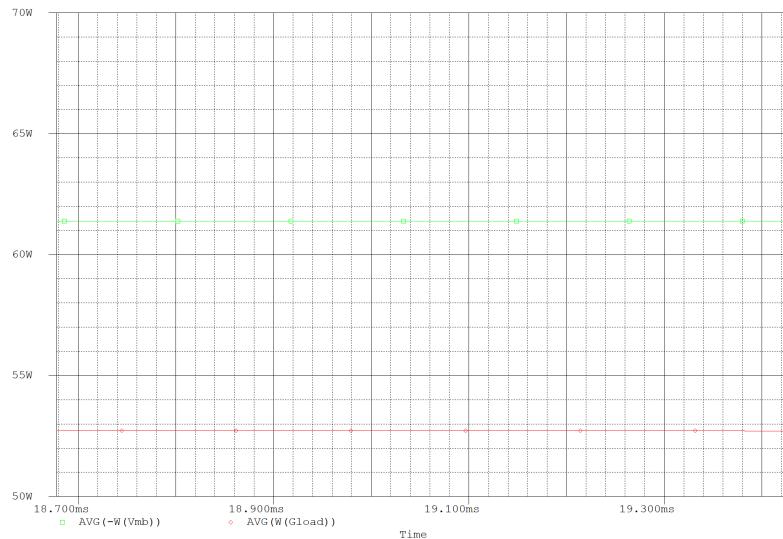
Figur 6.25: Simulering af effektafsættelse i det sekundære snubber-kredsløb

6.7.7.3 Oversigt over simuleret tab

Komponent	Tab	
	A	S
Transformator samlet	1.46W	1.62W
Kernetab	366mW	311mW
Kobbertab	1.09W	1.31W
MOSFET samlet	2.54W	3.2W
Conduction-tab	1.06W	
Switch-tab	1.48W	
Diode	1.13W	1.47W
CS modstands tab	1.52W	2.03W
Snubber-kredsløb	220.9mW	308mW
Primær snubber	132.5mW	234mW
Sekundær snubber	88.4mW	74mW
Total tab	6.87W	8.63W

Tabel 6.2: Oversigt over analyseret og simuleret tab

Figur 6.26 viser en simulering af converterens indgangseffekt(grøn) og udgangseffekt(rød). Indgangseffekten er aflæst til 61.4W, og udgangseffekten er aflæst til 52.7W. Differensen på dette er det samlede effektab i converteren, som er regnet til 8.7W. Det viser, der er taget højde for de dominerende tab i tabsberegningerne.



Figur 6.26: Simulering af indgang- og udgangseffekt

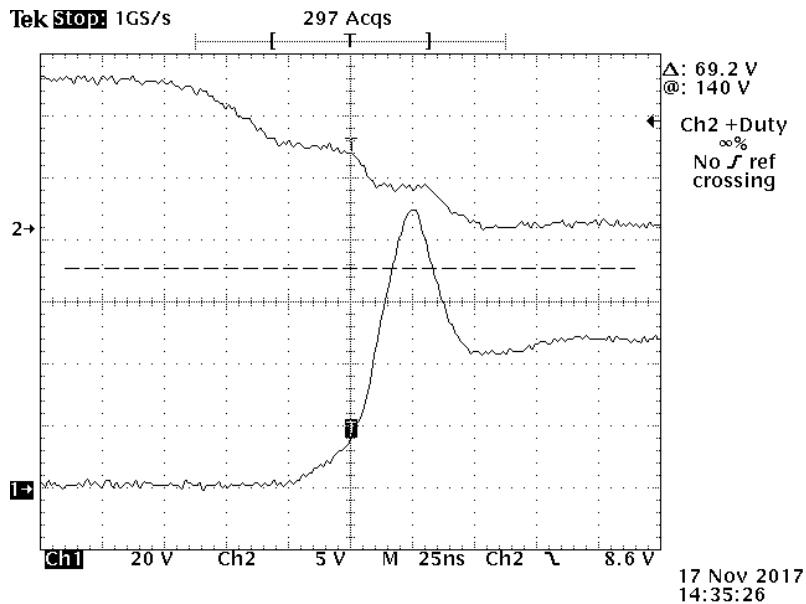
6.8 Realisering

6.8.1 Switch-tid

Implementeringen af den optimerede switch-tid testes ved, at måle MOSFET'ens gate signal. Det signal er vist på figur 6.27, hvor kanal 1 er MOSFET'ens drain, og kanal 2 er MOSFET'ens gate. Her aflæses switch-tiden til ca. 40ns. Derudover kan peak-spændingen over MOSFET'en aflæses til ca. 90V, hvilket er med en margin på 40% til dens breakdown spænding. Resultaterne for analysen, simuleringen og realiseringen indføres i tabel 6.3. Her er simuleringen dog foretaget med en anden MOSFET.

Tid	Resultater		
	A	S	R
T_{ch}	37.2ns	29.4ns	40ns
$V_{ds,pk}$		110V	90V

Tabel 6.3: Resultater for analyse, simulering og realisering af switch-tid



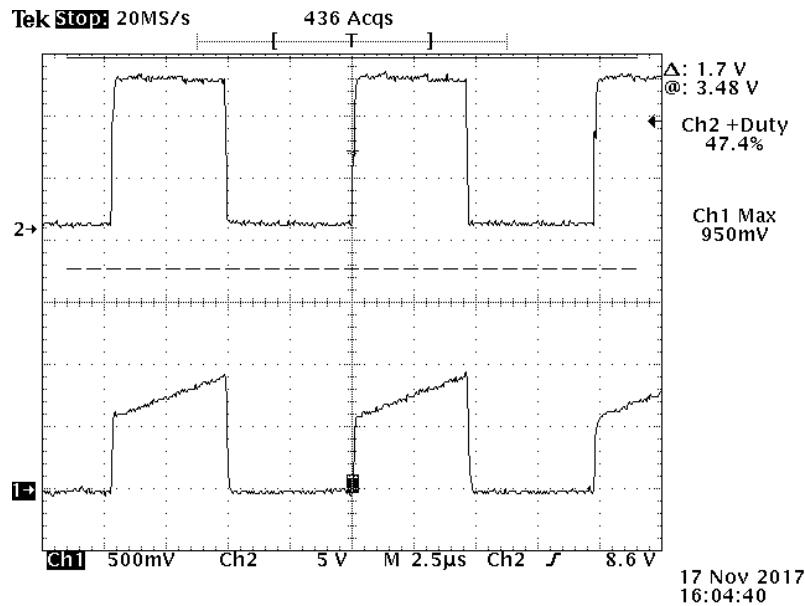
Figur 6.27: Realisering af switch-tid for MOSFET - 3. iteration

6.8.2 Current-sense filter

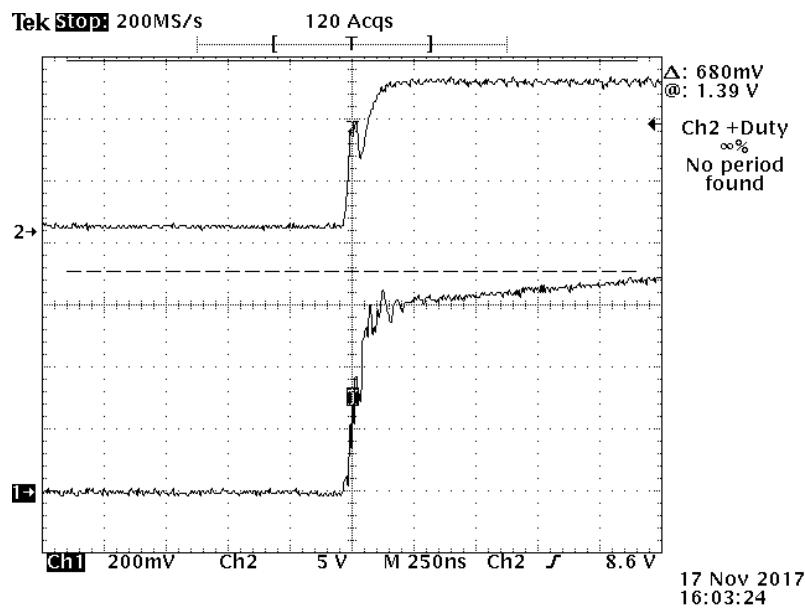
For at teste optimeringen af current-sense filteret, måles signalet både før og efter filteret. Det filtrerede signal ses på figur 6.28, hvor kanal 1 viser current-sense signalet, og kanal 2 viser MOSFET'ens gate. Det viser, at der opnået et filter med stort set rette flanker, og dermed en meget hurtigere stigetid. Figur 6.29 viser current-sense signalet, hvor der er zoomet ind på flanken. Her aflæses stigetiden til ca. 100ns. Samtidig ses det lille overshoot, som også kom ved simuleringen. Det viser, der er opnået en optimal stigetid i filteret. Resultaterne for analyse, simulering og realisering er indført i tabel 6.4.

Tid	Switch-tid		
	A	S	R
T_r	100ns	85ns	100ns

Tabel 6.4: Resultater for analyse, simulering og realisering af current-sense filter



Figur 6.28: Realisering af optimering af current-sense signal efter filtrering

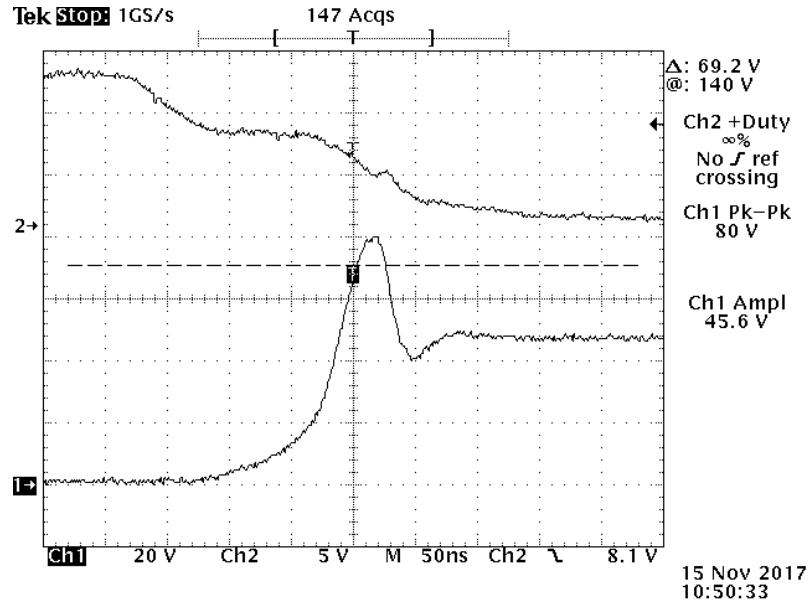


Figur 6.29: Realisering af optimering af current-sense signal efter filtrering - zoom

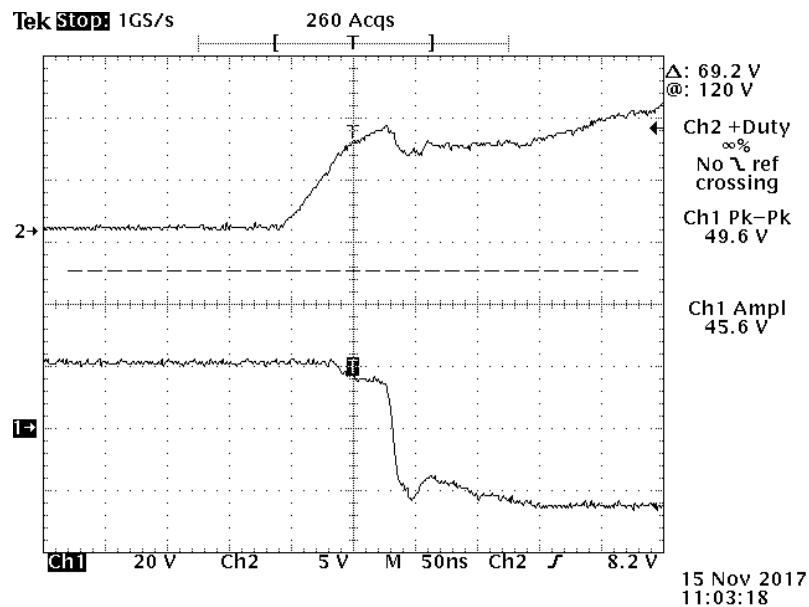
6.8.3 Snubber-kredsløb

For at teste realiseringen af snubber-kredsløbene måles MOSFET'ens drain spænding og diodens andode spænding. Først testes snubberen på primærsiden. Figur 6.30 viser

MOSFET'ens drain-spænding. Her ses det, at den ønskede funktionalitet af den primære snubber er opnået. Signalet tager en enkelt svingning, og falder derefter til ro. Figur 6.31 viser på samme måde diodens anode-spænding. Her ses det, at funktionalitet også er opnået ved det sekundære snubber-kredsløb.



Figur 6.30: Drain spænding efter snubber er tilføjet



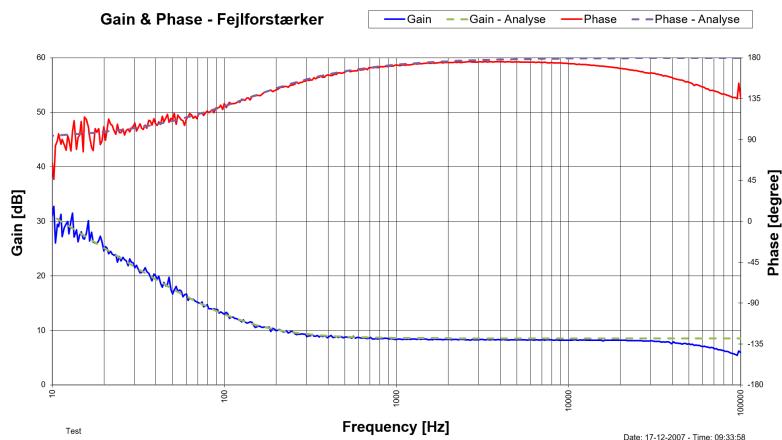
Figur 6.31: Anode spænding efter snubber er tilføjet

6.8.4 UdgangsfILTER

TODO later

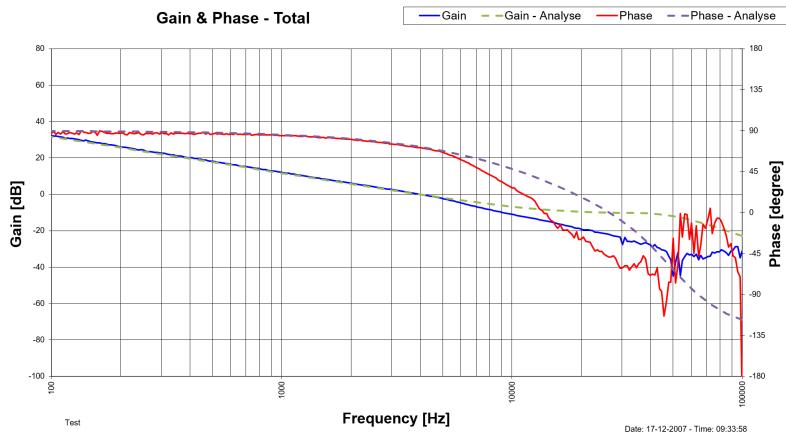
6.8.5 Gain-fase

Måling af systemets gain-fase karakteristik udføres på samme måde som ved 2. iteration. Opsætning af network analyzer'en er gennemgået i afsnit 5.9.4. Bode plot for fejlförstærkeren er vist på figur 6.32, hvor der er målt over indgangen til fejlförstærkeren, og udgangen af den. Den målte forstærkning vises med blå, den målte fase er den røde, den analyserede forstærkning er den stiplede grønne, og den analyserede fase er den stiplede lilla. Det ses, at den ønskede funktionalitet af fejlförstærkeren er opnået da, henholdsvis forstærkning og fase, ligger oven i hinanden. Det betyder den ønskede forstærkning på 8.5dB, ved frekvenser over 132Hz er opnået.



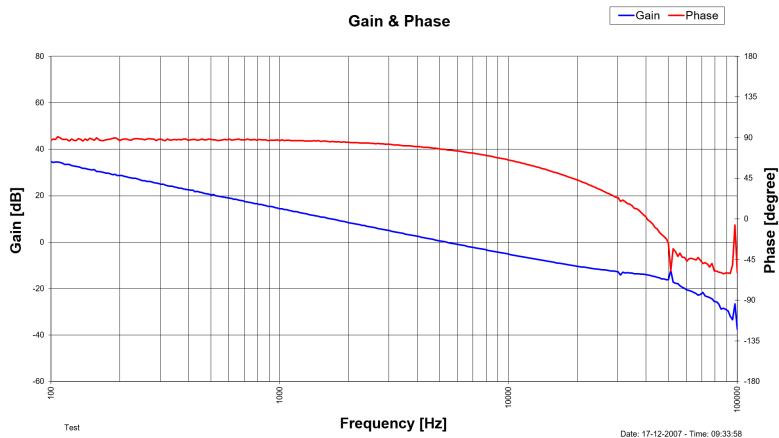
Figur 6.32: Realisering af fejlförstærkeren

Bode plottet for det samlede system er vist på figur 6.33. Her måles der over den modstand, hvor fejlsignalet indføres. Det svarer til at måle fra indgangen af fejlförstærkeren til udgangen af converteren. Gain for realiseringen er den blå, mens gain for analysen er den grønne stiplede. Fasen for realiseringen er den røde, mens fasen for analysen er den stiplede lilla. På bode plottet ses det, at der er en større afvigelse ved højere frekvenser. Det kan se ud til, at der er en pol i systemet, der ikke er taget højde for i analysen. Da dette sker ved frekvenser hvor gain-margin skal aflæses, bliver denne måling usikker. Den aflæses dog til 14.5dB, hvilket er en afvigelse på 4.5dB ift. analysen. Fasemargin og båndbredden aflæses til henholdsvis 69.8° og 3.86kHz, hvilket stemmer med det forventede.



Figur 6.33: Gain-fase måling af det samlede system

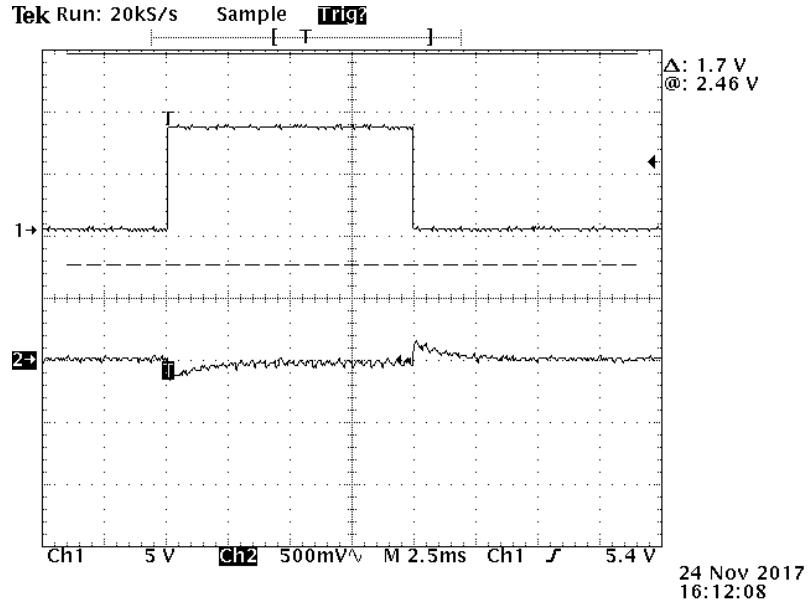
Bode plottet for det samlede system måles også med maksimal inputspænding på 50V. Dette er vist på figur 6.34. Her er forstærkningen blå, og fasen er rød. Gain-margin aflæses til 14.3dB, fasemargin aflæses til 76.3° , og båndbredden aflæses til 5.7kHz. Dette viser, at systemet er stabilt ved både lav og høj inputspænding.



Figur 6.34: Gain-fase måling af det samlede system - 50V inputspænding

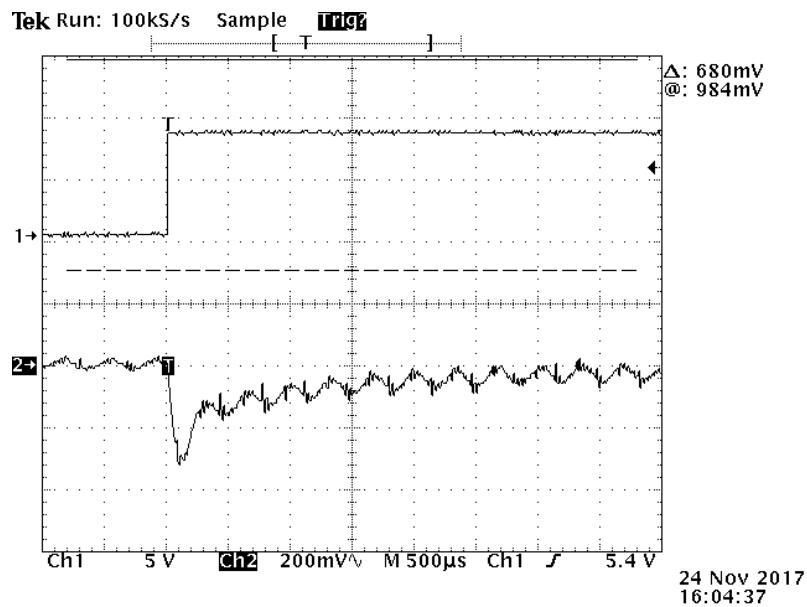
6.8.6 Load step

Igen er load steppet realiseret som det blev gjort i load step sektionen 5.9.4.1 under 2. iteration. Resultatet af dette ses på figur 6.35

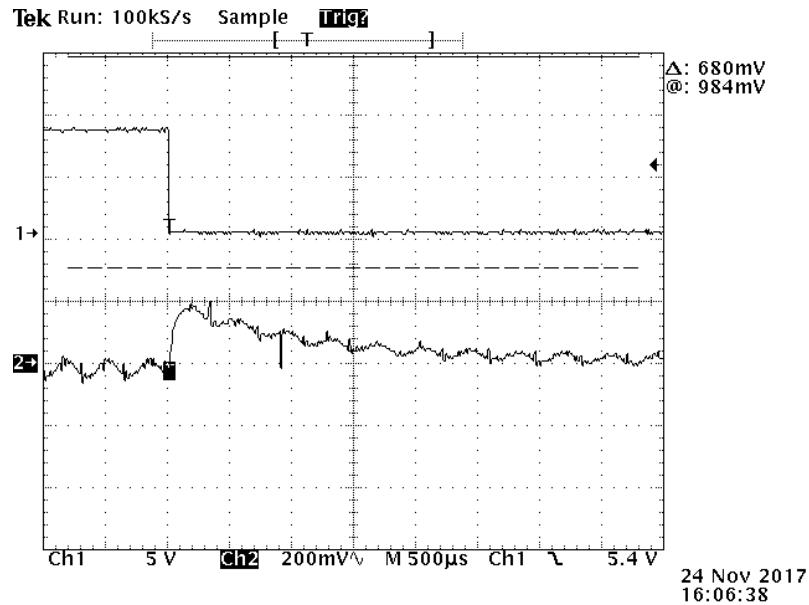


Figur 6.35: Realiseret load step

Det er tydeligt at overshootet er faldet en del med den større båndbredde. På 6.36 er der zoomet ind på dykket, som er der hvor loaden skifter til 10Ω .

Figur 6.36: Zoom på dyk ved 10Ω

Dette dyk aflæses til at være ca. 300mV, hvilket skal ses i forhold til de 700mV fra tidligere. Til gengæld er reguleringstiden steget med omkring 0.5ms til 2ms. På 6.37 ses i stedet stigningen, da loaden igen hæve til 20Ω .

Figur 6.37: Zoom på stigning ved 20Ω

Her aflæses stigningen til 200mV i forhold til de tidligere 600mV og igen er reguleringstiden steget med ca. 0.5ms til 2ms.

6.8.7 Tab

6.8.7.1 MOSFET

Det nye tab i MOSFET'en bestemmes ved, at måle temperaturstigningen i af kølepladen, og ud fra den termiske modstand, beregne tabet.

6.8.7.2 samlet tab

6.9 Opsummering/Delkonklusion

Det kan efter 3. iteration konkluderes, at flere funktionaliteter i converteren er blevet enten udviklet eller optimeret. I dette afsnit vil disse funktionaliteter blive opsummeret.

6.9.1 Switch-tid

Der er opnået en switch-tid i MOSFET'en på 40ns. Det medfører et switch-tab i den på 1.48W, hvilket er 3W mindre end anden iteration. Samtidig er det kun 0.42W mere end conduction tabet i MOSFET'en, der er på 1.06W. Dette er acceptabelt for nu og vil ikke yderligere blive optimeret.

En konsekvens af den hurtigere switch-tid, er der kommet større spændings-peaks over MOSFET'en. De er målt til ca. 90V, ift. ca. 80V ved switch-tiden i 2. iteration. Da MOSFET'en har en breakdown spænding på 150V, accepteres denne stigning og der vil derfor ikke gøres mere ved dette.

6.9.2 Current-sense filter

Der er realiseret et lav-pas filter med en stigetid på 100ns. Det giver et current-sense signal med stort set rette flanker, ved både stige- og faldetid. Det vil give den mindst mulige indvirkning på converterens I/V-karakteristik. Det kan dog observeres, at signalet har et lille overshoot. Det kommer ved, at filteret kun lige akkurat filtrerer nok, for at fjerne spike'en. Da dette overshoot ikke er ret stort accepteres dette, og derfor vil det ikke blive yderligere optimeret.

6.9.3 Snubber-kredsløb

Snubber-kredsløbene er blevet realiseret for, at fjerne svingninger på MOSFET'ens drain-spænding og diodens anode-spænding. De er blevet implementeret således der kommer en enkelt svingning, og derefter ligger spændingen sig på det forventede stabile niveau.

6.9.4 UdgangsfILTER

Udgangen til loaden, blev flyttet for at udnytte de fire LC-filtre, der opstod mellem udgangskondensatorerne og ledningerne. Dette har mindsket switching-spikes på udgangen fra 10Vpk – pk til 900mVpk – pk. Det opfylder stadig ikke kravet for converteren på 100mVpk – pk, og derfor skal dette yderligere optimeres i en senere iteration.

Det kan konkluderes ud fra impedans målingen af udgangskondensatoren, at den har en resonans frekvens ved 108kHz. Det er for tæt på switch-frekvensen på 100kHz, og derfor vil der blive fundet en anden kondensator i en senere iteration.

6.9.5 Regulering

Reguleringen af converteren er blevet optimeret, for at opnå en større båndbredde. Der er opstillet et krav til gain-maring på 10dB og en fasemargin på 50°, og derfor er der blevet

designet efter dette. Ved en indgangsspænding på 26V, er der opnået en gain-margin på 14.5dB, en fasemargin på 69.8° , og en båndbredde på 3.86kHz. Derudover er der ved en indgangsspænding på 50V, opnået en gain-margin på 14.3dB, en fasemargin på 76.3° , og en båndbredde på 5.7kHz. Derfor kan der stadig opnås en større båndbredde, og det er noget der kan optimeres yderligere på i en senere iteration, hvis det bliver nødvendigt.

6.9.6 Tab

TODO later

6.9.7 Videreudvikling

Funktionaliteten af converteren er blevet så tilfredsstillende, at 4. iteration vil blive udvikling af converteren således udgangen kan tilpasses til 15V og 5A. Derudover skal der udvikles en 12V regulator til forsyning af PWM-controlleren. Yderligere bør der foretages en undersøgelse af inputfiltret, da det ikke er testet eller analyseret på, mere end det Terma har givet forinden. Her tænkes på stabilitet og tab. Det vil dog ikke gøres i dette projekt pga. tidsmangel.

7 Udført accepttest

7.1 Test af ikke-funktionelle krav

Krav	Test	Forventet resultat	Resultat	Vurdering
Converteren skal kunne operere med en inputspænding mellem 26-50V	Indgangsspændingen måles med et voltmeter med en load på 8.4Ω . Der indsættes voltmeter og amperemeter på udgangen	Indgangsspændingen er mellem 26-50V og outputspænding ligger på 21V med en strøm på 2.5A	Indgangsspændingen er mellem 26-50V og outputspænding ligger på 21V med en strøm på 2.5A	Godkendt
Converteren skal oprettholde en outputspænding på 21V $\pm 2\%$ ved 2,5A $\pm 5\%$	Der indsættes en load på 8.4Ω og udgangsstrøm og -spænding måles med oscilloskop	Spændingen ligger på 21V $\pm 2\%$ og strømmen på 2,5A $\pm 5\%$	Spændingen ligger på 21V $\pm 2\%$ og strømmen på 2,5A $\pm 5\%$	Godkendt
Converteren skal oprettholde en outputstrøm op til 5A $\pm 5\%$ ved 15V $\pm 2\%$	Der indsættes en load på 3Ω og udgangsstrøm og -spænding måles med oscilloskop	Spændingen ligger på 15V $\pm 2\%$ og strømmen på 3A $\pm 5\%$		NA
Converteren må maksimalt have en output ripple-spænding på 50mV pk-pk	Der indsættes en load på 8.4Ω og pk-pk ripple spænding aflæses med oscilloskop over udgangsloaden	Ripple-spændingen på udgangen er under 50mV pk-pk	Ripple-spændingen på udgangen er under 50mV pk-pk	Godkendt

Krav	Test	Forventet resultat	Resultat	Vurdering
Converteren må maksimalt have switching spikes på 100mV pk-pk	Der indsættes en load på 8.4Ω og pk-pk switching spikes aflæses med oscilloskop over udgangsloa-den	Switching spikes aflæses til maksimum 100mV pk-pk		NA
Converteren skal kunne omsætte op til 75W	Der indsættes en load på 3Ω og der måles på osciloskopet om der holdes en spænding på $15V \pm 2\%$ samt en strøm på $5A \pm 5\%$	Der måles en spænding på $15V \pm 2\%$ samt en strøm på $5A \pm 5\%$ hvilket giver 75W		NA
Converteren skal operere med et tab på maksimalt 5W	Der ind-sættes en load på 8.4Ω Indgangs-spænding og strøm måles og omregnes til effekt. Det samme gøres for udgangs-spænding og -strøm.	De 2 effekter trukket fra hinanden gi-ver maksimalt 5W		NA
Converteren skal implementeres i et volumen mindre end $17x75x100mm$ på forsiden af PCB'et, samt $3x75x100mm$ på bagsiden af PCB'et	Med målebånd måles dimensionerne af PCB'et først på forsiden og derefter på bagsiden.	Dimensionerne overskri-der ikke $17x75x100mm$ på forsiden af PCB'et og $3x75x100mm$ på bagsiden af PCB'et		NA

Krav	Test	Forventet resultat	Resultat	Vurdering
Converteren skal kunne operere med en omgivelsestemperatur mellem -35°C og 65°C	Der indsættes en load på 3Ω og der måles på oscilloskopet om der holdes en spænding på 15V ±2% samt en strøm på 5A ±5%. Først testes ved -35°C og derefter ved 65°C	Der måles en spænding på 15V ±2% samt en strøm på 5A ±5% hvilket giver 75W ved begge temperature		Ikke testet
Converteren skal have stabil regulering med minimum 10dB gain og 50 graders fasesmargin ved 21V/2,5A ved en indgangsspænding på 26V	Indgangsspændingen indstilles til 26V og vha. en network analyser genereres et bodeplot ved at måle over loaden.	På bode plottet ses en stabil regulering med minimum 10dB gain og 50 graders fase margin for 26V	På bode plottet ses en stabil regulering med minimum 14.5dB gain og 69.8 graders fase margin for 26V	Godkendt
Converteren skal have stabil regulering med minimum 10dB gain og 50 graders fasesmargin ved 21V/2,5A ved en indgangsspænding på 50V	Indgangsspændingen indstilles til 50V og vha. en network analyser genereres et bode plot ved at måle over loaden.	På bode plottet ses en stabil regulering med minimum 10dB gain og 50 graders fase margin for 50V	På bode plottet ses en stabil regulering med minimum 14.3dB gain og 76.3 graders fase margin for 50V	Godkendt
Converteren skal have stabil regulering med minimum 10dB gain og 50 graders fasesmargin ved 5A/3Ω ved en indgangsspænding på 26V	Indgangsspændingen indstilles til 26V og vha. en network analyser genereres et bodeplot ved at måle over loaden.	På bode plottet ses en stabil regulering med 10dB gain og 50 graders fase margin for 26V		Ikke testet

Krav	Test	Forventet resultat	Resultat	Vurdering
Converteren skal have stabil regulering med minimum 10dB gain og 50 graders fasesmargin ved 5A/3Ω ved en indgangsspænding på 50V	Indgangsspændingen indstilles til 50V og vha. en network analyser genereres et bodeplot ved at måle over loaden.	På bode plottet ses en stabil regulering med 10dB gain og 50 graders fase margin for 50V		Ikke testet
Reguleringen skal have en risetime på maksimalt 0,5ms	Ved en load på 8.4Ω, udgangsstrøm på 2.5A ±5% og udgangsspænding på 21V ±2% måles risetime med et oscilloskop på udgangen ved et step på indgangen	Der måles en risetime på maksimalt 0,5ms	Der måles en risetime på 2ms	Ikke godkendt
Reguleringen skal have et overshoot på maksimalt 5%	Ved en load på 8.4Ω, udgangsstrøm på 2.5A ±5% og udgangsspænding på 21V ±2% måles overshoot med et oscilloskop på udgangen ved et step på indgangen	Der måles et overshoot på maksimalt 5%	Der måles et overshoot på ca. 1.43%	Godkendt

Litteraturliste

- [1] Analog Devices. "Basic Concepts of Linear Regulator and Switching Mode Power Supplies.pdf". I: (2013).
- [2] Editorial Team. "Discontinuous Conduction Mode of Simple Converters". I: *All About Circuits* (11. jun. 2015). URL: <https://www.allaboutcircuits.com/technical-articles/discontinuous-conduction-mode-of-simple-converters/> (sidst set 19.11.2017).
- [3] Microchip Technology. *Switch Mode Power Supplies(SMPS) Topologies.pdf*. 2007.
- [4] L. Wuidart. *Topologies for Switch Mode Power Supplies.pdf*. (Sidst set 18.10.2017).
- [5] Texas Instruments. *Isolated Continuous Conduction Mode Flyback.pdf*. 2013.
- [6] Texas Instruments. *Transformer Design.pdf*. 2001.
- [7] Ferroxcube. *rm8i.pdf*. 2008.
- [8] Ferroxcube. *3f3.pdf*. 2008.
- [9] <http://www.elektrisola.com>. "Technical Data for Enamelled Copper Wire by Size acc. to IEC 60317". I: (). URL: <http://www.elektrisola.com/enamelled-wire/technical-data-by-size/iec-60-317.html> (sidst set 21.11.2017).
- [10] Texas Instruments. *ucc1801.pdf*. 2016.
- [11] Wikipedia. "Rise time". I: (). URL: https://en.wikipedia.org/wiki/Rise_time (sidst set 09.12.2017).
- [12] International Rectifier. *IRFB23N15.pdf*. 2000.
- [13] Arne Justesen. "EETFE Lektion 20170131.pdf". I: (2017).
- [14] Lisa Dinwoodie. "Application note U-165.pdf". I: (1999).
- [15] ON Semiconductor. *NTSV30120CT-D.pdf*. 2014.
- [16] Taiyo Yuden. "What is ESR/ESL of capacitors". I: (). URL: <https://www.yuden.co.jp/ut/product/support/faq/q007.html> (sidst set 10.12.2017).
- [17] William J. Dally og John W. Poulton. *Digital Systems Engineering*. 1998.
- [18] Michele Sclocchi. "Input Filter Design for Switching Power Supplies.pdf". I: (2010).
- [19] Arne Justesen. "ETFE Practical Transformer design.pdf". I: (2009).
- [20] Jr. Lloyd H. Dixon. "Eddy Current Losses in Transformer Windings and Circuit Wiring.pdf". I: (2003).
- [21] Peter Markowski. "Estimating MOSFET switching losses means higher performance buck converters". I: *EETimes* (12. nov. 2002). URL: http://www.eetimes.com/document.asp?doc_id=1225701.
- [22] Texas Instruments. "UCCx801 and UCCx813-1 Unencrypted PSpice Transient Model". I: (). URL: <http://www.ti.com/product/UCC1801/toolssoftware> (sidst set 10.12.2017).

- [23] Vishay. *IRF630.pdf*. 2011.
- [24] Keysight Technologies. *EvaluatingDC-DC Converters.pdf*. 2014.
- [25] Gwan-Bon Koo. "Design Guidelines for RCD Snubber of Flyback Converters.pdf". I: (2006).
- [26] ON Semiconductor. "Design Guideline for Flyback Charger Using FAN104WMX.pdf". I: (2012).
- [27] Dr. Ray Ridley. "Flyback snubber design.pdf". I: (2005).

