

AARHUS SCHOOL OF ENGINEERING

ELECTRONIC ENGINEERING

E4PRJ

---

# Detaljeret Hardware Design

---

*Author:*

Nicolai GLUD

Johnny KRISTENSEN

Rasmus LUND-JENSEN

Mick HOLMARK

Jacob ROESEN



4. december 2012

# Indholdsfortegnelse

---

<b>Kapitel 1</b>	<b>Indledning</b>	<b>3</b>
1.0.1	Formål . . . . .	3
1.0.2	Reference dokumentation . . . . .	3
<b>Kapitel 2</b>	<b>RS232</b>	<b>4</b>
<b>Kapitel 3</b>	<b>Strømforsyning</b>	<b>5</b>
3.1	Overordnet design . . . . .	5
<b>Kapitel 4</b>	<b>VBTE</b>	<b>6</b>
4.1	Overordnet design . . . . .	6
4.1.1	Blokke . . . . .	6
4.2	Nedbrydning af blokke . . . . .	8
4.2.1	PSoC5 . . . . .	8
4.2.2	Transmitter kreds . . . . .	10
4.2.3	Ventil Kreds . . . . .	11
4.3	Opbygning af design . . . . .	12
4.3.1	PSoC5 design opbygning . . . . .	12
<b>Kapitel 5</b>	<b>SM</b>	<b>14</b>
5.1	Overordnet design . . . . .	14
5.1.1	Blokke . . . . .	14
5.2	Nedbrydning af blokke . . . . .	15
5.2.1	PSoC5 . . . . .	15

# Indledning 1

---

Dette dokument beskriver det detaljerede HW-design for BROS, som er fastlagt ud fra dokumenterne kravspecifikation og systemarkitektur.

## 1.0.1 Formål

Formålet med dokumentet er:

- At fastlægge systemets detaljerede hardwarestruktur ud fra kravene specificeret i kravspecifikationen. Derudover beskrivelsen af hardwarekomponenterne og deres grænseflader beskrevet i systemarkitektur-dokumentet.
- At fastlægge systemets hardwareblokke og deres indbyrdes interaktioner.
- At beskrive de enkelte hardwareblokkes funktion og opbygning.

## 1.0.2 Reference dokumentation

- Kravspecifikation for projektet.
- Systemarkitektur-dokument.

# RS232 2

---

det er en hest der bruger rs232

# Strømforsyning 3

---

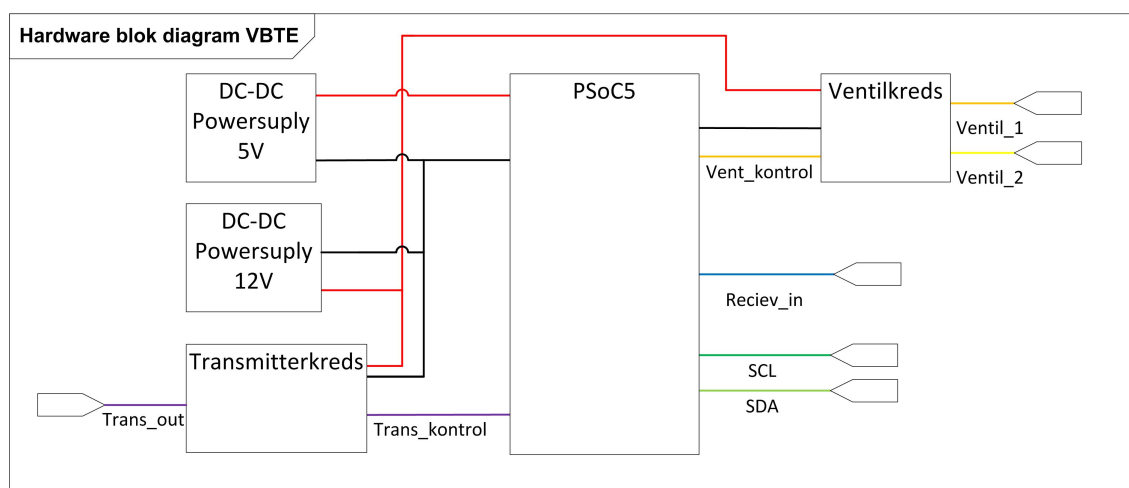
Strømforsyningen er opbygget som en uniserval forsyning der leverer 12V 1A og / eller 5V 0.5A. Strømforsyningen bruges af delmodulerne: SM og VBTE

## 3.1 Overordnet design

Følgende afsnit beskriver VBTE'ens hardware i de enkelte blokke, grænsefladerne derimellem samt funktionen af blokkene. Derudover er der implementeret et testdisplay samt mulighed for manuelt at indstille I2C adressen. Disse er kun ment til test og er derfor ikke dokumenteret.

## 4.1 Overordnet design

Nedenfor ses det overordnede hardware blokdiagram. Herefter følger en beskrivelse af de forskellige blokke samt signaler.



*Figur 4.1.* Overordnet blokdiagram for VBTE hardware

### 4.1.1 Blokke

Nedenfor beskrives de enkelte blokke illustreret på *Figur 4.1*

#### PSOC5

PSOC'en er den centrale del af VBTE'en og står for styringen af hele VBTE'en. Den består af:

- MicroController
- PGA
- Mixer
- Timer

- Clocks
- I2C
- Delta-Sigma ADC
- Kontrolregister

PSoC'en er et færdigkøbt produkt og for detaljer om de enkelte blokke heri henvises der til databladet for PSoC5.

### **DC-DC powersupply 5V**

Se powersupply afsnittet.

### **DC-DC powersupply 12V**

Se powersupply afsnittet.

### **Transmitterkreds**

Transmitterkredsen består af en MOSFET samt en keramisk ultralyds transmitter(Model: 400ST). Kredsen bliver drevet af 12V powersupply. <sup>1</sup>

### **Reciverkreds**

Recierkredsen består af en keramisk ultralyds reciver(Model: 400SR).

### **Ventilkreds**

Ventilkredsen består af en MOSFET samt en ventil(Model: EV210A-1.2 og EV210A-4.5)

---

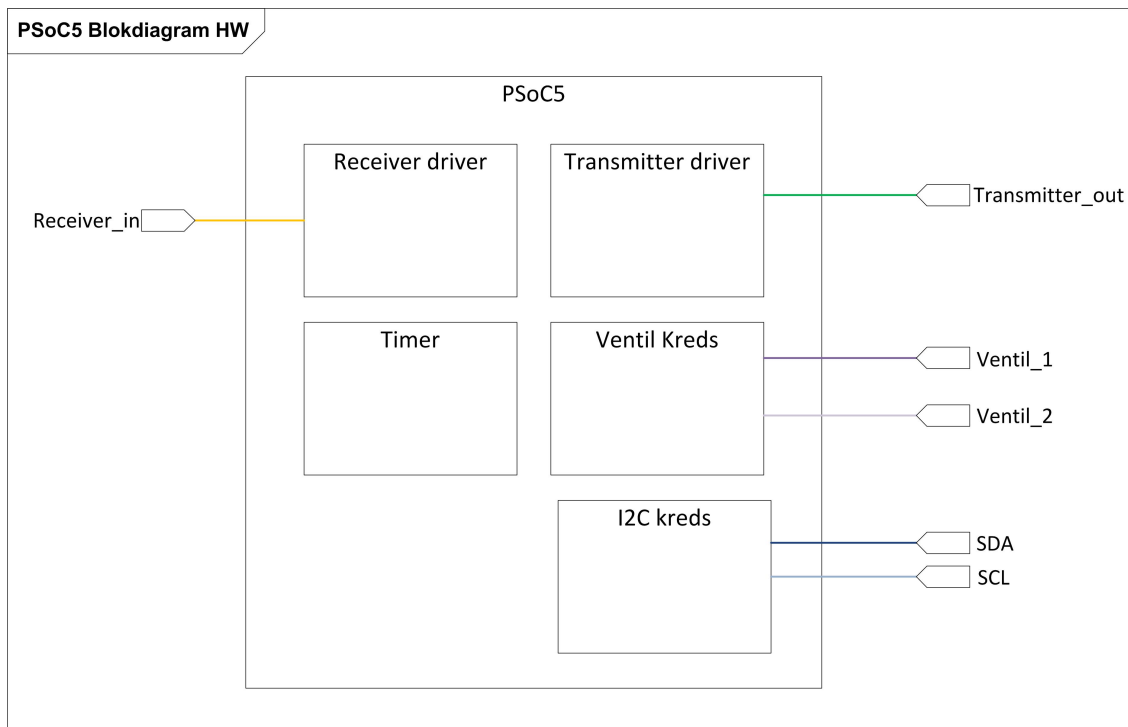
<sup>1</sup>FiXme Note: Skal ligge i opbygningen af blokken i stedet for her

## 4.2 Nedbrydning af blokke

Nedenfor følger nedbrydningen af de enkelte blokke med henblik på at designe de enkelte dele til systemet. Nedbrydningen sker for at gøre designet nemmere og mere overskueligt.

### 4.2.1 PSoC5

På *Figur 4.2* ses HW-designet internt på PSoC'en. De enkelte blokke bliver beskrevet efterfølgende.



**Figur 4.2.** PSoC5 blokdiagram

#### Signalbeskrivelser:

For signalbeskrivelser se *tabel 4.1*.<sup>2</sup>

<sup>2</sup>FiXme Note: OPDATER TABELLEN!!!!



Signal navn	Type	Spænding	Beskrivelse
Receiver_in	Analog (AC = 40kHz)	Ligger fra ca 0.01V til 0.3V	Spænding genereret i ultralydsreceiveren.
Transmitter_out	Analogt (AC = 40kHz)	0V til 5V	Signal der skal styre ultralydstransmitteren
Vent_1	Digitalt	0V til 5V	Signal der skal styre ventilen til at lukke vand ind med.
Vent_2	Digitalt	0V til 5V	Signal der skal styre ventilen til at lukke vand ud med.
SDA	Digitalt	0V til 5V	Et digitalt signal mellem VBTE og SM hvor I2C data læses fra.
SCL	Digitalt	0V til 5V	Digitalt clocksignal til I2C.
Add_set	Digitalt	0V til 5V	Digitalt signal til at sætte I2C adressen.
Add_LSB	Digitalt	0V til 5V	Digitalt signal til at sætte LSB i I2C adressen.
Add_LSB+1	Digitalt	0V til 5V	Digitalt signal til at sætte LSB i I2C adressen.

**Tabel 4.1.** Tabel over signaler i PSoC blokken**Blokbeskrivelser:****Timer**

Timeren skal holde øje med tiden. Dette skal ske ved at timeren skal køre hele tiden. Der bliver læst timerværdien når et burst bliver sendt og når et burst bliver modtaget. Timeren skal derfor have en forholdsvis hurtig clock for at kunne gøre afstandsmålingen hurtig nok.

**I2C kreds**

I2C kredsen skal stå for I2C interfacet mellem SM og KI. I2C protokollen kører 5V og med pull-up modstande. Denne del håndteres dog på SM. I2C'en benytter standard I2C protokol, og for yderligere info om data henvises der til *Systemarkitektur/protokoller/I2C*.

**Receiver Driver**

Receiver driveren modtager signalet fra ultralydsreceiveren. Signalet skal, når det modtages, løftes op til 2.5V for at det kan anvendes på PSoC'en samt forstærkes. Det er vigtigt at signalet bliver tydeligt nok til at man kan være sikker på at man har modtaget en detektion.

## Transmitter Driver

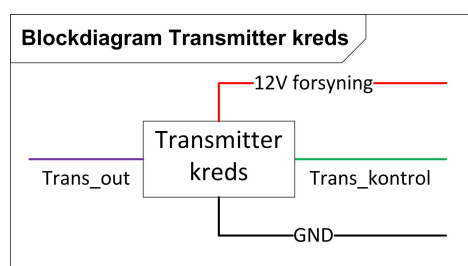
Det er vigtigt ved transmitteren at frekvensen ligger ret præcist da den dæmper rigtigt meget ikke ret langt væk fra 40kHz. For at timingen skal virke skal der også laves så der kan stoppes når der er sendt 10 perioder.

## Ventil Driver

Ventil driveren er den mest simple driver. Denne skal blot bære et digitalt signal til ON og OFF på hhv. ventilen til at lukke vand ind og ventilen til at lukke vand ud.

### 4.2.2 Transmitter kreds

På *figuren 4.3* ses nedbrydningen af Transmitter kreds-blokken. Transmitterkredsen omsætter et kontrolsignal fra PSoC'en til et ultralyds signal.



**Figur 4.3.** På figuren ses transmitter blokken nedbrudt

## Signalbeskrivelser

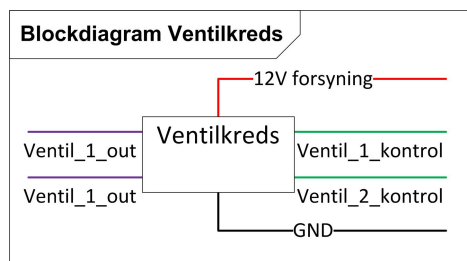
Signalerne internt i transmitter kredsen ses i *tabel 4.2*

Signal navn	Type	Spænding	Beskrivelse
Trans_kontrol	Digitalt	0V - 5V	Modtages fra PSoC'en og skal omsættes til en større spænding over ultralydstransmitteren.
Trans_out	Analogt (lyd)	120dB	Dette signal er lyden fra ultralydstransmitteren der sendes mod vandet og reflekteres tilbage til receiveren.
12V forsyning	Analogt DC	12V±0.1V	12V forsyning der leveres for powersupplyen beskrevet under powersupply.
GND	Ground	0V	Ground i systemet

**Tabel 4.2.** Tabel over signaler i Transmitterblokken

### 4.2.3 Ventil Kreds

Ventil kredsen får to kontrolsignaler fra PSoC'en der skal åbne for hver sin ventil. Kredsen skal sørge for at ventilerne kan få lov til at trække den strøm der er nødvendig for at drive dem. På *figur 4.4* ses blokdiagrammet for ventilkredsen. Signalerne på blokdiagrammet er beskrevet i *tabel 4.3*



**Figur 4.4.** På figuren ses ventilblokken nedbrudt

Signal navn	Type	Spænding	Beskrivelse
Ventil_1_kontrol	Digitalt	0V - 5V	Modtages fra PSoC'en og skal omsættes til en større spænding over ventilen.
Ventil_2_kontrol	Digitalt	0V - 5V	Modtages fra PSoC'en og skal omsættes til en større spænding over ventilen.
Ventil_1_out	Digitalt	0V - 12V	Udgangsspænding til ventilen.
Ventil_2_out	Digitalt	0V - 12V	Udgangsspænding til ventilen.
12V forsyning	Analogt DC	12V±0.1V	12V forsyning der leveres for powersupplyen beskrevet under powersupply.
GND	Ground	0V	Ground i systemet

**Tabel 4.3.** Tabel over signaler i Transmitterblokken

### 4.3 Opbygning af design

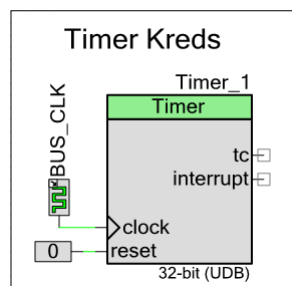
Nedenfor følger opbygningen af designet for de forskellige kredse. Dette vil blive beskrevet med Multisim designs, PSoC designs og udregninger. Afsnittet vil starte med at beskrive PSoC designet, da dette er den mest centrale del af VBTE modulet.

#### 4.3.1 PSoC5 design opbygning

I afsnittet om PSoC'en vil følge 5 underpunkter der beskriver hver blok som illustreret på figur 4.2.

##### Timer

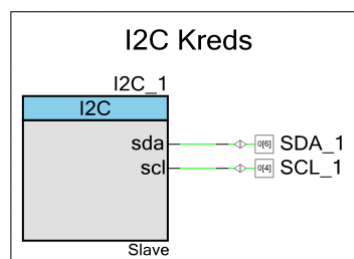
Timeren er en indbygget timerblok i PSoC miljøet. Der er påkoblet en bus clock med en frekvens på 24MHz. Dette giver en opløsning på  $\frac{1}{24MHz} * 344\frac{m}{s} = 0.014mm^3$ . Timeren er sat op med 32bit som giver en wraparound tid på 3min for at der ikke skal bruges ekstra operationer i timingen på at tjekke efter wraparound. Nedenfor ses timerkredsen.



Figur 4.5. PSoC timerkreds.

##### I2Ckreds

I2Ckredsen er en indbygget I2Cblok i PSoC miljøet. Den er sat som slave så SM modulet kan skrive til den og læse fra den. datahastigheden er sat til at køre 100kbps. Blokken har 2 udgange som er direkte forbundet til ben på PSoC'en. Disse er videre forbundet til et minijack hunstik der så den nemt kan kobles sammen med resten af systemet. Derudover er adressen sat i softwaren. Det er dog muligt at sætte LSB og LSB+1 i adressen i testdesignet. I den endelige system er det tænkt at de skal være sat op med en bestemt adresse fra start. På figur 4.6 ses blokken.



Figur 4.6. PSoC I2Ckreds.

<sup>3</sup>Dette er omtrent ved stuetemperatur (20°)

### Receiver Driver

Receiverdriveren består af en række indbyggede blokke i PSoC'en. Udover designet opbygget i PSoC miljøet er der en kondensator på 1 $\mu$ F, for at fjerne DC på ultralydsreceiveren, og en modstand der forbinder Opamp'en og PGA'en. Opamp'en er indsat for at løfte signalet op til 2,5V. PGA'en forstærker herefter signalet op. Under teknologiundersøgelsen viste det sig at der blev modtaget en maks p-p værdi på 300mV på ultralydsreceiveren. Derved giver en forstærkning på 8 et maks udsving på

$$U_{maks} = 300mV * 8 = 2.4V.$$

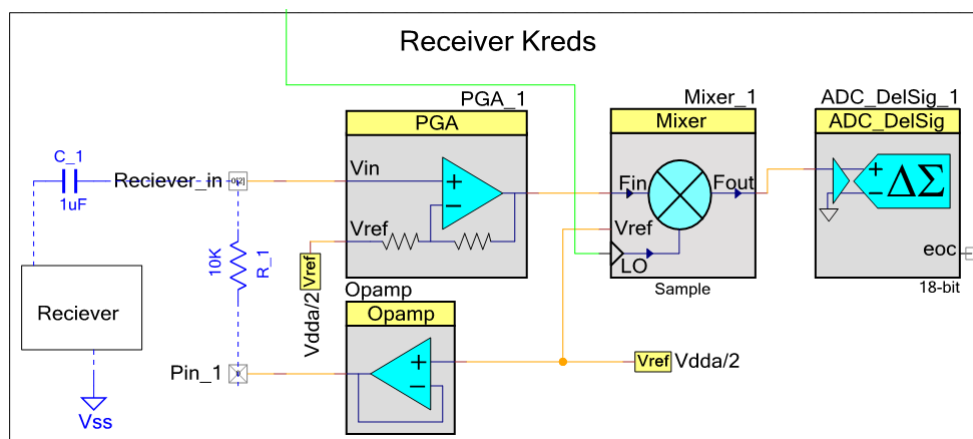
Dette er dog kun hvis der modtages et meget klart signal og det er derfor en forstærkning på 8 godt kan anvendes. Signalet mixes herefter sammen med et 40kHz signal for at få en DC ind på filteret i Delta-sigma AD konverteren. Filteret er i delta-sigma AD konverteren er designet i PSoC'en som et 3 ordensfilter hvis første tap ligger ved samplingsfrekvensen. Samplingsfrekvensen er udregnet til at give filteret en opladningstid i 3dB punktet på 1/4ms. Dette skyldes at de 10 perioder der bliver sendt varer 1/4ms. Derved må der konstateres en detektion når filteret er opladet til 63%.

Udregning af samplefrekvens:

$$\frac{1}{a} = \tau, \tau = 250\mu s \text{ derved er } a = \frac{4000 \frac{rad}{s}}{2 * \pi} = 637Hz.$$

Dette giver en samplefrekvens på:  $SPS = 3 * 637Hz = 1910Hz$ .

Nedenfor ses det endelige receiverdriver PSoC design.



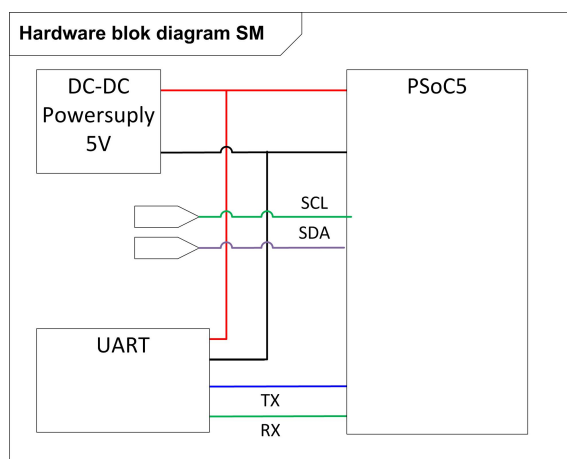
Figur 4.7. PSoC receiverkreds

### Ventil Driver

Følgende afsnit beskriver SM's hardware i de enkelte blokke, grænsefladerne derimellem samt funktionen af blokkene.

## 5.1 Overordnet design

Nedenfor ses det overordnede hardware blokdiagram. Herefter følger en beskrivelse af de forskellige blokke samt signaler.



**Figur 5.1.** Overordnet blokdiagram for SM hardware

### 5.1.1 Blokke

Nedenfor beskrives de enkelte blokke illustreret på *Figur 5.1*

#### PSoC5

PSoC'en er den centrale del af VBTE'en og står for styringen af hele VBTE'en. Den består af:

- MicroController
- I2C
- Delta-Sigma ADC
- Kontrolregister
- UART

PSoC'en er et færdigkøbt produkt og for detaljer om de enkelte blokke heri henvises der til databladet for PSoC5.

**DC-DC powersupply 5V**

Se powersupply afsnittet.

**UART**

UART-blokken består af en levelkonverter forbundet til et DB9 stik. Levelkonverteren er af typen ST3232.

**5.2 Nedbrydning af blokke**

Nedenfor følger nedbrydningen af de enkelte blokke med henblik på at designe de enkelte dele til systemet. Nedbrydningen sker for at gøre designet nemmere og mere overskueligt.

**5.2.1 PSoC5**

På

**Rettelser**

Note: Skal ligge i opbygningen af blokken i stedet for her . . . . .	7
Note: OPDATER TABELLEN!!!! . . . . .	8