

AARHUS SCHOOL OF ENGINEERING

ELECTRONIC ENGINEERING

E4PRJ

Detaljeret Hardware Design

Author:

Nicolai GLUD

Johnny KRISTENSEN

Rasmus LUND-JENSEN

Mick HOLMARK

Jacob ROESEN



15. december 2012

Indholdsfortegnelse

Kapitel 1 Indledning	4
1.0.1 Formål	4
1.0.2 Reference dokumentation	4
Kapitel 2 RS232	5
Kapitel 3 Strømforsyning	6
3.1 Krav til strømforsyning	6
3.2 Overordnet design	6
3.2.1 Blokke	7
3.3 Nedbrydning af blokke	8
3.3.1 Sikring	8
3.3.2 Dobbelt ensretter	9
3.3.3 Udglatning	10
3.3.4 Regulator 12V	11
3.3.5 Regulator 5V	12
3.4 Opbygning af design	13
3.4.1 Sikring	13
3.4.2 Dobbelt ensretter	14
3.4.3 Udglatning	16
3.4.4 Regulator 12V	16
3.4.5 Regulator 5V	16
Kapitel 4 VBTE	17
4.1 Overordnet design	17
4.1.1 Blokke	17
4.2 Nedbrydning af blokke	19
4.2.1 PSoC5	19
4.2.2 Transmitterkreds	21
4.2.3 Ventilkreds	21
4.3 Opbygning af design	23
4.3.1 PSoC5 design opbygning	23
4.3.2 Transmitterkreds	26
4.3.3 Ventilkreds	26
4.4 Pin forbindelser	27
Kapitel 5 SM	28
5.1 Overordnet design	28
5.1.1 Blokke	28
5.2 Nedbrydning af blokke	29
5.2.1 PSoC5	29

5.2.2	UART Block	30
5.3	Opbygning af design	31
5.3.1	PSoC5 design opbygning	31
5.3.2	UART Block design opbygning	33
5.4	Pin forbindelser	33

Indledning 1

Dette dokument beskriver det detaljerede HW-design for BROS, som er fastlagt ud fra dokumenterne kravspecifikation og systemarkitektur.

1.0.1 Formål

Formålet med dokumentet er:

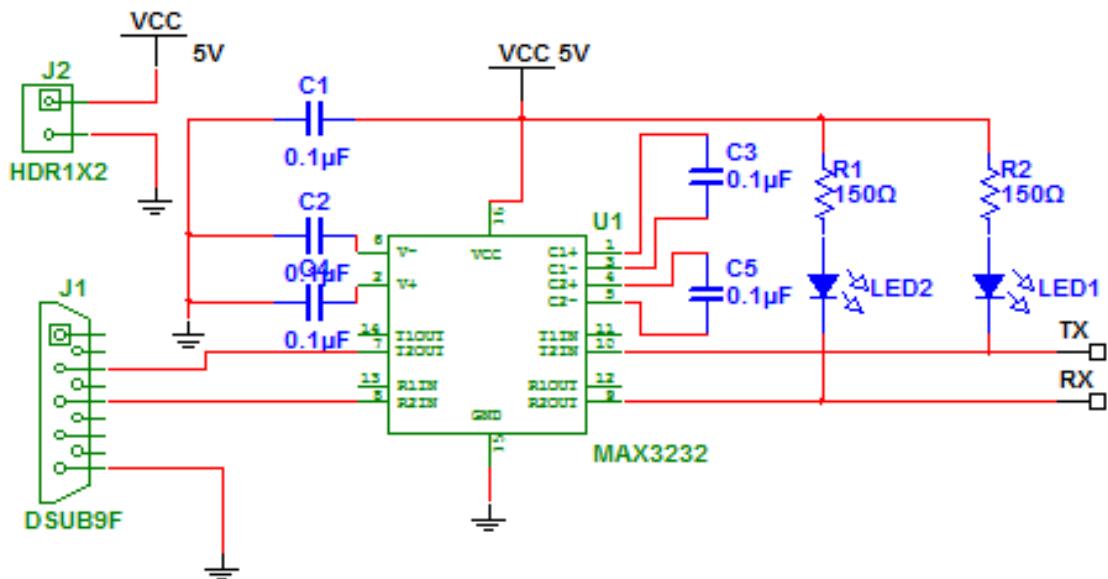
- At fastlægge systemets detaljerede hardwarestruktur ud fra kravene specificeret i kravsspecifikationen. Derudover beskrivelsen af hardwarekomponenterne og deres grænseflader beskrevet i systemarkitektur-dokumentet.
- At fastlægge systemets hardwareblokke og deres indbyrdes interaktioner.
- At beskrive de enkelte hardwareblokkes funktion og opbygning.

1.0.2 Reference dokumentation

- Kravspecifikation for projektet.
- Systemarkitektur-dokument.

RS232 2

det er en hest der bruger rs232:



Figur 2.1. Realisering for UART Block

Strømforsyning 3

Ud fra kravspecifikation skal delmodulerne (SM og VBTE) kunne drives fra en 24V AC forsynings kilde. Selve modulerne er designet til 12V DC og 5V DC forsyningsspændinger, der designes derfor en strømforsyning der regulere spændingen så den kan leve 12V 1A og 5V 0,5A.

3.1 Krav til strømforsyning

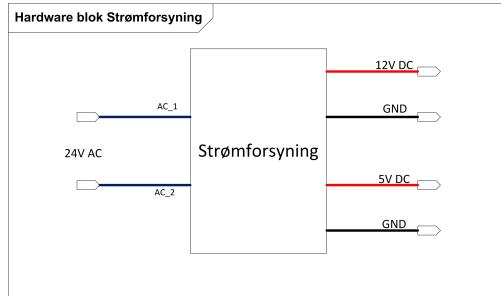
Indgangsspænding / Strøm: **24V AC RMS / 1,5A**

Udgangsspænding / Strøm: **12V DC / 1A**

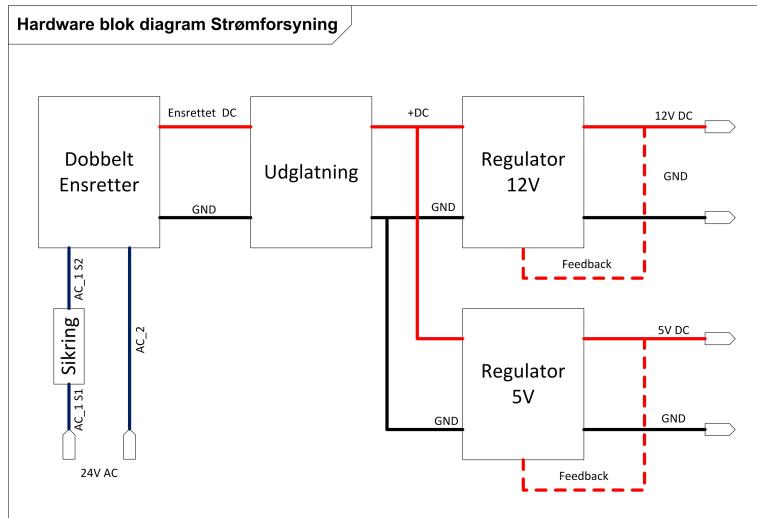
Udgangsspænding / Strøm: **5V DC / 0,5A**

3.2 Overordnet design

I dette afsnit beskrives og vises det overordnede hardware blokdiagram over strømforsyningen samt beskrivelse signaler.



Figur 3.1. Strømforsyning



Figur 3.2. Overordnet blokdiagram for strømforsyning

3.2.1 Blokke

Nedenfor beskrives de enkelte blokke illustreret på *Figur 3.2*

Sikring

Sikringen beskytter forsyningskilde, hvis der bliver for stor belastning på strømforsyningen

Dobbelt ensretter

Ensretter AC spændingen fra forsyningskilden.

Udglatning

Udglatter det ensrettet signal til en stabil positiv DC.

Regulator 12V

Regulere den ensrettet DC ned til 12V DC.

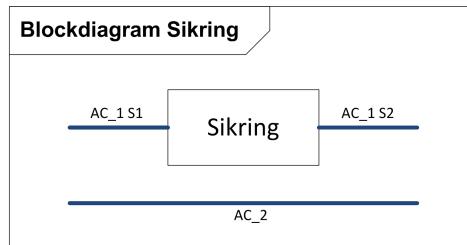
Regulator 5V

Regulere den ensrettet DC ned til 5V DC.

3.3 Nedbrydning af blokke

For at gøre designet af de forskellige blokke mere overskuelig nedbrydes de enkle blokke fra det overordnede blokdiagram.

3.3.1 Sikring



Figur 3.3. Blokdiagram for Sikrings blok

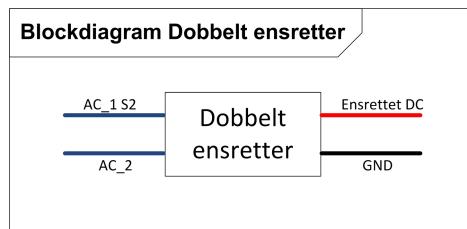
Signalbeskrivelser

I tabellen beskrives de interne signaler

Signal navn	Type	Spænding	Beskrivelse
AC_1 S1	Analog	24V AC RMS	Indgangsspænding fra spændingskilde inden sikring.
AC_1 S2	Analog	24V AC RMS	Indgangsspænding fra spændingskilde efter sikring.
AC_2	Analog	0V AC	0V AC fra spændingskilden.

Tabel 3.1. Tabel over signaler i Sikring

3.3.2 Dobbelt ensretter



Figur 3.4. Blokdiagram for Dobbelt ensretter

Signalbeskrivelser

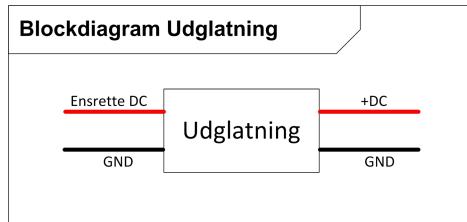
I tabellen beskrives de interne signaler

Signal navn	Type	Spænding	Beskrivelse
AC_1 S2	Analog	24V AC	Indgangsspænding fra spændingskilde efter sikring.
AC_2	Analog	0V AC / 0V DC	0V AC fra spændingskilden.
Ensrettet DC	Analog	33 Vpk.	Det ensrettet signal består af positive halvbuer.
GND	Analog	0V	Ground signal.

Tabel 3.2. Tabel over signaler i Sikring

3.3.3 Udglatning

Udglatningen genere et jærn og stabilt DC-niveau



Figur 3.5. Blokdiagram for udglatning

Signalbeskrivelser

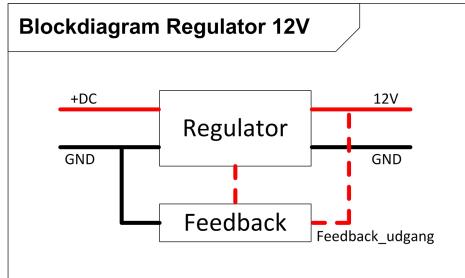
I tabellen beskrives de interne signaler.

Signal navn	Type	Spænding	Beskrivelse
Ensrettet DC	Analog	ca. 33 Vpk	Det ensrettet signal består af positive halvbuer.
GND	Analog	0V DC	ground signal.
+DC	Analog	ca. 33V DC	Jævnt og stabilt DC-niveau
GND	Analog	0V DC	ground signal.

Tabel 3.3. Tabel over signaler i Udglatning

3.3.4 Regulator 12V

Regulere spænding ned til 12V DC, 1A



Figur 3.6. Blokdiagram for regulator 12V

Signalbeskrivelser

I tabellen beskrives de interne signaler.

Signal navn	Type	Spænding	Beskrivelse
+DC	Analog	ca. 33 VDC	jævnt og stabilt DC-niveau
GND	Analog	0V DC	ground signal.
12V	Analog	12V +-0.2V	jævnt og stabilt DC-niveau
GND	Analog	0V DC	ground signal.
Feedback_udgang	Analog	12V +-0.2V	Feedback signalet mäter på 12V udgangen.

Tabel 3.4. Tabel over signaler i Sikring

Blokbeskrivelser

Regulator

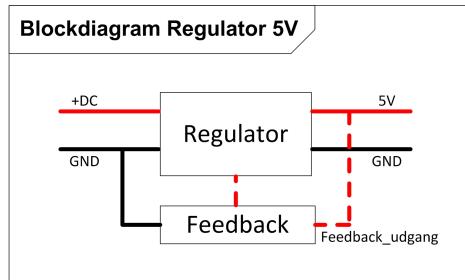
Regulatoren regulere spænding ned til 12V, de 12V er bestemt ud fra hvad feedbacket.

Feedback

Feedbacket mäter på udgangssignalet af regulatoren, feedbacket bestemmet hvilke spændning regulatoren skal indstille sig på.

3.3.5 Regulator 5V

Regulere spænding ned til 5V DC, 0.5A



Figur 3.7. Blokdiagram for regulator 5V

Signalbeskrivelser

I tabellen beskrives de interne signaler.

Signal navn	Type	Spænding	Beskrivelse
+DC	Analog	ca. 33 VDC	jævnt og stabilt DC-niveau
GND	Analog	0V DC	ground signal.
12V	Analog	5V +-0.2V	jævnt og stabilt DC-niveau
GND	Analog	0V DC	ground signal.
Feedback_udgang	Analog	5V +-0.2V	Feedback signalet mäter på 12V udgangen.

Tabel 3.5. Tabel over signaler i Sikring

Blokbeskrivelser

Regulator

Regulatoren regulere spænding ned til 5V, de 5V er bestemt ud fra hvad feedbacket.

Feedback

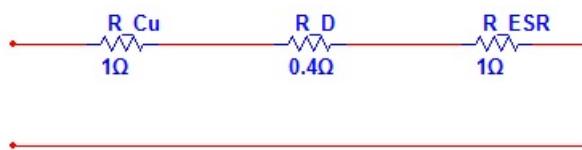
Feedbacket mäter på udgangssignalet af regulatoren, feedbacket bestemmet hvilke spændning regulatoren skal indstille sig på.

3.4 Opbygning af design

Nedenfor følger opbygningen af designet for de forskellige blokke i strømforsyningen. Dette vil blive beskrevet med Multisim designs, simuleringer, samt udregninger.

3.4.1 Sikring

Sikringen sidder som sagt som beskyttelse af forsyningsspændingen, hvis der trækkes en for stor strøm fra strømforsyningen i et kort tid vil sikringen springe. Sikringen beskytter også derfor evt. komponenter på strømforsyningen. Bestemmelsen af sikringsstørrelse sker ud fra et skema samt kortslutningsstrømmen. Kortslutningsstrømmen beregnes udfra den indre modstand i strømforsyningen og tomgangs peak spændingen:



Figur 3.8. Indre modstand for Transformator, Diodebro og Elektrolyt

Transformator(Forsyningskilde) R_{Cu} : ca. 1 ohm

Dobbelt ensretter(diodebro) R_D : $2 * 0,02 \text{ ohm} = 0,04 \text{ ohm}$

Udglatning(Elektrolyt kondensator) R_{ESR} : ca. 1 ohm

Indre modstand $R_Z = 2,04 \text{ ohm}$

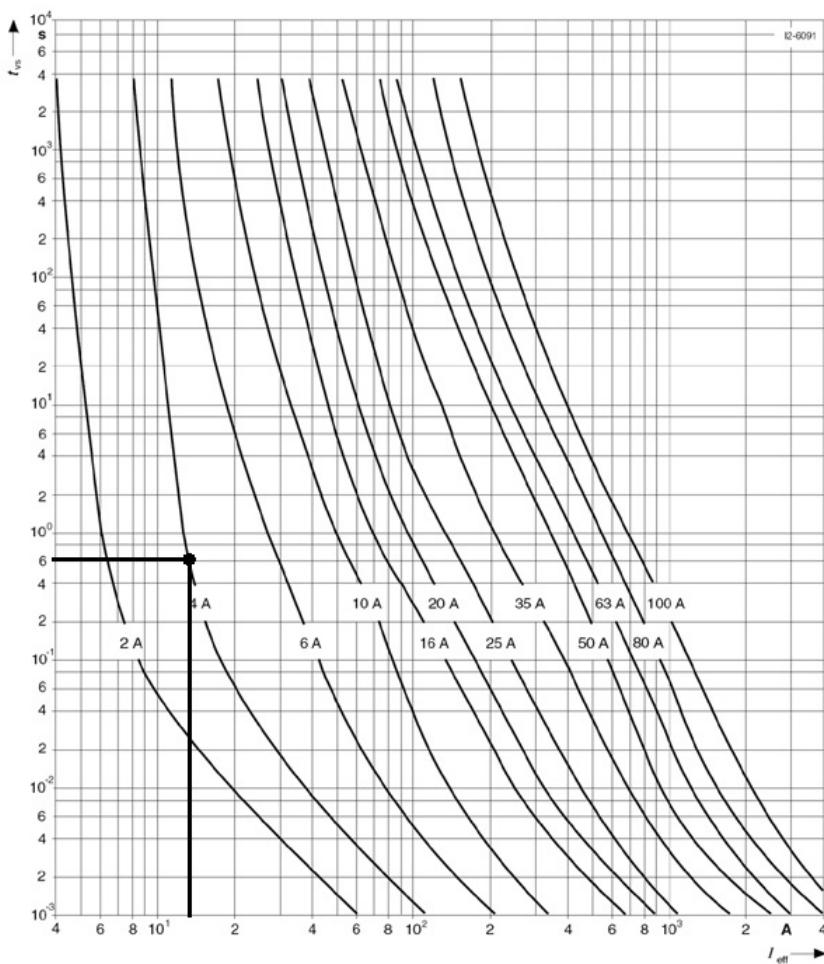
Peak spænding:

$$V_{pk} = 24V \text{ RMS} * 1,41 = 33,84 \text{ Vpk}$$

Kortslutningstrøm:

$$I_K = V_{pk} / R_Z = 33,84V_{pk} / 2,04 \text{ ohm} = 16,5 \text{ A}$$

Ud fra beregningerne og *Figur 3.9* kan størrelse af sikringen findes



Figur 3.9. Sikringskurve

Størrelse på sikringen vælges til **4A** og en springetid på **250ms**.

3.4.2 Dobbelt ensretter

Dobbelt ensretteren, ensretter AC signalet til positive halvperioder, ved at det er en diodebro der består af 4 dioder vil der altid være 2 dioder der leder samtidig, dette betyder at der vil være det dobbelt af positive halvperioder. Ved at der er det dobbelt af positive halvperioder betyder også en bedre udglatning af DC signalet, samt bedre udnytelse af AC signalet.

Beregning

Spændning over diode i diodebro:

$D_f = 0,7V$, D_f vil stige i forhold til den strøm der løber igennem dioden

Peak spændning efter dobbelt ensretter:

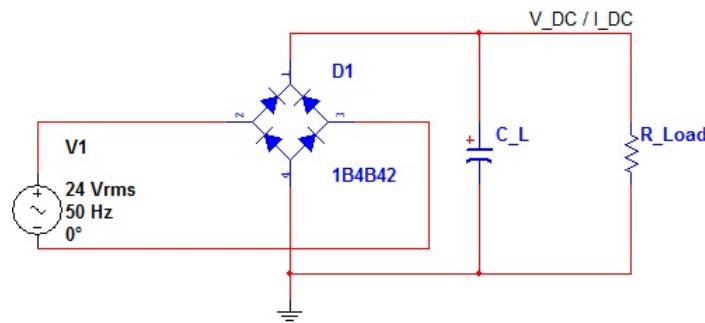
$$V_{pk_Diodebro} = (24V \text{ AC RMS} * 1,41) - (2 * 0,7V) = 32,43V \text{ pk.}$$

Diodenbroen der er valgt er **tbl-04** der kan klare op til 4A.¹

¹Se datablad for kbl-04 i bilag

3.4.3 Udglatning

Udglatningen består af en elektrolyt, som bliver opladet når spændning stiger og aflades når spændningen falder.



Figur 3.10. Diagram for beregning af C_L

Beregning

I beregning af størrelsen af elektrolytten tages der udgangspunkt i 3 faktorer:

- Pulstiden: $T_p = 20 \text{ ms}$
 - Max udgangstrøm: $I_{DC} = 1,5\text{A}$
 - Ønsket max ripples ved fuld belastning: $U_{rip} = 3\text{V}$
- $$C_L = (I_{DC} * T_p) / (2 * U_{rip}) = (1,5\text{A} * 20\text{ms}) / (2*3\text{V}) = 5\text{mF}$$

Ud fra standard størrelse på elektrolytter vælges der $2 * 2,2\text{mF} 63\text{V}$ elektrolyt.

$$C_L = 4,4\text{mF}, 63\text{V}$$

3.4.4 Regulator 12V

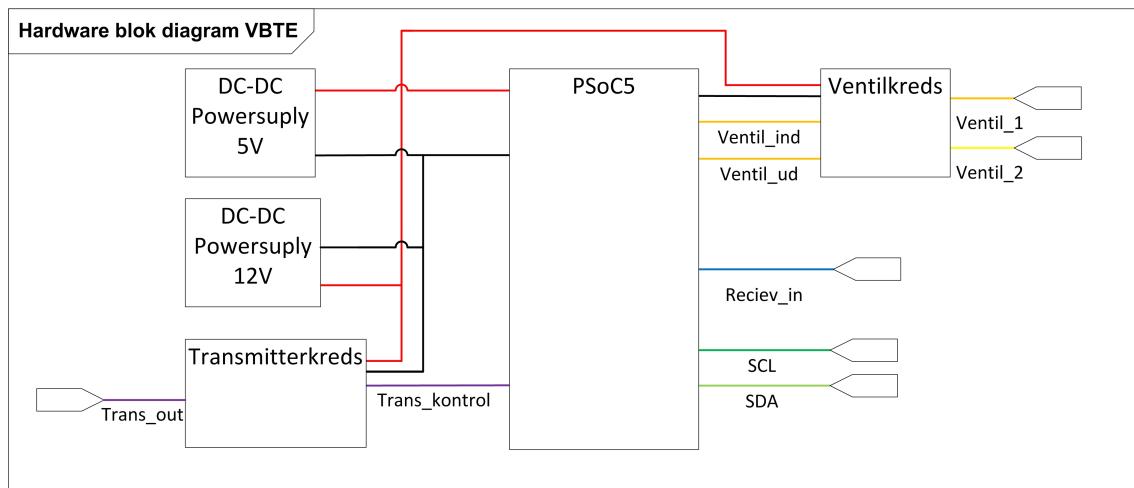
3.4.5 Regulator 5V

VBTE 4

Følgende afsnit beskriver VBTE'ens hardware i de enkelte blokke, grænsefladerne derimellem samt funktionen af blokkene. Derudover er der implementeret et testdisplay samt mulighed for manuelt at indstille I2C adressen. Disse er kun ment til test og er derfor ikke dokumenteret.

4.1 Overordnet design

Nedenfor ses det overordnede hardware blokdiagram. Herefter følger en beskrivelse af de forskellige blokke samt signaler.



Figur 4.1. Overordnet blokdiagram for VBTE hardware

4.1.1 Blokke

Nedenfor beskrives de enkelte blokke illustreret på *Figur 4.1*

PSoC5

PSoC'en er den centrale del af VBTE'en og står for styringen af hele VBTE'en. Den består af:

- Microcontroller
- PGA
- Mixer
- Timer

- Clocks
- I2C
- Delta-Sigma ADC
- Kontrolregister

PSoC'en er et færdigkøbt produkt og for detaljer om de enkelte blokke heri henvises der til databladet for PSoC5.

DC-DC powersupply 5V

Se powersupply afsnittet.

DC-DC powersupply 12V

Se powersupply afsnittet.

Transmitterkreds

Transmitterkredsen består af en BD139 transistor samt en keramisk ultralydstransmitter af model 400ST. Kredsen bliver drevet af 12V powersupply.

Recieverkreds

Recierkredsen består af en keramisk ultralyds reciver(Model: 400SR).

Ventilkreds

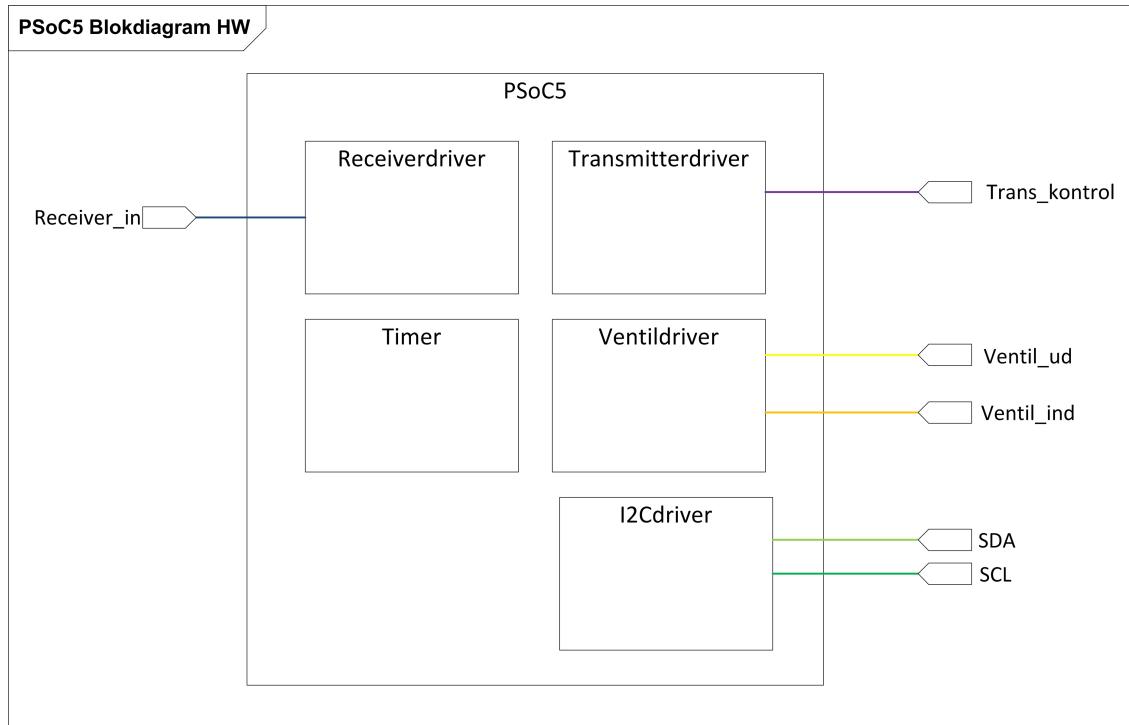
Ventilkredsen består af en to transistorer, BD139 og BC547B, i en darlington kobling samt to ventier af model EV210A-1.2 og EV210A-4.5.

4.2 Nedbrydning af blokke

Nedenfor følger nedbrydningen af de enkelte blokke med henblik på at designe de enkelte dele til systemet. Nedbrydningen sker for at gøre designet nemmere og mere overskueligt.

4.2.1 PSoC5

På *Figur 4.2* ses HW-designet internt på PSoC'en. De enkelte blokke bliver beskrevet efterfølgende.



Figur 4.2. PSoC5 blokdiagram

Signalbeskrivelser:

For signalbeskrivelser se *tabel 4.1*.

Signal navn	Type	Spænding	Beskrivelse
Receiver_in	Analog (AC = 40kHz)	Ligger fra ca 0.01V til 0.3V	Spænding genereret i ultralydsreceiveren.
Trans_kontrol	Analogt (AC = 40kHz)	0V til 5V	Signal der skal styre ultralydstransmitteren
Ventil_ind	Digitalt	0V til 5V	Signal der skal styre ventilen til at lukke vand ind med.
Ventil_ud	Digitalt	0V til 5V	Signal der skal styre ventilen til at lukke vand ud med.
SDA	Digitalt	0V til 5V	Et digitalt signal mellem VBTE og SM hvor I2C data læses fra.
SCL	Digitalt	0V til 5V	Digitalt clocksignal til I2C.

Tabel 4.1. Tabel over signaler i PSoC blokken

Blokbeskrivelser:

Timer

Timeren skal holde øje med tiden. Dette skal ske ved at timeren skal køre hele tiden. Der bliver læst timerværdien når et burst bliver sendt og når et burst bliver modtaget. Timeren skal derfor have en forholdsvis hurtig clock for at kunne gøre afstandsmålingen hurtig nok.

I2Cdriver

I2C kredsen skal stå for I2C interfacet mellem SM og VBTE. I2C protokollen kører 5V og med pull-up modstande. Denne del håndteres dog på SM da der kun er en instans af denne. I2C'en benytter standard I2C protokol og for yderligere info om data henvises der til *Systemarkitektur/protokoller/I2C*.

Receiverdriver

Receiver driveren modtager signalet fra ultralydsrecieveren. Signalet skal, når det modtages, løftes op til 2.5V for at det kan anvendes på PSoC'en samt forstærkes. Det er vigtigt at signalet bliver tydeligt nok til at man kan være sikker på at man har modtaget en detektion.

Transmitterdriver

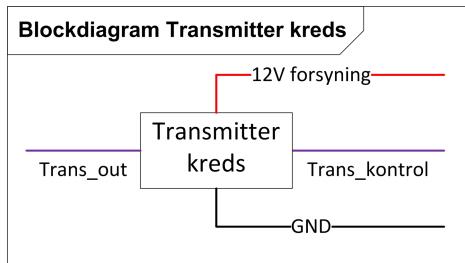
Det er vigtigt for transmitteren at frekvensen ligger ret præcist da den dæmper signalet rigtigt meget ved frekvenser der ikke ligger ret langt væk fra 40kHz. For at timingen skal virke skal der også laves så der kan stoppes når der er sendt 10 perioder.

Ventildriver

Ventil driveren er den mest simple driver. Denne skal blot bære et digitalt signal til ON og OFF på hhv. ventilen til at lukke vand ind og ventilen til at lukke vand ud.

4.2.2 Transmitterkreds

På *figuren 4.3* ses nedbrydningen af Transmitter kreds-blokken. Transmitterkredsen omsætter et kontrolsignal fra PSoC'en til et ultralyds signal.



Figur 4.3. På figuren ses transmitter blokken nedbrudt

Signalbeskrivelser

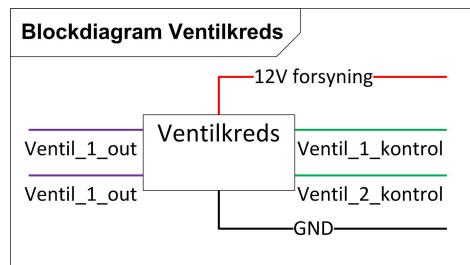
Signalerne internt i transmitter kredsen ses i *tabel 4.2*

Signal navn	Type	Spænding	Beskrivelse
Trans_kontrol	Digitalt	0V - 5V	Modtages fra PSoC'en og skal omsættes til en større spænding over ultralydstransmitteren.
Trans_out	Analogt (lyd)	120dB ¹	Dette signal er lyden fra ultralydstransmitteren der sendes mod vandet og reflekteres tilbage til receiveren.
12V forsyning	Analogt DC	12V±0.1V	12V forsyning der leveres for powersupplyen beskrevet under powersupply.
GND	Ground	0V	Ground i systemet

Tabel 4.2. Tabel over signaler i Transmitterblokken

4.2.3 Ventilkreds

Ventil kredsen får to kontrolsignaler fra PSoC'en der skal åbne for hver sin ventil. Kredsen skal sørge for at ventilerne kan få lov til at trække den strøm der er nødvendig for at drive dem. På *figur 4.4* ses blokdiagrammet for ventilkredsen. Signalerne på blokdiagrammet er beskrevet i *tabel 4.3*



Figur 4.4. På figuren ses ventilblokken nedbrudt

Signal navn	Type	Spænding	Beskrivelse
Ventil_1_kontrol	Digitalt	0V - 5V	Modtages fra PSoC'en og skal omsættes til en større spænding over ventilen.
Ventil_2_kontrol	Digitalt	0V - 5V	Modtages fra PSoC'en og skal omsættes til en større spænding over ventilen.
Ventil_1_out	Digitalt	0V - 12V	Udgangsspænding til ventilen.
Ventil_2_out	Digitalt	0V - 12V	Udgangsspænding til ventilen.
12V forsyning	Analogt DC	$12V \pm 0.1V$	12V forsyning der leveres for powersupplyen beskrevet under powersupply.
GND	Ground	0V	Ground i systemet

Tabel 4.3. Tabel over signaler i Transmitterblokken

4.3 Opbygning af design

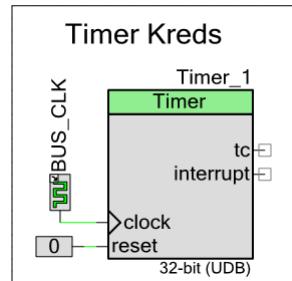
Nedenfor følger opbygningen af designet for de forskellige kredse. Dette vil blive beskrevet med Multisim designs, PSoC designs og udregninger. Afsnittet vil starte med at beskrive PSoC designet, da dette er den mest centrale del af VBTE modulet.

4.3.1 PSoC5 design opbygning

I afsnittet om PSoC'en vil følge 5 underpunkter der beskriver hver blok som illustreret på *figur 4.2*.

Timer

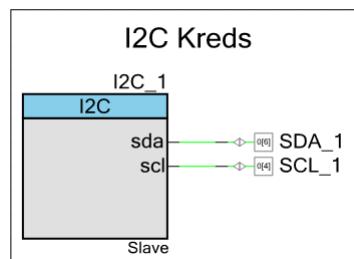
Timeren er en indbygget timerblok i PSoC miljøet. Der er påkoblet en bus clock med en frekvens på 24MHz. Dette giver en opløsning på $\frac{1}{24MHz} * 344\frac{m}{s} = 0.014mm^2$. Timeren er sat op med 32bit som giver en wraparound tid på 3min for at der ikke skal bruges ekstra operationer i timingen på at tjekke efter wraparound. Nedenfor ses timerkredsens.



Figur 4.5. PSoC timerkreds.

I2Ckreds

I2Ckredsen er en indbygget I2Cblok i PSoC miljøet. Den er sat som slave så SM modulet kan skrive til den og læse fra den. datahastigheden er sat til at køre 100kbps. Blokken har 2 udgange som er direkte forbundet til ben på PSoC'en. Disse er videre forbundet til et minijack hunstik der så den nemt kan kobles sammen med resten af systemet. Derudover er adressen sat i softwaren. Det er dog muligt at sætte LSB og LSB+1 i adressem i testdesignet. I det endelige system er det tænkt at de skal være sat op med en bestemt adresse fra start. På *figur 4.6* ses blokken.



Figur 4.6. PSoC I2Ckreds.

²Dette er omrent ved stuetemperatur (20°)

Receiver Driver

Receiverdriveren består af en række indbyggede blokke i PSoC'en. Udover designet opbygget i PSoC miljøet er der en kondensator på $1\mu F$, for at fjerne DC på ultralydsreceiveren, og en modstand der forbinder Opamp'en og PGA'en. Opamp'en er indsat for at løfte signalet op til 2,5V da PSoC'en ikke kan arbejde med negative spændinger. PGA'en forstærker herefter signalet op fra receiveren. Under teknologiundersøgelsen viste det sig at der blev modtaget en maks p-p værdi på 300mV på ultralydsreceiveren. Ud fra denne værdi blev en forstærkning beregnet for at være inden for PSoC'ens arbejdsområde

$$A_{maks} * 300mV + 2.5V < 5V. \text{ Anvendes en forstærkning på 8 fås et maks udsving på } 300mV * 8 + 2.5V = 4.9V.$$

Dette er dog kun hvis der modtages et meget klart signal og det er derfor en forstærkning på 8 godt kan anvendes. Signalet mixes herefter sammen med et 40kHz signal³ for at få en DC ind på filteret i Delta-sigma AD konverteren. Den forventede spænding på ADC'en vil matematisk regnes til:

$$U_{mixer} = \frac{1}{2} * A_{signal} * A_{clock} * A_{filter} = 2.5V * \frac{1}{2} = 1.25V^4$$

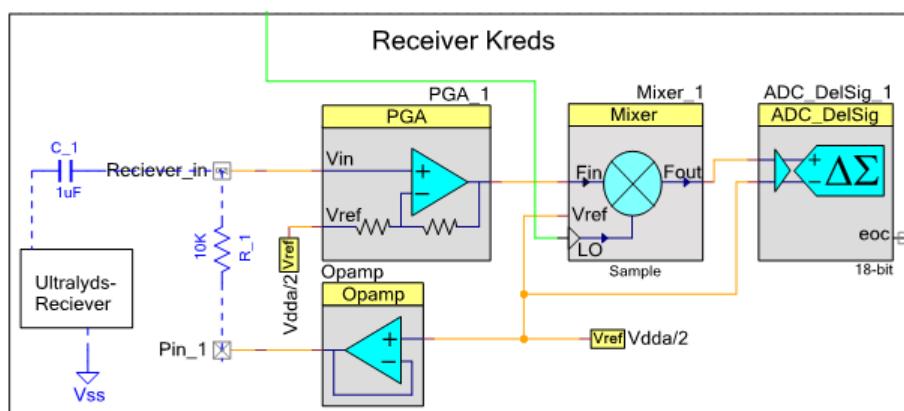
Filteret i delta-sigma AD konverteren er designet i PSoC'en som et 3 ordens filter hvis første tap ligger ved samplingsfrekvensen. Samplingsfrekvensen er udregnet til at give filteret en opladningstid i 3dB punktet på $1/4ms$. Dette skyldes at de 10 perioder der bliver sendt varer $1/4ms$. Derved må der konstateres en detektion når filteret er opladet til 63%. Delta-sigmaens dynamikområde er sat til $V_{dd}/2 \pm 1.25V$.

Udregning af samplefrekvens:

$$\frac{1}{a} = \tau, \tau = 250\mu s \text{ derved er } a = \frac{4000 \frac{rad}{s}}{2\pi} = 637Hz.$$

Dette giver en samplefrekvens på: $sps = 3 * 637Hz = 1910Hz$.

Nedenfor ses det endelige receiverdriver PSoC design. De forskellige parametre beregnet ovenfor er indsat i de forskellige blokke.



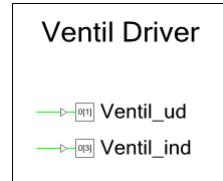
Figur 4.7. PSoC receiverkreds

³Den grønne streg er en forbindelse til den 40kHz clock der også anvendes i transmitterdriveren

⁴Bemærk at dette er ved maksimalt udsving. Efterfølgende viste det sig at en lavere spænding også var detekteringer og grænset blev sat ved 0.3V

Ventildriver

Ventil driveren består af to software styrede output pins. Disse anvendes som kontolsignal til Ventil Kredsen. Pinsne kan maks trække en strøm på 4mA. Nedenfor ses den endelige ventildriver på PSoC'en.

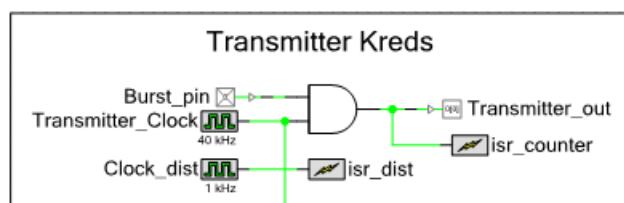


Figur 4.8. PSoC ventildriver

Transmitterdriver

Transmitterdriveren består af en output pin til kontrol af transmitterkredsen, en interruptrutine til at tælle antallet af perioder der bliver sendt, en interruptrutine til at hjælpe med et nonblocking delay, en 40kHz og en 1kHz clock samt en softwarestyret kontrol pin (Burst_pin). Når kontrolpinden bliver sat bliver clocken and'et igennem ud til interruptrutinen samt kontrolpinden.

Nedenfor ses det endelige PSoC design for transmitterdriveren.



Figur 4.9. PSoC transmitterdriver

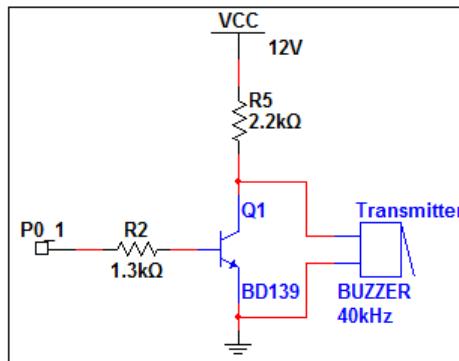
4.3.2 Transmitterkreds

Transmitterkredsen skal, som beskrevet ovenfor, modtage et kontrol signal og omsætte det signal til en større spænding over den keramiske ultralydstrmitter. Dette er realiseret ved at anvende en transistor (BD139). I databladet aflæses impedansen af transmitteren til $\sim 10k\Omega$ ved 40kHz. Med en forsyning på 12V trækker den derved en strøm på:

$$I_{transmitter} = \frac{12V}{10k\Omega} = 1.2mA$$

Derved kan transistoren sagtens trække transmitteren og den er tilgængelig i lab.

På *figur 4.10* ses transmitterkredsen opbygget i multisim.



Figur 4.10. Transmitterkreds i multisim

4.3.3 Ventilkreds

Ventilkredsen skal, som beskrevet i punkt 4.2.3 Ventilkreds, omsætte 2 kontrollsinaler til 2 outputs med en 12V spænding. Ventilerne er af typen EV210-1.2 og EV210A-4.5 fra danfoss og drives ved 12V 0.4A. Der er anvendt en darlington kobling af to transistorer for at trække en lille strøm fra PSoC'ens udgange. I koblingen er der anvendt en BC547B og en BD139. BD139 har en forstærkning på 40 - 160 (der regnes med 100) ifølge databladet. Derved skal der ligge en strøm på:

$$I_B = \frac{0.4A}{100} = 4mA.$$

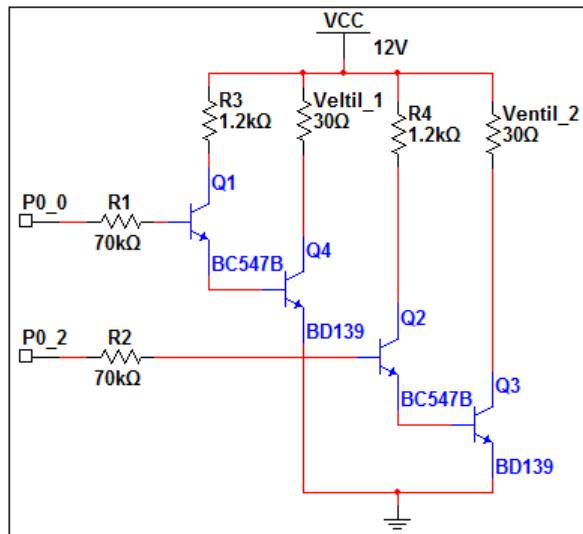
Ved en forsyning på 12V giver det en modstand på $R3 = \frac{12V}{4mA} = 3k\Omega$ men for at være sikre på at der bliver åbnet nok vælges en modstand på $1.2k\Omega$. Dernæst skal der ligge en strøm på basen af den første transmitter på (forstærkningen i BC547B er på 200):

$$I_{B2} = \frac{10mA}{200} = 50\mu A$$

Dette giver en modstand fra PSoC'en til basen på:

$$R1 = \frac{5V - 1.4V}{50\mu A} = 72k\Omega$$

Denne afrundes til $70k\Omega$. På *figur 4.11* ses opbygningen af designet i multisim.

**Figur 4.11.** Ventilkreds i multisim

4.4 Pin forbindelser

Nedenfor ses pin forbindelser på PSoCen til VBTE designet.

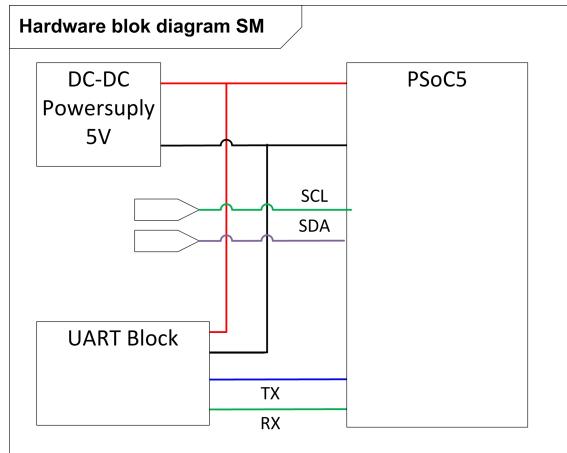
Signal navn	Pin	Beskrivelse
SCL	P0_4	Clock til I2C
SDA	P0_6	Data til I2C
Trans_kontrol	P0_1	Kontrolsignal til transmitter
Receiv_in	P0_3	Receiver inputsignal
Ventil_ind	P0_2	Kontrolsignal til ventilen der leder vand ind
Ventil_ud	P0_0	Kontrolsignal til ventilen der leder vand ud

Tabel 4.4. Tabel over pin forbindelser fra PSoC'en.

Følgende afsnit beskriver SM'ens hardware i de enkelte blokke, grænsefladerne derimellem samt funktionen af blokkene.

5.1 Overordnet design

Nedenfor ses det overordnede hardware blokdiagram. Herefter følger en beskrivelse af de forskellige blokke samt signaler.



Figur 5.1. Overordnet blokdiagram for SM hardware

5.1.1 Blokke

Nedenfor beskrives de enkelte blokke illustreret på *Figur 5.1*.

PSoC5

PSoC'en er den centrale del af VBTE'en og står for styringen af hele VBTE'en. Den består af:

- MicroController
- I2C
- Delta-Sigma ADC
- Accelerometer kontrolregister
- UART

PSoC'en er et færdigkøbt produkt og for detaljer om de enkelte blokke heri henvises der til databladet for PSoC5.

DC-DC powersuply 5V

Se powersuply afsnittet.

UART

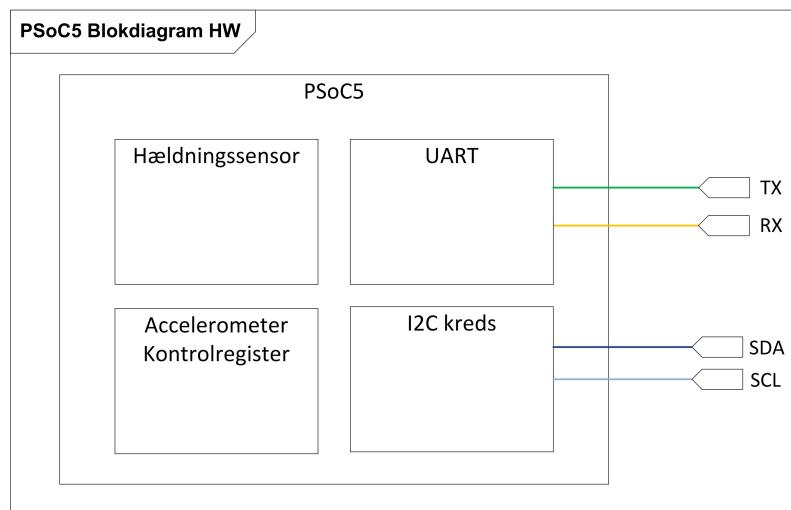
UART-blokken består af en levelkonverter forbundet til et DB9 stik. Levelkonverteren er af typen ST3232.

5.2 Nedbrydning af blokke

Nedenfor følger nedbrydningen af de enkelte blokke med henblik på at designe de enkelte dele til systemet. Nedbrydningen sker for at gøre designet nemmere og mere overskueligt.

5.2.1 PSoC5

På *Figur 5.2* ses HW-designet internt på PSoC'en. De enkelte blokke bliver beskrevet efterfølgende.



Figur 5.2. PSoC5 blokdiagram

Signalbeskrivelser:

For signalbeskrivelser se *tabel 5.1*

Signal navn	Type	Spænding	Beskrivelse
TX	Analog	~0V til ~5V	TX ud til UARTblokken.
RX	Analog	~0V til ~5V	RX ud til UARTblokken
SDA	Digitalt	~0V til ~5V	Et digitalt signal mellem VBTE og SM hvor I2C data læses fra.
SCL	Digitalt	~0V til ~5V	Digitalt clocksignal til I2C.

Tabel 5.1. Tabel over signaler i PSoC blokken

Blokbeskrivelser:

Hældningssensor

Hældningssensorblokken står for at modtage og konvertere værdier fra hældningssensoren til en integer der er forståelig for vores digitale elektronik. Konverteringen skal se med en A/D konverter med en høj nok oplosning til at måle det udsving angivet i kravspecifikationen.

UART

UART kredsen står for at sende og modtage data fra KI. UART operere mellem 0 og 5 volt, og med indstilling sat ud fra *Systemarkitektur/protokoller/UART*. Blocken har 2 signaler der går videre til UART Block, der beskrives senere i dette dokument.

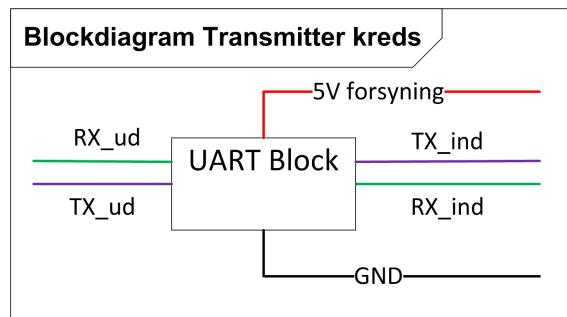
Accelerometer Kontrolregister

Kontrolregisteret står for at sætte indstillinger i vores hældningssensor.

I2C kreds

I2C kredsen skal stå for I2C interfacet mellem SM og VBTE. I2C protokollen kører 5V og med pull-up modstande. I2C'en benytter standard I2C protokol, og for yderligere info om data henvises der til *Systemarkitektur/protokoller/I2C*.

5.2.2 UART Block



Figur 5.3. Blokdiagram for Uart Block

Signalbeskrivelser:

For signalbeskrivelser se *tabel 5.2*

Signal navn	Type	Spænding	Beskrivelse
TX_ud	Analog	~0V til ~5V	TX fra PSoC blokken.
RX_ud	Analog	~0V til ~5V	RX fra PSoC blokken.
TX_ind	Analog	~0V til ~5V	TX fra KI modulet.
RX_ind	Analog	~0V til ~5V	RX fra KI modulet.
5V forsyning	Analog DC	5V±0.1V	5V forsyning der leveres fra powersupplyen beskrevet under powersupply.
GND	Ground	0V	Ground i systemet

Tabel 5.2. Tabel over signaler i PSoC blokken

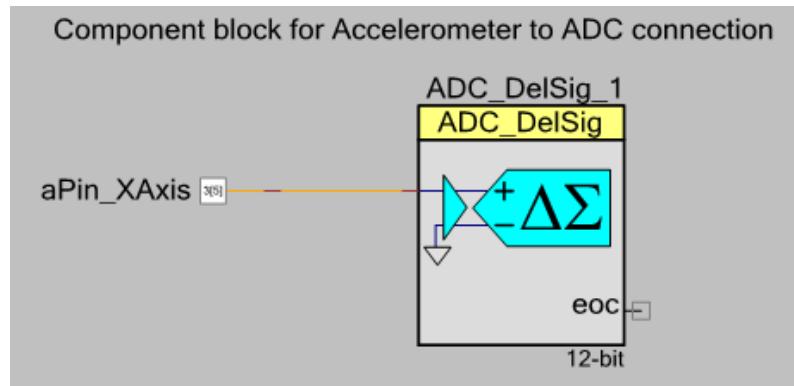
5.3 Opbygning af design

Nedenfor følger opbygningen af designet for de forskellige kredse. Dette vil blive beskrevet med Multisim designs, PSoC designs og udregninger. Afsnittet vil starte med at beskrive PSoC designet, da dette er den mest centrale del af SM modulet.

5.3.1 PSoC5 design opbygning

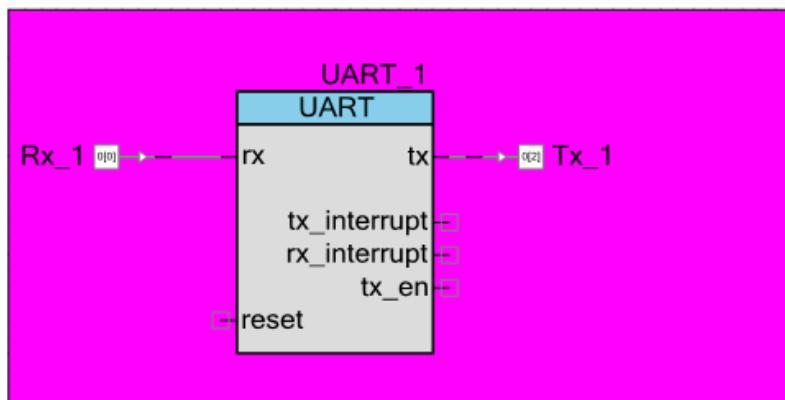
I afsnittet om PSoC'en vil følge 4 underpunkter der beskriver hver blok som illustreret på *Figur 5.2*.

Hældningssensor

**Figur 5.4.** Realisering for Hældningssensor

Hældningssensorblokken implementeres med en Delta Sigma ADC sat til 12 bit mode, med en samplingsfrekvens på 8000 Samples per sekundt. Input mode er sat til Single gående fra Vssa(0V) til $2 \cdot V_{ref}(2.048V)$ og et gain på 1. På indputtet er til X-output fra vores accelerometer. Værdien fra accelerometer bliver efterfølgende gemt i vores struct "smflags" beskrevet i *Detaljeret software design*.

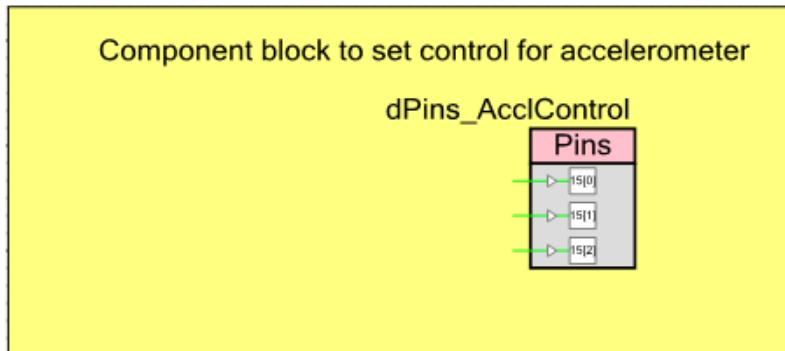
UART



Figur 5.5. Realisering for UART i PSoC

UART implementeres ud fra vores arkitektur med indstillingerne: 57600 Bits per sekund og 8 databits. Ingen paritet eller flow kontrol samt 1 stop bit. Fra PSoC API'en anvendes `UART_GetChar` til RX og `UART_PutChar` til TX.

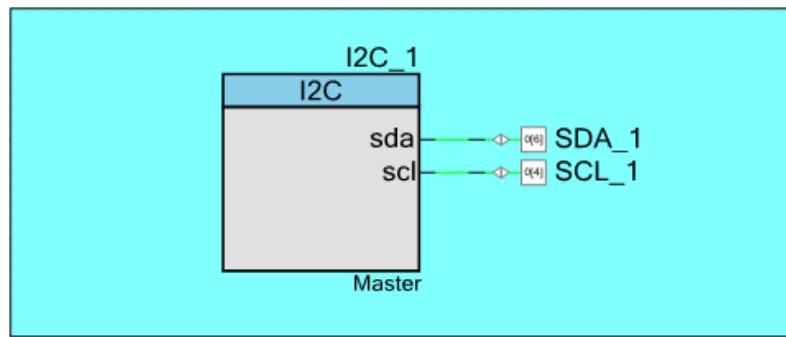
Accelerometer Kontrolregister



Figur 5.6. Realisering for accelerometer kontrolregister i PSoC

Accelerometerets kontrolregister sættes ud fra databladet. Fra databladet findes at vi ønsker "ENABLE=1, MODE=1, ST/MODE=LOW". Dette gøres ved sætte registeret til 0x06 eller 0b00000110. Dette giver os den funktionalitet vi søger.

I2C kreds



Figur 5.7. Realisering for i2c i PSoC

I2C realiseres med PSoC'ens indbyggede "Fixed Function"blok hvor vi kører med 100 kbps. Pins sættes via PSoC Creator og resterende funktionalitet styres med software. I softwaren anvendes MasterWriteBuf og MasterReadBuf hvori der anvendes adressen på slaveenheden og arrayet man vil sende. Samtidig er der et indbygget delay så modtageren har tid til at agere på signalet.

5.3.2 UART Block design opbygning

Se RS232 Afsnittet

5.4 Pin forbindelser

Nedenfor ses pin assignments for PSoC'en til SM modulet.

Alias	Name	Port	Pin	Lock
\dPins_AccelControl[2:0]\	P15[2:0] XTAL_32kHz:Xo, XTAL:Xi, XTAL:Xo	▼	42..43,55	▼ <input checked="" type="checkbox"/>
\dPins_LSB[3:0]\	P2[3:0]	▼	95..98	▼ <input checked="" type="checkbox"/>
\dPins_MSB[3:0]\	P4[3:0]	▼	69..70,80..81	▼ <input checked="" type="checkbox"/>
aPin_XAxis	P3[5] OpAmp+	▼	49	▼ <input checked="" type="checkbox"/>
resetBtn	P15[3] XTAL_32kHz:Xi	▼	56	▼ <input checked="" type="checkbox"/>
Rx_1	P0[0] OpAmp:out	▼	71	▼ <input checked="" type="checkbox"/>
SCL_1	P0[4] OpAmp+	▼	76	▼ <input checked="" type="checkbox"/>
SDA_1	P0[6] IDAC:HI	▼	78	▼ <input checked="" type="checkbox"/>
Tx_1	P0[2] OpAmp+	▼	73	▼ <input checked="" type="checkbox"/>

Figur 5.8. Pin assignments for SM

Rettelser