

# M1 SESI 2017-2018

## Architecture Multi-Processeurs

### TP7 : Contrôleur DMA

Kevin Mambu

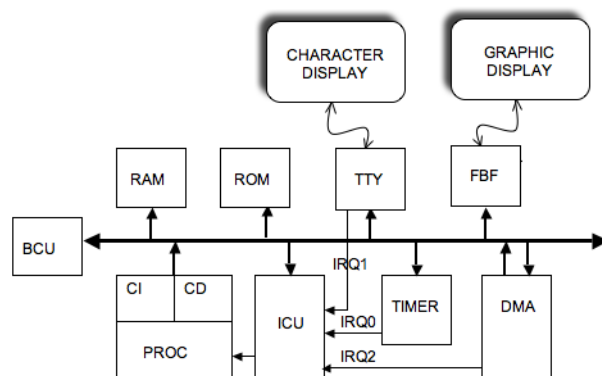
April 11, 2018

#### A) Objectifs

Le but de ce TP est d'analyser le fonctionnement d'un périphérique plus complexe que ceux analysés dans le TP6. Un périphérique possédant une capacité DMA (Direct Memory Access) se comporte à la fois comme un maître capable de lire ou d'écrire directement en mémoire, et comme une cible capable - comme n'importe quel périphérique - de recevoir des commandes provenant du système d'exploitation.

On utilise la même architecture que dans le TP5 et le TP6, mais on instanciera un seul processeur, et on activera le contrôleur DMA. On utilisera des caches possédant une capacité de 2 Koctets (lignes de 16 octets, 4 niveaux d'associativité, 32 sets).

#### B) Contrôleur DMA



## Question B1

Registres adressables du contrôleur DMA		
SOURCE	0x00 (RW)	Adresse de base du tampon source
DEST	0x04 (RW)	Adresse de base du tampon destinataire
NWORDS/STATUS	0x08 (RW)	<ul style="list-style-type: none"><li>• si écriture → démarre un transfert DMA pour le nombre de mots spécifié.</li><li>• si lecture → contient le statut de retour du transfert DMA :<ul style="list-style-type: none"><li>– DMA_IDLE</li><li>– DMA_SUCCESS</li><li>– DMA_READ_ERROR</li><li>– DMA_WRITE_ERROR</li></ul></li></ul>
RESET	0x0C (R)	Reset logiciel, écrire dans ce registre pour acquitter l'interruption du contrôleur DMA.
IRQ_DISABLED	0x10 (RW)	IRQ désactivée si $\neq 0$

- L'adresse de base du segment associé au contrôleur DMA en tant que cible doit être alignée sur une frontière de bloc de 32 octets par souci d'alignement (segment de 32 octets).

## Question B2

**burst** est l'argument permettant de spécifier le nombre maximal de mots qui peuvent être transférés lors d'une rafale (*Burst*).

## Question B3

Le coprocesseur DMA requiert deux automates MASTER\_FSM et TARGET\_FSM afin de pouvoir :

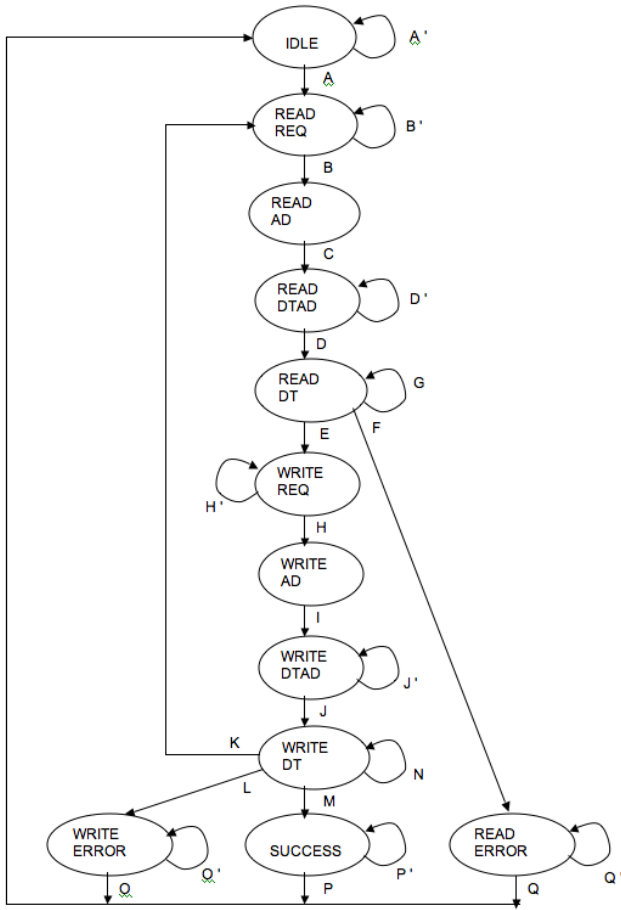
- Recevoir des commandes d'autres maîtres (en qualité de cible).
- Initier des transactions mémoires (en qualité de maître).

Ces deux tâches doivent pouvoir se faire simultanément.

## Question B4

La bascule **r\_stop** est une bascule commandée par l'automate TARGET\_FSM. Elle est en position basse lors d'un transfert DMA (e.g. lorsque MASTER\_FSM est à l'état DMA\_IDLE) et est positionnée à true à la fin d'un transfert DMA par le biais du registre RESET.

## Question B5



Transitions de MASTER_FSM	
A'	$\overline{R\_STOP}$
A	$R\_STOP$
B'	$\overline{GNT}$
B	$GNT$
C	$true$
D'	$WAIT$
D	$\overline{WAIT}$
E' <sup>1</sup>	$\overline{ERROR} \bullet READY \bullet R\_STOP$
E	$\overline{ERROR} \bullet READY \bullet \overline{R\_STOP}$
F	$ERROR$
G	$\overline{READY} + \overline{ERROR}$
H'	$\overline{READ}$
H	$READ$
I	$true$
J'	$\overline{READY}$
J	$READY$
K' <sup>1</sup>	$\overline{ERROR} \bullet READY \bullet R\_STOP$
K	$\overline{ERROR} \bullet READY \bullet \overline{R\_STOP} \bullet R\_COUNT$
L	$ERROR$
M	$\overline{ERROR} \bullet READY \bullet \overline{R\_STOP} \bullet \overline{R\_COUNT}$
N	$\overline{READY} + \overline{ERROR}$
O', P', Q'	$\overline{R\_STOP}$
O, P, Q	$R\_STOP$

[1] : Ces transitions n'apparaissent pas sur le graphe du sujet, mais servent de point de retour en cas d'erreur : si le maître responsable de la transaction se fait tué avant la fin de cette dernière, le contrôleur DMA avorte alors son transfert puis retourne dans l'état IDLE. **Uniquement à la fin d'un transfert sur le PIBUS (XXX\_DT), sinon ce dernier se retrouverait bloqué!**

## C) Architecture matérielle

### Question C1

- Par défaut, la longueur d'une rafale de mots 32 bits est de 16 mots.

- Utiliser de grosses rafales permet de réduire le nombre de réquisitions du Pibus, plusieurs mots transférés pour une réquisition du bus.
- Dans la description *pibus\_dma.cpp*, on peut voir que le `burst` est borné entre 0 et 128. Augmenter la longueur maximale d'une rafale augmenterait la taille des tampons internes du périphérique DMA.

## Question C2

- L'adresse de base du segment associé au périphérique DMA est `0x93000000`.
- L'index de cible vis-à-vis du BCU est `DMA_INDEX`, égal à 6.
- Son numéro de maître est à `nprocs + 1`. Sur notre, architecture mono-processeur, son index de maître est alors à 2.
- La ligne d'interruption IRQ contrôlée par le périphérique DMA est relié au port d'entrée `IRQ_IN[0]` du composant ICU.

## D) Application logicielle

### Question D1

- Lors de la fonction `fb_sync_write`, le processeur exécutant cette fonction est à la charge de l'écriture du tampon dans le segment réservé au `FrameBuffer`, par l'intermédiaire du appel système.
- Cet appel est alors naturellement bloquant car, rappelons le, parmi les requêtes d'accès mémoire, les écritures en Tampon d'Écriture Postées sont les plus prioritaires et la donnée à écrire l'est dans un segment non-cachable.

### Question D2

	Damier 5	Damier 4	Damier 3	Damier 2	Damier 1	Moyenne
Display (cy)	117148	117161	117161	117175	117353	117200
Build (cy)	717883	713813	717827	717822	N.C.	716837

### Question D3

La fonction `fb_sync_write()` force une attente active jusqu'à la fin de l'écriture vers le `FrameBuffer` tandis que `fb_write()` déclenche l'écriture de manière non-bloquante, via le coprocesseur DMA. La vérification de la fin du transfert se fait grâce à la fonction `fb_completed()`.

### Question D4

	Damier 5	Damier 4	Damier 3	Damier 2	Damier 1	Moyenne
Display (cy)	4199	4199	4199	4260	4036	4179

### Question D5

Sur le bord gauche de l'image affichée, on peut observer une portion de cases appartenant au damier de l'itération suivante. Cela est dû au fait que faute de synchronisation sur la bonne écriture du buffer, les premières cases du buffer ont le temps d'être écrasées avant d'être envoyées au `FrameBuffer`.

### Question D6

- – Dans `_fb_completed()`, tant que la variable `_dma_busy` est différente de 0, le processeur est bloqué.
- – Dans `_fb_write()`, tant que `_dma_busy` est différente de 0, le processeur attend une période pseudo-aléatoire, une fois que `_dma_busy` est égale à 0, le processeur la remet à 1.
- La routine d'interruption `_isr_dma` est la fonction qui remet à 0 le flag `_dma_busy`.
- Le vecteur de flags `_dma_busy` est stocké dans le segment `seg_unckdata`.

## E) Pipe-line logiciel

### Question E1

Pour pouvoir passer de la période (n) à la période (n+1), il faut que le transfert du DMA au Framebuffer soit terminé à la période (n). Nous utiliserons la fonction `_fb_completed`.

### Question E2

	Damier 5	Damier 4	Damier 3	Damier 2	Damier 1	Moyenne
Display (cy)	3979	4086	3984	4240	3690	3996
Build (cy)	716739	716789	716901	716871	N.C.	716825

- Le gain apporté par le parallélisme pipeline par rapport à une exécution séquentielle est de 183 cycles, ce qui est bien maigre gain comparé au coût de l'implémentation (ajout d'un if, ajout d'un tampon).
- Ce chiffre est significatif d'une chose : le temps de construction d'un damier est négligeable par face au temps de transfert d'un damier via le contrôleur DMA.

## F) Traitement des erreurs

### Question F1

`fb_read()` et `fb_write()` sont des fonctions qui font des accès mémoire, en ce sens il ne faut pas que le tampon source ou destination soit de la zone mémoire privilégiée :

- `fb_read()` a la possibilité de permettre de l'injection de données dans le système d'exploitation.
- `fb_write()` a la possibilité de dévoiler des portions de l'espace système auquel l'utilisateur ne devrait pas avoir accès.

Une fois la requête envoyée au contrôleur DMA, plus aucun contrôle de droits ou de sécurité n'est effectué. Cette vérification doit être fait a priori.

### Question F2

- À l'échelle du composant `Pibus_DMA`, en cas d'erreur le composant passe dans l'état `DMA_XXXXX_ERROR`, puis lève une interruption.
- À l'échelle de la routine `_isr_dma`, la routine sauvegarde dans le registre `_dma_status` la cause de la levée d'interruption.
- À l'échelle de `_fb_completed()`, si le `_dma_status` est différent de 0, la fonction retourne 1 (cas d'erreur).

### Question F3

- `fb_sync_write`
  - `sys_call(FB_SYNC_WRITE...`
  - `syscall`
  - `_fb_write(...`
  - C'est dans la fonction de driver que la vérification des arguments se fait :

```
1  if (((unsigned int) buffer >= 0x80000000)
3    || (((unsigned int)buffer + length) >= 0x80000000) )
    return 1;
```

```

1  #include "stdio.h"
3
5  #define NPIXEL 128
   #define NLINE 128
7
9  ////////////////////////////////////////////////////
10 // main function
11 ////////////////////////////////////////////////////
12 __attribute__((constructor)) void main()
13 {
14     unsigned char    BUF1[NPIXEL*NLINE];
15     unsigned char    BUF2[NPIXEL*NLINE];
16     unsigned int     line;
17     unsigned int     pixel;
18     unsigned int     step;
19
20     /***** Prologue *****/
21     tty_printf("\n*** damier 1 ***\n\n");
22     for(pixel = 0 ; pixel < NPIXEL ; pixel++)
23     {
24         for(line = 0 ; line < NLINE ; line++)
25         {
26             if( ( (pixel>>step & 0x1) && !(line>>step & 0x1)) || (!(pixel>>step & 0x1) && (line>>step & 0x1)) )
27                 BUF2[NPIXEL*line + pixel] = 0xFF;
28             else
29                 BUF2[NPIXEL*line + pixel] = 0x0;
30         }
31     }
32     tty_printf(" - build OK at cycle %d\n", proctime());
33
34     /***** Software pipelining *****/
35     for(step = 2 ; step < 6 ; step++)
36     {
37         if(((step%2) == 0) && (step < 5)) {
38             if(fb_write(0, BUF2, NLINE*NPIXEL) != 0)
39             {
40                 tty_printf("\n!!! error in fb_syn_write syscall !!!\n");
41                 exit();
42             }
43             tty_printf(" - display OK at cycle %d\n", proctime());
44             tty_printf("\n*** damier %d ***\n\n",step);
45             for(pixel = 0 ; pixel < NPIXEL ; pixel++)
46             {
47                 for(line = 0 ; line < NLINE ; line++)
48                 {
49                     if( ( (pixel>>step & 0x1) && !(line>>step & 0x1)) || (!(pixel>>step & 0x1) && (line>>step & 0x1)) )
50                         BUF1[NPIXEL*line + pixel] = 0xFF;
51                     else
52                         BUF1[NPIXEL*line + pixel] = 0x0;
53                 }
54             }
55             tty_printf(" - build OK at cycle %d\n", proctime());
56         }
57         else {
58             if(fb_write(0, BUF1, NLINE*NPIXEL) != 0)
59             {
60                 tty_printf("\n!!! error in fb_syn_write syscall !!!\n");
61                 exit();
62             }
63             tty_printf(" - display OK at cycle %d\n", proctime());
64             tty_printf("\n*** damier %d ***\n\n",step);
65
66             for(pixel = 0 ; pixel < NPIXEL ; pixel++)
67             {
68                 for(line = 0 ; line < NLINE ; line++)
69                 {
70                     if( ( (pixel>>step & 0x1) && !(line>>step & 0x1)) || (!(pixel>>step & 0x1) && (line>>step & 0x1)) )
71                         BUF2[NPIXEL*line + pixel] = 0xFF;
72                     else
73                         BUF2[NPIXEL*line + pixel] = 0x0;
74                 }
75             }
76         }
77     }
78 }

```

```

75     tty_printf(" - build OK at cycle %d\n", proctime());
76 }
77 if(fb_completed() != 0)
78 {
79     tty_printf("\n!!! error in fb_completed syscall !!!\n");
80     exit();
81 }
82 }
83 /***** Epilogue *****/
84 if(fb_write(0, BUF1, NLINE*NPIXEL) != 0)
85 {
86     tty_printf("\n!!! error in fb_syn_write syscall !!!\n");
87     exit();
88 }
89 tty_printf(" - display OK at cycle %d\n", proctime());
90 tty_printf("\nFin du programme au cycle = %d\n\n", proctime());
91 exit();
92 } // end main

```

./main\_pipe.c