M1 SESI 2017-2018
Architecture Multi-Processeurs
TP1 : Prototypage Virtuel

Kevin Mambu

February 15, 2018

1 Énoncé du TP

Le sujet de ce TP sera le prototypage virtuel, de la simulation extremement fidèle du système. L'idée est de reproduire le comportement d'un ordinateur au cycle près et au bit près.

2 Mode opératoire

On "construit" une machine complète avec son/ses processeur-s en inteconnectant entre eux tous les composants matériels d'une vraie machine.
Ces composants existent déjà au sein d'une bibliothèque du domaine public appelée SoClib, utilisant le langage SYSTEM_C (C++). On aura un processeur de fourni et on développera, dans un premier temps en MIPS32 puis en C, des programmes à executer sur notre prototype virtuel.

- Machine simulante : 1GHz (1 milliard inst/s)
- Prototype virtuel : 1Mhz (1 million inst/s)

Le prototype est de plus faible cadençage afin de pouvoir rendre l'évolution de la machine plus macroscopique (on peut faire évoluer le système cycle par cycle) et de pouvoir inspecter de manière plus fine.

3 Question C1/C2

A	$SEL \bullet ADR\_OK \bullet DELAY \bullet \overline{READ}$
B	$SEL \bullet \overline{READ} \bullet \overline{DELAY} \bullet ADR\_OK$
C	$SEL \bullet READ \bullet \overline{DELAY} \bullet ADR\_OK$
D	$SEL \bullet ADR\_OK \bullet DELAY \bullet READ$
E	$SEL \bullet \overline{ADR\_OK}$
F	$\overline{SEL}$
G	
R	$SEL \bullet \overline{ADR\_OK}$
S	$SEL \bullet ADR\_OK$
T	$\overline{SEL} \bullet ADR\_OK$
U	GO
V	GO
U'	$\overline{GO}$
V'	$\overline{GO}$
X	$SEL \bullet ADR\_OK$
Y	$SEL \bullet \overline{ADR\_OK}$
Z	$\overline{SEL} \bullet ADR\_OK$

	ACK_EN	**ACK_VAL**	**DT_EN**	**MEM_CMD**
IDLE	X	0	NOP	0
R_WAIT	WAIT	1	NOP	0
R_OK	READY	1	READ	1
W_WAIT	WAIT	1	NOP	0
W_OK	READY	1	WRITE	1
ERROR	ERROR	1	NOP	0

4 Question D1/D2

Label	Expr.
A	
B	GNT
B'	$\overline{GNT}$
C	
D	RDY
D'	$\overline{RDY}$
E	RDY
E'	$\overline{RDY}$
F	RDY
F'	$\overline{RDY}$
G	RDY
G'	$\overline{RDY}$
H	GNT
H'	$\overline{GNT}$

I	
J	$\overline{RDY}$
K	$RDY \bullet LAST$
L	$RDY \bullet \overline{LAST}$
M	GNT
M'	$\overline{GNT}$
N	
O	$\overline{RDY}$
P	$RDY \bullet NUL$
Q	$RDY \bullet \overline{NUL}$
R	GNT
R'	$\overline{GNT}$
S	
T	RDY
T'	$\overline{RDY}$

	REQ	CMD_EN	ADR_VALUE	READ_VALUE	LOCK_VALUE	DT_EN
INIT	0	0	X	X	X	0
RAM_REQ	1	0	X	X	X	0
RAM_A0	0	1	RAM_BASE	1	1	0
RAM_A1_D0	0	1	$RAM\_BASE + 4$	1	1	0
RAM_A2_D1	0	1	$RAM\_BASE + 8$	1	1	0
RAM_A3_D2	0	1	$RAM\_BASE + 12$	1	0	0
RAM_D3	0	0	X	1	0	0
W_REQ	1	0	X	X	X	0
W_AD	0	1	SEG_TTY_BASE	0	0	0
W_DT	0	1	SEG_TTY_BASE	0	0	1
STS_REQ	1	0	X	X	X	0
STS_AD	0	1	$SEG\_TTY\_BASE + 4$	1	0	0
STS_DT	0	1	$SEG\_TTY\_BASE + 4$	1	0	0
BUF_REQ	1	0	X	X	X	0
BUF_AD	0	1	$SEG\_TTY\_BASE + 8$	0	0	0
BUF_DT	0	1	$SEG\_TTY\_BASE + 8$	0	0	1

5 Question E1/E2

Label	Expr.
X'	$\overline{REQ}$
X	REQ
Y'	$\overline{LOCK}$
Y	$LOCK$
Z'	$\overline{(ACK \oplus WAIT)} + LOCK$
Z	$\overline{LOCK} \bullet (ACK \oplus WAIT)$
J	$\overline{(ACK \oplus WAIT)}$
K	$(ACK \oplus WAIT) \bullet \overline{REQ}$
L	$(ACK \oplus WAIT) \bullet REQ$

	GNT	SEL0	SEL1
IDLE	REQ	0	0
AD	0	$(A >> msb\_shift) == 0$	$(A >> msb\_shift) == 1$
DTAD	0	$(A >> msb\_shift) == 0$	$(A >> msb\_shift) == 1$
DT	$REQ \bullet \overline{WAIT}$	0	0

6 Question E3

Lorsque l'état courant du BCU est à l'état IDLE, si après envoi de la dernière réponse il restait une requête suivante dans l'ordre de priorité, il faut la comptabiliser dans le cycle. Le BCU ne retourne dans létat IDLE que lorsqu'il est en attente d'une requête maître.

7 Question G2

Il n'y a qu'1 cycle d'attente dans les états de l'automate du composant maître où celui-ci demande au BCU l'allocation du bus. Cela s'explique par le fait qu'il n'y qu'un seul composant maître connecté au bus dans la situation étudiée.

8 Question G3

Sachant que le composant maître fait une lecture en rafale de 4 octets par 4 octets et que son buffer cache est de 16 octets, il y a 4 cycles d'attentes dans les états où ce dernier attend la réponse de la RAM.

9 Question G4

- #TTY_REQ =n cycles
- #TTY_AD = 1 cycle
- #TTY_DT = 1 cycle

Dans notre cas, on considère que la requête prend n = 1 cycle, on prend donc 3 cycles pour écrire un caractère.