

M1 SESI 2017-2018  
Architecture Multi-Processeurs  
TP4 : Caractérisation et Dimensionnement des Caches

Kevin Mambu

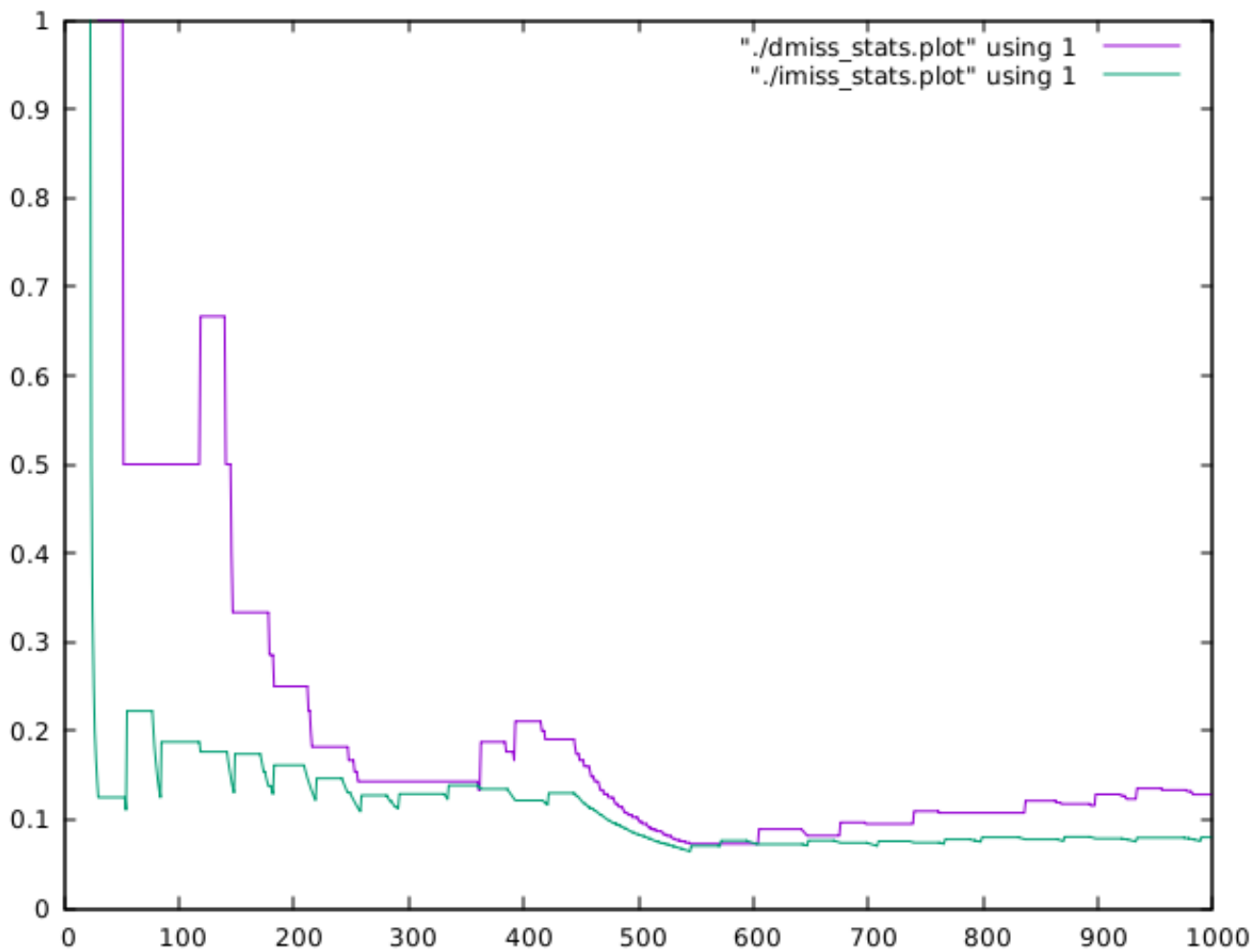
March 4, 2018

### Question C1

Avec cette configuration, l'exécution de la simulation dure 75725 cycles.

### Question C2

Le graphe ci-dessous est l'évolution des taux de MISS sur les caches en fonction du temps sur une durée de 1000 cycles :



- cycle 20 : Chargement du code du reset depuis la ROM  
IMISS RATE = 1.
- cycle 30 : Chargement de la première ligne de cache du tableau HexaTab.
- cycle 51 : Fin lecture dans le code du reset DMISS RATE = 0.5.
- cycle 76 : Fin chargement de la première ligne de cache du code du main  
IMISS RATE = 0.22
- cycle 117 : Fin chargement ligne de cache du main après branchement  
IMISS RATE = 0.1875
- cycle 140 : Fin lecture de la pile mémoire  
Chaque paire de crête IMISS RATE / DMISS RATE peut être apparenté au chargement des arguments de sum depuis la pile mémoire
- cycle 363 : Lecture deuxième ligne de cache du tableau HexaTab.
- cycle 393 : lecture de données non-cachable (tty\_printf)

## Question C3

Il y a un signal interne *run\_cycles*, correspondant aux nombres de cycles d'exécutions actives du processeur. Il est égal à  $\frac{c\_total\_cycles}{c\_frz\_cycles}$ .

Le CPI est égal à  $\frac{c\_total\_cycles}{run\_cycles}$ .

Le taux de MISS d'instructions IMISS RATE est égal à  $\frac{c\_imiss\_count}{run\_cycles}$ .

Le taux de MISS de données DMISS RATE est égal à  $\frac{c\_dread\_count - c\_dunc\_count}{run\_cycles}$ .