

**Escuela de Ingeniería en Electronica**

**Laboratorio de Diseño de Sistemas Digitales**

**Bitácora**

**Proyecto:**

Control y programación RTC con Nexys3

**Profesor:**

Alfonso Chacón Rodríguez

**Estudiantes:**

Keylor Mena Venegas

Luis Leon Vega

Luis Merayo Gatica

**Periodo**

II Semestre, 2016

## ***Descripción del problema***

Se debe realizar un controlador para realizar la lectura y escritura del módulo RTC V3023. Los datos del sistema deben poder ser desplegados en un monitor LCD mediante el protocolo VGA. Ante ello, se debe realizar un controlador para el RTC y para la VGA. Asimismo, se deben poder ajustar la hora, activar la alarma y el cronómetro de forma descendente mediante botones e interruptores dispuestos en la FPGA Nexys3.

## ***Introducción al proyecto***

Este proyecto consiste en realizar un controlador de módulos RTC (Real Time Controller), específicamente para el módulo V3023. Este controlador será capaz de escribir y leer dicho módulo para obtener parámetros de reloj, cronómetro y alarma. Asimismo, para poder desplegar la información relevante de los parámetros anteriores, se conectará un monitor LCD mediante el protocolo VGA. Por otro lado, para poder programar y dar instrucciones al circuito, se deberán usar los botones señalados en el instructivo y algunos interruptores.

Finalmente, el conjunto es un circuito que permita controlar el módulo y comunicar al usuario mediante los botones y el monitor LCD, donde él podrá recibir la información relevante y poder modificar dicha información.

## ***Objetivo General***

Diseñar un controlador de RTC que permita leerlo y programarlo mediante una interfaz de usuario consistente en botones incorporados dentro de la FPGA (Nexys3) y un monitor comunicado a través del protocolo VGA.

## ***Objetivos Específicos***

- Investigar el funcionamiento del módulo RTC y el protocolo de comunicación del mismo.
- Diseñar un controlador para el módulo RTC, cuyo bus de datos y direcciones estén multiplexados.
- Cumplir con las reglas de temporizado del sistema, en especial, con el protocolo de comunicación del módulo RTC.
- Combinar el controlador de RTC con un controlador VGA para poder desplegar la información del módulo al usuario. Este módulo VGA será adaptado del proyecto anterior.
- Desarrollar un banco de pruebas (testbench) para poder emular el comportamiento del módulo RTC con la finalidad de comprobar el funcionamiento del circuito controlador.

## Control de eventos

Fecha: 9 de Noviembre

**Integrantes:** todos

**Hora:** 20:00 -22:30 pm

**Actividad:**

Se diseño el primer intento de aproximarse a un diagrama de bloques de nivel 2. Esto se puede notar en la figura 1, en este se puede notar 5 bloques principales, uno de ellos es el microprocesador echo con el picoblaze. Ademas podemos notar que este tiene como entrada las señales PosX y PosY de la VGA, de esta manera se controla la lectura de la RTC cuando la VGA se encuentra pintando en algunos lugares de la pantalla, Ademas la entrada IRQ controla cuando la etapa de sonido funciona. La memoria alimenta con los datos que debe pintar la VGA, estos datos vienen de la RTC directamente cuando se encuentra actualizando los datos. ademas que posee un espacio para la señal IRQ y el teclado.

El teclado introduce a la memoria los datos que el usuario desea cambiar para que se muestre inmediatamente en la VGA. Ademas una vez que el usuario desea introducir el cambio en la RTC, este bloque se comunica con el controlador RTC para introducir el cambio.

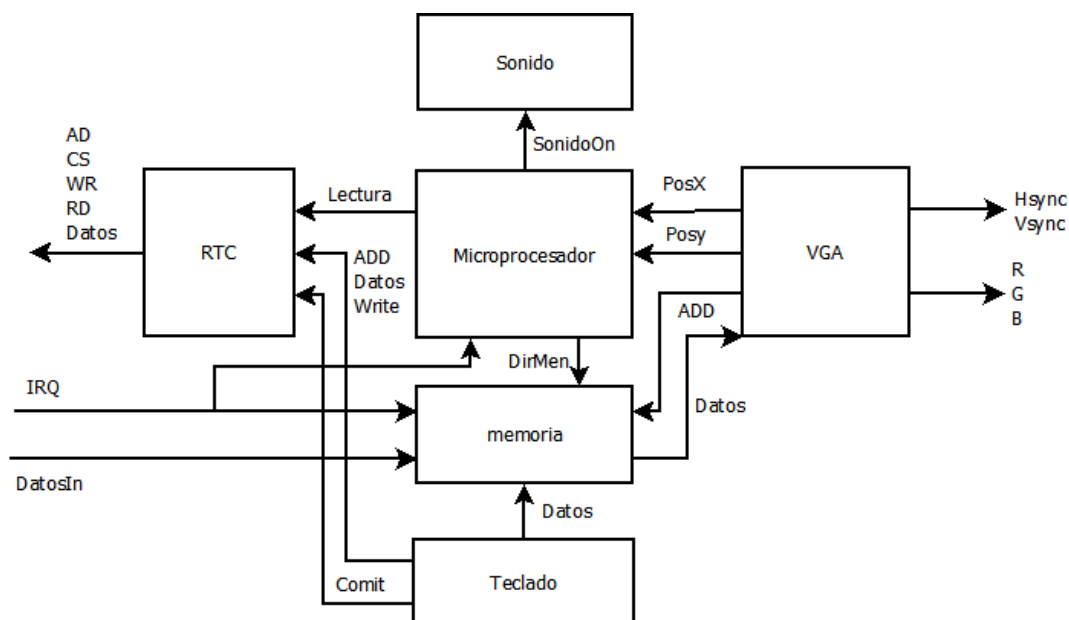


Figura 1: Diagrama de bloques nivel 2 primer intento

Fecha: 10 de Noviembre

**Integrantes:** Luis Leon

**Hora:** 14:00 - 16:00

**Actividad:**

Algunos de los miembros del equipo asistieron a la tutoría de hoy, donde se aclaró el funcionamiento del microcontrolador PicoBlaze para FPGA. Esto ha originado algunos cambios en el diseño del día de ayer, al saber que el funcionamiento del PicoBlaze es con base a un puerto I/O controlado por una memoria (físico representado en memoria). Esto ha generado el cambio en el diseño, por lo cual, se debe referir a la figura 2.

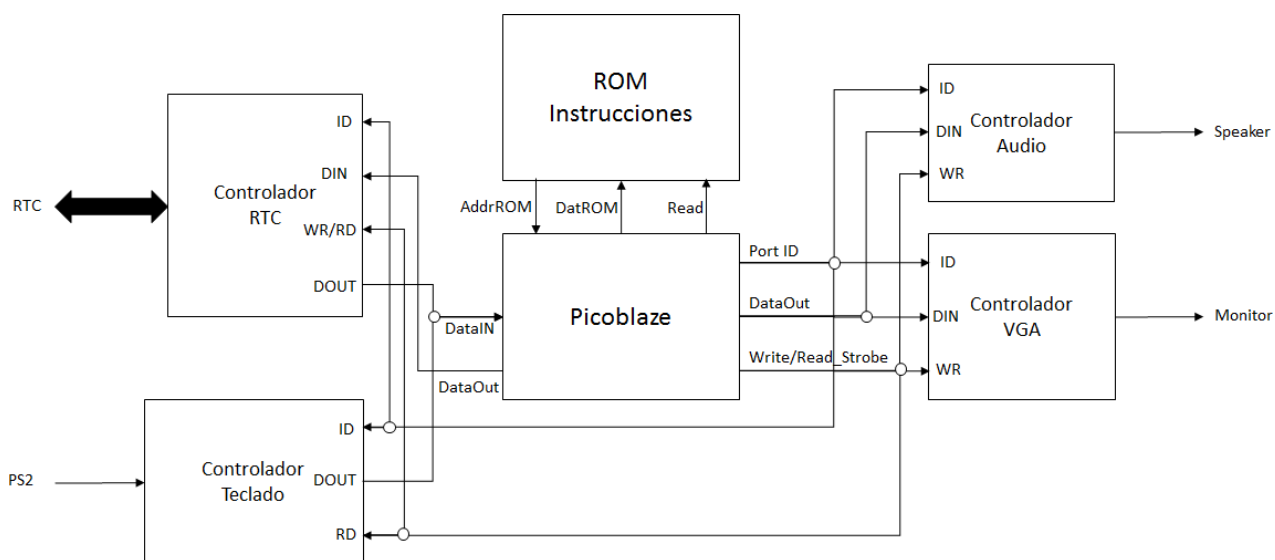


Figura 2: Diagrama de bloques nivel 2 segundo intento

Por otro lado, el mapa de memoria mediante el cual, se controlarán todos los periféricos es representado en la figura 3. Este mapa contempla que:

- La VGA contiene un banco de registros estabilizados que consultará dependiendo de la posición del cursor. Estos registros son accedidos por el Port ID 1 y modificados por el Port ID 2.
- El teclado brinda el código de la tecla presionada. Luego de que se hace el ReadStrobe en el controlador de teclado, este código se limpia y espera la próxima tecla o, bien, que se levante la tecla (Evento KeyUp).
- El controlador de audio solo tiene un registro que le habilita para que suene el speaker o no.
- El controlador de RTC tiene todos los registros que son posible cambiar. Cuando se hace un WriteStrobe, se habilita el ciclo de escritura en la RTC en el dato dado por la dirección del ID (Port ID). Cuando se hace ReadStrobe, se puede ejecutar una lectura o algo similar en el próximo ciclo.

- Dependiendo del orden de magnitud, se habilitará la lectura de datos. Ejemplo: Si el Bit 5 está activo, es un dato que va a la RTC, si el Bit 4 está en 1 pero el Bit 5 no, entonces va a audio y así sucesivamente, de acuerdo al mapa.

de Memoria.png

Módulo	Dirección B10	Dato	Comentario
VGA	1	Dirección Registro	Previo a cambiar un dato, se debe dar la dirección
	2	Dato Registro	Luego de la dirección se da el dato
Teclado	5	Tecla pulsada	Después del Read_Strobe, el dato se vuelve 0
Audio	9	Activación	Indica si va a sonar o no
RTC	17	Segundos	Reloj - Se lee mediante Read_Strobe y se activa el ciclo de escritura con Write_Strobe
	18	Minutos	
	19	Horas	
	20	Días	
	21	Meses	
	22	Años	Cronómetro - Se lee mediante Read_Strobe y se activa el ciclo de escritura con Write_Strobe
	23	Segundos	
	24	Minutos	
	25	Horas	
	26	Timer Activado	
	27	Timer Disparado	

Figura 3: Mapa de memoria

**Fecha: 9 de Noviembre**

**Integrantes:** todos

**Hora:** 11:00 -13:00 pm

**Actividad:**

Se reviso los cambios relizados el dia anterior por todos los compañeros, en esta se aprobó por todos el diseño a nivel de bloques, pero se realizo cambio al banco de registro de la figura 3 donde se elimino los bancos de registros ioports de la rtc dejando un solo registro que controla las direcciones en las que el debe escribir, ademas de crear un bus de entrada de datos

Los registro de la rtc se pasaron a la memoria scratch para guardar los datos de la rtc una vez que lea. Se puede notar mas facil en la figura 4

de Memoria2.png

Modulo	Dirección	Dato
VGA	1	Dirección de registro
	2	Dato de registro
Teclado	5	Dato de entrada del teclado
Audio	9	Indica si tiene que salir el audio
RTC	17	Salida de direcciones al modulo de control de la RTC
Dato_in	18	Dato de entrada directamente de la RTC
Auxiliar	33	Datos auxiliares de activación de registros o modulos

Figura 4: Mapa de memoria